그래핀 2.0

DOI: 10.3938/PhiT.25.040

Graphene 2.0

Chanyong HWANG

The physics of two-dimensional (2D) systems has drawn much attention for more than several decades. The semiconductor 2D electron gas system, the surface of liquid He, phenomena at surfaces, and recent 2D material systems, including graphene, are several subjects among those systems. Since the pioneering report on graphene in 2004 by Geim and Novoselov, people have studied the fundamental properties of graphene and many of its device applications. Surprisingly, the superior characteristics of graphene, including its unique quantum properties, have been experimentally proven. However, its use in real systems has not been achieved so far albeit its unique properties. In this article, I will introduce several recent works on the use of graphene in solid-state devices. The onset of a new quantum era, the so-called graphene 2.0, is at hand.

소개의 글

본 특집의 주제는 Beyond graphene 즉 그래핀 이후 관련 연구 분야의 연구동향을 소개하고 있다. 그래핀에서 시작된 연구는 전이금속 칼코겐화합물, 위상부도체 등까지 이어지면서 이를 포함하는 2차원계 물질의 연구가 많은 관심을 끌고 있는 상황이다.^[1] 아마도 2000년대 후반 그래핀 연구자들의 발표를 상기한다면 다이아몬드보다 단단하고 금보다 전하이동도(이론적으로는 $2 \times 10^5 \text{ cm}^2/\text{V}\cdot\text{s}$)가 좋으며 잘 휘어지고, 빛의 대부

황 찬 용

Fig. 1. Number of patent applications and granted patents of graphene, carbon materials and Si. Reprinted by permission from Macmillan Publishers Ltd: [Nature Nanotechnology] (Ref. [2]), copyright (2014).

분을 투과하는 물성을 지닌 그래핀의 물성에 기인한 수많은 장밋빛 전망들을 기억하실 수 있을 것으로 생각된다. 많은 그래핀 연구자들이 연구의 영역을 다른 2차원 물질계로 확장하고 있지만 아직도 그래핀에 필적하는 우수한 물성이 증명된 2차원 소재는 거의 없어 보인다. 그렇다면 발견 후 12년이 지난 이 시점에서 그래핀 관련 연구는 이제 더 이상 연구할 분야가 없을까? 그림 1에서 보면 2010년을 기점으로 그래핀 관련 특허의 수가 지수함수의 스케일로 증가함을 알 수 있다. 즉 상용화를 위한 많은 연구가 진행되고 있다. 2차원계 물질 연구의 시발점이 된 그래핀이 2004년 처음 등장하면서 많은 사람들의 주목을 끈 전기적, 기계적, 광학적 물성의 대부분은 구현이 가능하다고 보고되고 있다.^[3] 상온에서의 전하이동도는 $2.5 \times 10^5 \text{ cm}^2/\text{V}\cdot\text{s}$ 로 이론적인 값에 육박하고 있고 Young's modulus값은 1 TP 이상이 보고되고 있다. 이 정도의 단단함은 그래핀으로 만든 1 m²의 해먹(달아매는 그물침대)을 가정하

저자약력

황찬용 박사는 위스콘신대학교 물리학과 이학박사(1990)로서 1991년부터 한국표준과학연구원 연구원으로 재직 중이다.(cyhwang@kriss.re.kr)

REFERENCES

- [1] G. R. Bhimanapati *et al.*, ACS Nano **9**, 11509 (2015).
- [2] A. Zurutuza *et al.*, Nature Nanotech. **9**, 730 (2014).
- [3] <https://en.wikipedia.org/wiki/Graphene>.

면 약 4 kg의 고양이가 올라가 설 수 있을 정도의 크기이다. 전류밀도는 구리의 천만 배에 해당하는 10^{12} cm^{-2} 이며 열전도도 또한 5,300 W/mK로 흑연보다 2.5배 더 크다. 이렇게 우수한 물성을 갖는 물질임에도 실용화가 가능할지에 대하여 많은 사람이 의문을 품는 것은 사실이다. 전자소자 중 가장 많이 쓰이고 있는 예 중의 하나인 Si에 기반한 CMOS 소자의 관점에서 보자면 그래핀의 뛰어난 물성은 그리 실용성이 없어 보인다. 공중에 떠있는 그래핀 막에서의 전하이동도가 수십만에 해당하지만 기판으로 SiO_2 를 사용하게 되면 기판에 트랩되는 전하로 인하여 원하는 전하이동도에 이르지 못하며, 또한 트랜지스터의 개폐율(on-off ratio)을 결정하는 밴드갭이 없는 상태에서 기존의 FET 구조로의 적용은 일단 성능을 보장받기 힘들기 때문이다. 밴드갭을 주기 위하여 리본의 형태로 제작하는 등 여러 가지 방법이 있기는 하지만 그래핀 나노리본에서 기대되는 새로운 스핀물성을 논외로 하면 대부분은 기존 기술의 연장선에 있다. 에너지가 작은 스케일에서 그래핀은 정지 질량이 0인 상태를 기술하는 디랙 방정식에 의하여 기술된다. 따라서 우리가 기존에 알고 있던 물질과는 아주 다른 형태의 양자물성이 관측된다. 상온에서의 이상 양자홀 효과, 클라인 터널링(Klein tunneling) 현상 등 기존 물질에서는 보이기 힘든 물성이 관측되고 있다. 많은 사람들이 그래핀의 양자물성을 이야기할 때 대부분 고전 전자기학으로 기술되는 물성을 지닌 Si 소자를 비교하면서 Si를 보완, 대체하는 그래핀 소자의 실용화에 의문을 제기한다면, 이는 비유를 하자면 4G LTE 폰이 2G망에서 작동하지 않기 때문에 2G 폰이 낡다고 하는 것과 무엇이 다른가? 그래핀 고체소자가 실용화된다면 당연히 기존의 CMOS 구조에서 벗어나 새로운 양자물성을 이용하는 소자가 될 것이다. 그러나 분명 이러한 소자의 기대에 걸림돌이 되는 부분은 아직 있다고 생각되며 기대가 되는 혁신적인 그래핀 양자소자의 실용화에 제기되는 몇 가지 문제점을 지적하고 이를 위해서 어떠한 연구가 진행되고 있는지를 살펴보고자 한다.

실리콘 소재 역사^[4]

먼저 실리콘 소자가 지금 대세인 상황이 어떻게 도래되었는지 실리콘 소자의 역사를 살펴보기로 한다. 1947년 J. Bardeen, W. Brattain, W. Shockley에 의하여 처음으로 구현된 트랜지스터는 Ge 단결정을 이용하였고 이어 1954년에는 M. Tanenbaum에 의하여 실리콘으로 구현되었다. Si에 앞서 Ge이 먼저 트랜지스터에서 구현된 이유는 Si에 비하여 비교적 낮은 온도에서 Ge 결정 성장이 가능하다는 이유 때문이었다. 그 후에 Ge에 비하여 Si 산화물이 더 쉽게 제작되고 기계적,

Fig. 2. Left, Si ingot at the early stage of its production by Czochralski method. Right, recent product. © [2012] IEEE. Reprinted, with permission, from Ref. [4].

화학적 안정성이 뛰어난 점이 알려졌고, Ge의 밴드갭(0.87 eV)보다 약간 큰 밴드갭(1.1 eV)을 갖는 Si의 특성으로 소자의 작동온도가 250 °C까지 가능하다는 점이 부각되면서 연구 및 상용화에 집중되어 현재 대부분의 반도체 및 태양광 소자 기판의 90% 이상을 Si이 차지하고 있는 상황이다. 이 이야기로부터 특정소재를 이용하는 소자의 공정변수에 상관없이 원하는 형태의 소재를 얻을 수 있는 기술이 개발된다고 가정한다면 물성이 우수한 소재의 실용화 가능성이 크다는 점을 기억할 필요가 있겠다. 1950년 초반 이미 Ge의 경우 단결정을 키우는 기술이 개발되었으나 Si의 경우는 1950년대 말 또는 1960년대 초반에 이르러 Czochralski 방법에 의하여 결함이 없는 단결정 주괴(ingot)를 만드는 데 성공하게 되었다. 우리가 오늘날 매우 저렴한 가격에 쉽게 접할 수 있는 실리콘 웨이퍼를 만드는 기술은 다결정 폴리실리콘 제작에서 시작하여 주괴를 만들고 이를 자르고 연마(polishing)하는 기술까지 30년 넘게 진보해온 것이다. 현재는 450 mm 직경의 실리콘 붕을 제작하는 기술로까지 진전되어 있다. 그림 1은 초기 생산된 실리콘 단결정의 크기를 현재와 비교하는 사진이다.

그래핀 응용

현재 예상 가능한 그래핀의 용도는 그래핀의 물리, 화학적인 특성을 고려한 소재 분야이고 다른 하나는 소자 분야이다. 소재로 이용되는 부분은 그래핀 복합구조체로 제작되어 수소저장 매체 또는 수퍼캐패시터에 적용되거나 그래핀 자체로 투명전극이나 산화방지막 등에 적용된다. 소자 측면에서 본다면 의학, 화학, 바이오 분야의 센서에 응용될 수 있고 앞서 언급된 바

REFERENCES

- [4] G. Fisher *et al.*, Proc. of the IEEE 100, 1454 (2012).

Fig. 3. Roadmap of graphene based display and electronics. Reprinted by permission from Macmillan Publishers Ltd: [Nature] (Ref. [5]), copyright (2012).

있는 고체전자소자에서 이용될 것으로 기대된다. 그림 3은 2012년 Nature지에 발표된 그래핀을 이용한 디스플레이와 전자소자 로드맵을 나타낸다. 저품질 그래핀 소재를 이용한 그래핀의 실용화는 2020년까지 가능할 것으로 예측되며 그래핀을 이용한 고체전자소자의 경우 2020-2030년 사이에 실용화가 가능할 것으로 예측된 바 있다.^[5] 실제로 2015년 ITRS 로드맵에서 발표된 바에 의하면 2022년 이후에 CMOS에 기반한 Si 소자의 성능은 더 이상 scale-down의 방법으로 개선될 수 없을 것으로 예측하고 있다.^[6] 그림에도 불구하고 FinFET 기술 등이 활용되어 2020년대까지는 Si CMOS 기술이 이용될 수 있을 것으로 기대가 된다. 기존의 Si 메모리를 대체하기는 쉽지 않으리라 생각되지만 'beyond CMOS'라는 관점에서 보면, 새로운 메커니즘에 기반하거나 전하가 아닌 스핀 등을 이용한 소자의 개발이 필요하며 이러한 새로운 특성을 갖는 소자에 기반을 둔 폰노이만 구조(von Neumann architecture)를 넘어서는 새로운 컴퓨터의 개발이 요구된다.

그래핀 고체소자 구현을 위한 현재 요구되는 기술은 무엇일까? 물성에서 살펴보자면 완벽한 그래핀에는 밴드갭이 없으므로 당연히 개폐율(on-off ratio)이 작을 수밖에 없다. 따라서 이것을 증가시키기 위하여 밴드갭을 만들게 되면 그래핀의 가장 특징적인 페르미준위(Fermi level)에서의 선형 밴드가 꺾일 수밖에 없고 이렇게 되면 수십만 $\text{cm}^2/\text{V}\cdot\text{m}$ 의 전하 이동도를 가질 수 없으니 이 두 가지의 특성은 만일 밴드갭의 특성을 이용하는 전자소자를 제작한다면 타협점을 찾아야 한다. 그러나 이러한 문제는 단순히 Si의 FET 구조를 생각할 때 나오는 말이고 이런 고전적 개념의 구조에서 탈피하여 새로운 소자 구조가 나와야 하며 관련 연구는 지금 많이 진행되고 있다.^[7] 그림 4는 기존에 제안된 새로운 구조의 그래핀 소자 예이다. 문제는 이러한 새로운 구조로 그래핀의 고유한 물성을 이용한 소자가 구현되었을 때 이를 상용화할 수 있게 하기 위하여 가장 필수적인 기술이 무엇일까? 이러한 의문에 대한 대답은 바로 웨이퍼 스케일 그래핀 단결정 성장기술에서 찾아야 한다.

대면적 그래핀 단결정 성장은 가능할 것인가? 지금까지 보

Fig. 4. New graphene device structure. Top, Bilayer pseudospin FET(BiSFET), Bottom left, Symmetric tunneling FET(SymFET). Bottom right, Barrier-controlled tunnel FET(BC-TFET).

고된 많은 그래핀 단결정 성장 기술은 대부분 단일 결정립 (grain)에서 그 결정립을 크게 키우기 위한 기술이고, 몇 가지 논문에도 보고된 바 있는 기술 중에는 아직 실용화에 근접한 기술이 있어 보이지 않는다.^[8] 그 까닭 중 하나는 대부분의 성장에 사용된 기판이 금속 기판이며 이를 고체전자소자에 적용하기 위해서는 부도체 위로 전사를 해야 하는 어려움이 있다. 다양한 그래핀 전사 방법에 대한 연구결과가 보고되고 있지만 원래의 상태를 유지하면서 결함이나 그 밖의 잔류물질이 없는 상태로 전이하기는 매우 힘들다. 일반적으로 전사를 위해서 사용하는 그래핀의 점-접착제로는 PMMA와 같은 고분자나 열방출 테이프 등이 사용되는데 2단계를 거쳐 원하는 기판으로 전사가 되는 만큼 그 과정 중에 원래의 상태보다 결함을 줄이는 것은 거의 불가능한 상태이다. 그래핀 고체전자소자의 상용화를 위해서는 Si와 같은 수준의 결함밀도를 제어하는 기술이 필요하다. Si의 경우 에피층(epi-layer)을 성장하는 기술은 벌크 단결정을 제작하고 슬라이싱(slicing)하는 기술보다는 난이도가 훨씬 높은 까닭에 특수한 용도에서만 이 방법을 이용한 기술이 이용되고 있다. 그래핀의 경우 흑연을 단원자층으로 대면적 절단하는 기술은 쉽지 않으리라 생각하는 게 당연하고 따라서

REFERENCES

- [5] K. S. Novoselov *et al.*, Nature **490**, 192 (2012).
- [6] http://www.semiconductors.org/main/2015_international_technology_roadmap_for_semiconductors_itrs/.
- [7] A. Chen *et al.*, *Emerging nanoelectronic devices* (John Wiley and Sons Ltd., London, 2015); D. Bischoff *et al.*, Materials Today **19**, 375 (2016); S. K. Banerjee *et al.*, IEEE Elec. Dev. LETT. **30**, 158 (2009); P. Zhao *et al.*, IEEE Trans. on Elec. Dev. **60**, 951 (2013); H. Wang *et al.*, IEEE Elec. Dev. LETT. **35**, 798 (2014).
- [8] T. Wu *et al.*, Nature Materials **15**, 43 (2016); D. Geng *et al.*, Adv. Mater. **27**, 2821 (2015).

그래핀을 이용한 고체전자소자의 제작에 필요한 기술은 절연체 기판 위에 단결정 그래핀을 성장하는 기술이라 하겠다.

일반적으로 단결정 박막의 성장을 위해서 필요한 것은 결정립의 크기를 키우는 기술과는 차별이 된다.^[9] 결정립을 키우기 위해서는 소스의 흐름(flux)을 낮추고 기판의 온도를 올리는 것이 무엇보다도 유리하다. 왜냐하면 이렇게 할 경우 그래핀의 핵생성 밀도(nucleation density)가 줄어들고 기판에 올라와 있는 소스물질의 확산거리가 길어지기 때문이다. 최근까지도 그래핀 단결정을 키웠다고 보고하는 대부분의 논문 내용은 결정립 크기를 크게 만들었다는 것이다. 작게는 수 밀리미터에서 크게 수십 밀리미터 크기의 결정립을 성장시킨 것을 보고하고 있다. 예를 들어 1 cm²의 그래핀 크기를 갖는 그래핀을 성장하는 데 1시간이 걸렸다고 한다면 간단한 산술계산으로도 8인치 웨이퍼 크기의 그래핀막을 키우는 데는 324 시간이 걸린다. 또한 여기에서의 가정은 핵생성 밀도가 1이어야 하므로 실질적으로 이용하기는 불가능한 기술이다. 그래핀을 성장하는 방법은 가장 일반적인 방법이 CVD이고 여기에 사용되는 탄화수소의 분해를 도와주기 위하여 유도 결합 플라즈마 레이저를 이용하는 방식을 사용하기도 하지만 그래핀의 품질을 결정짓는 중요한 변수는 이것보다는 기판의 온도이기 때문에 좋은 품질의 그래핀을 낮은 기판의 온도에서 얻을 수 있는 방법은 없다. 이외에 SiC 웨이퍼를 이용하는 방법이나 MBE 방법 등은 경제성 또는 품질에 있어서 CVD 방법과 비교하기에 적합하지 않으므로 논외로 한다. 일반적으로 단결정 박막을 키우는 방법은 두 가지이다. 한 가지는 기판의 격자상수를 적당하게 잘 택하여 위에 올라가는 그래핀이 자동적으로 한 방향으로 정렬하게 만드는 방법이 있다. 이러한 방법은 에피택시(epitaxy)라고 불리며 반도체나 금속 단결정박막을 제작하는 데 널리 사용되고 있다. 그래핀의 에피택시 성장이 가능해지기 위해서는 기판과 기판 위에 올라간 탄소 원자 사이에 어느 정도 크기의 상호작용이 있고 이러한 상호작용에 따라 기판 위에서 탄소원자의 최적화된 위치가 정해져야 하는데, 실제로 탄소원자와 현재에 사용되는 금속기판의 경우 상호작용이 약하여 최적화된 위치가 쉽게 결정되지 않는다. 탄소원자의 위치가 기판과의 상호작용에 의하여 정해지고 기판과 그래핀 사이의 격자상수가 거의 비슷한 경우에는 그래핀막의 성장 시 각각 위치가 다른 곳에서 핵생성이 시작되어 자라는 작은 그래핀 결정

립들이 같은 방향으로 자라기 때문에 그 결정립들이 만나더라도 이음매가 없는 연속성장이 가능하다. 기판과 탄소원자의 결합크기는 그래핀에서의 C-C 결합보다 대부분 매우 작으므로 이러한 에피택시를 구현하기는 쉽지 않다. 아직까지 CVD 방법을 이용하여 성장한 그래핀 중에서 기판 격자 방향의 영향을 받은 단결정 성장이 보고된 바는 없다. 일반 반도체나 금속과는 다른 그래핀 결정의 강한 C-C 결합으로 인하여 박막 성장 중에 일어나는 재결합(re-bonding) 공정이 현재 많이 사용되는 기판의 온도인 1000 °C에서는 불가능하기 때문이다. 이 온도에서 기판 위에 일단 형성된 그래핀 결정립은 기판의 원자들이 다 같이 움직이기 전에는 그 움직임이 불가능하다. 다른 한 가지 방법은 만일 기판과 올라간 그래핀의 상호작용이 크지 않은 경우에 그래핀을 구성하는 탄소 간의 강한 결합 특성을 이용하여 특정온도에서 재결정화하는 기술이다. 이때는 당연히 재배열을 위한 에너지 장벽을 낮추어주는 공정개발이 필요하다. 따라서 그래핀의 재결정화 과정에서 에너지 장벽을 낮추어 줄 수 있는 효율적인 촉매 개발이 매우 중요하게 되고, 그래핀 단결정 성장 여부는 이러한 촉매에 의하여 결정된다고 볼 수 있다.

결론

그래핀은 현재까지 발견된 물질 중 매우 독특한 양자물성을 가진다. 이후에 위상부도체 등이 발견되어 많은 연구가 진행 중이나 표면 처리나 외부의 요인에 의한 물성 변화 등에 취약하여 실질적인 응용이 그래핀보다 쉽다고는 예측하기 힘들다. 독특한 물성을 갖고 있는 그래핀은 그 자체의 물성을 이용하여 새로운 양자소자로 탄생할 것으로 기대가 된다. 다만 그래핀이 고유 양자특성을 가진 소자로 구현되기 위한 전제조건은 기존의 Si CMOS 소자와는 다른 구조로 소자가 작동해야 한다는 것이다. 이렇게 구현된 그래핀 양자소자를 생산하기 위해서는 그래핀 단결정 성장기술이 뒷받침이 되어야 하고 이 두 가지 바람은 적어도 십년 안에는 극복될 수 있을 것으로 기대해본다.

REFERENCES

- [9] C. Hwang *et al.*, J. of Phys. Chem. C **115**, 22369 (2011).