최첨단 반도체에서의 ALD 증착 기술

DOI: 10.3938/PhiT.21.006

황 철 주

ALD (Atomic Layer Deposition) Process Technology in the Semiconductor Industry

Chul Joo HWANG

New and improved semiconductor technology will open a new generation of nano scale engineering and will allow a new design rule below 20 nm. Therefore, it is not too much to say that ALD (atomic layer deposition) will play a significant role in the semiconductor industry and is a core technology leading future of semiconductor. ALD is an advanced technology used in ultrathin film deposition and it offers control of the thickness and the uniformity of monolayer films with excellent step coverage. ALD enables the fabrication of high-k films for capacitors and gate dielectrics, and it has been used to deposit metal films for metal barrier applications and so on. Even though the quality of films deposited using ALD is excellent, ALD provides a very low throughput for mass production. Therefore, semi-batch-type has become an innovative solution and has been spotlighted in the semiconductor equipment industry.

서 론

Si 반도체 기술의 출현 이후, 반도체는 더욱더 작은 크기, 더욱더 빠른 속도, 낮은 전력 소모량, 소자 당 낮은 가격을 목표로 개발되어져 왔으며, 최근에는 여러 가지 기능을 하나

저자약력

황철주 대표이사는 인하대학교 전자공학 학사로서(1985) 2004년 인하대로부터 명예박사학위를 받았다. 현재 주성엔지니어링(주) 대표이사로 국내 최초 반도체 전 공정장비 해외 수출, LCD용 PECVD 장치 세계일류상품 선정, 대한민국 10대 신기술상 수상, 1억불 수출탑 수상 등의 업적을 이루었다. 기업 경영 이외에도 한국진공학회 부회장(1999-), 나노산업기술연구조합 이사(2004-), 벤처기업협회 부회장(2005-2007), 한국디스플레이 산업협회 부회장(2007-), 한국태양광산업협회 부회장(2009-), 벤처기업협회 회장(2010-), 한국물리학회 부회장(2011-) 등 다양한 활동을 하고 있다.
(cj_hwang@seng.com)

의 반도체 소자에서 수행을 할 수 있도록 개발되어지고 있다. 그 결과, 반도체 소자에 사용되는 박막은 원자 단위로 제어되면서, 단차 피복성이 우수한 특성을 가져야 하며, 또한 계면에서 확산과 산화가 일어나지 않게 하기 위해서 증착 온도가 낮아야 한다. 기존의 기술로서는 이러한 요구 조건을 충족시킬 수 없게 되어서 한계에 도달하게 되었다. 그러나 원자층 단위로 박막을 증착하는 기술이 개발되어져, 기존의 반도체 기술의 한계를 극복할 수 있게 되었다. 이러한 새로운 기술을 “Atomic Layer Deposition(ALD)”라 불리게 된다.

ALD 기술은 1980년에 Tuomo Suntola에 의해서 “Atomic Layer Epitaxy(ALE)”이라는 기술로 개발되어졌다. ALE는 매우 정밀하게 조성을 제어하면서, 매우 얇은 막(< 100 Å)을 증착시킬 수 있다는 장점을 가지고 있었다. 그러나 그 당시에 반도체 산업에서 사용하는 가장 얇은 막은 1000 Å 두께로서, ALE 기술은 반도체 시장을 위한 기술로서 보여지지 않았다.

그러나 30년이 지난 현재의 상황은 변했다. 반도체의 칩 사이즈의 감소는 수 나노시대를 열게 되었으며, 반도체에서 사용하는 가장 얇은 막은 원자 단위로 필요하게 되었다. 예를 들어, 게이트 유전막의 경우, 약 10 Å(약 4개의 원자층과 동일한 두께)의 두께가 필요하게 되었다. 그 결과, Suntola의 발명은 반도체의 디자인 룰이 감소함에 따라서 반도체에 적용되기 시작하였으며, 현재 “Atomic Layer Epitaxy(ALE)” 기술은 “Atomic Layer Deposition(ALD)”라는 기술로 이름이 변경되어져, 상용화되기 시작하였다.

ALD 기술은 현재 반도체에서 박막 증착 기술인 CVD와 PVD 기술에 비해서 우수한 장점을 가지고 있다. 즉, 대부분의 ALD 공정은 400 °C 이하의 낮은 온도에서 이루어진다. 또한 원자 단위로 박막이 증착되어지기 때문에 매우 얇은 막을 정밀하게 제어 가능하며, 낮은 불순물의 함량과 핀홀이 거의 없다. 또한 ALD 공정은 높은 종횡비(Aspect Ratio)에서 100% 단차 피복성(Step Coverage)을 만족할 수 있는 기술이다. 그러나 이러한 우수한 장점에도 불구하고, ALD의 Mechanism에 의해서 증착 속도 제약을 받는 단점을 가지고 있다. 그 결과 ALD가 반도체에서 사용할 수 있는 영역은 게이트 유전막, 커패시터 유전막, Metal Barrier 등과 같은 우수한 막질을 가지면서, 매우 얇은 막을 정밀하게 제어해야 하는 공정을 위주

로 활용 범위를 넓혀 나가고 있다. 이처럼 ALD 기술은 기존의 반도체 박막 증착 기술에 비해 여러 면에서 우수성을 가지고 있어 국내 반도체 기업과 미국, 유럽, 일본의 해외 반도체 기업에서 ALD 연구 개발에 총력을 기울이고 있다.

ALD의 증착 원리

ALD 증착 원리는 불활성 기체(Ar, N₂ 등)에 의해서 분리되어진 각각의 반응물을 웨이퍼 위에 공급함에 의해서 하나의 원자층이 증착되어지며, 원하는 두께를 증착하기 위해서 반복적으로 증착하게 되어진다. 즉 ALD 증착 원리는 반응 기체가 기상 반응에 의하여 박막이 증착되는 CVD 방법이 아니라, 하나의 반응물이 박막이 증착되는 기판 위에 화학 흡착이 일어난 후, 제2 또는 제3의 기체가 들어와 기판 위에서 다시 화학 흡착이 일어나면서 박막이 형성되는 반응이다. 이러한 반응을 자기 제한적 반응(Self-limiting Reaction)이라 한다. 자기 제한적 반응(Self-limiting Reaction)이란, 반응물과 표면의 반응만 일어나고, 반응물과 반응물 간의 반응이 일어나지 않는 반응으로 원자 단위로 증착을 가능하게 하는 원리이며, 이러한 반응은 원자층 증착 방법의 가장 기본이 되는 것이다. 그 결과 ALD 공정은 반응물 간의 교차하는 화학 흡착(Alternating Chemisorption), 표면 반응(Surface Reaction) 그리고, 부산물의 탈착(Desorption)을 기초로 한다. 반응물은 단원소 또는 화합물이 사용되어지며, 이러한 반응물은 휘발성이 높고, 물질이 안정해야 하며, 반응성이 높아야 한다.

그림 1은 웨이퍼 위에 원자층 단위로 박막을 형성하는 ALD 증착 원리를 나타낸 것이다.

(1) 그림에서 보듯이, 준비되어진 웨이퍼에 “A” 반응물을 공급하게 되면, “A” 반응물은 웨이퍼 표면과 반응을 하여 화학 흡착하게 된다. “A” 반응물이 표면에 원자층이 증착되어지면, 과잉의 “A” 반응 기체가 공급되어도 더 이상 반응을 하지 않게 된다. (자기 제한적 반응; Self-limiting Reaction)

(2) “A” 반응물이 더 이상 반응을 하지 않은 상태에서 불활성 기체를 사용하여 과잉의 “A” 반응물을 반응기 외부로 제거한다.

(3) 반응기 내부에 “A” 반응물이 완전히 제거되어지면, “B” 반응물을 공급하게 되며, “B” 반응물은 표면과 흡착된 “A” 반응물과 반응을 하여 화학 흡착하게 된다. “B” 반응물이 표면에 포화 상태를 이루게 되면, 더 이상 반응을 하지 않게 된다. (자기 제한적 반응; Self-limiting Reaction)

(4) “B” 반응물이 더 이상 반응을 하지 않은 상태에서 불활성 기체를 사용하여 과잉의 “B” 반응물을 반응기 외부로 제

Fig. 1. The deposition method of ALD Process.

거한다.

(1) ~ (4)의 과정을 하나의 사이클이라고 부르며, 이러한 사이클을 반복함으로써, 원하는 두께의 원자층 박막을 성장시킬 수 있게 된다. 상기의 원자층 증착이 이루어지기 위해서는 다음과 같은 조건을 만족시켜야 한다.

- 증착 공정은 일련의 분리된 공정 단계로 구성되어야 한다. 만약 두 반응물 간에 분리되지 않고, 서로 혼합되어질 경우에는 기상 반응을 발생시키게 된다.
- 반응물과 표면 간의 반응은 자기 제한적 반응에 의해서 이루어져야 한다.
- 자기 제한적 반응 또는 화학 흡착이 주 반응이어야 한다.

ALD 기술의 장점 및 단점

흡착된 기체와 주입된 기체의 자기 제어 표면 반응에 의한 ALD 공정은 다음과 같은 장점을 지닌다. 나노 스케일의 매우 얇은 박막 형성이 가능하고, 박막의 정확한 두께 및 조성 제어가 용이하며, 기상 반응에 의한 파티클 오염을 배제할 수 있고 증착 박막의 물리적, 전기적 특성이 상대적으로 우수하다. 기존의 CVD 방법에 비해 저온 공정으로 열확산에 의한 소자의 특성 저하를 피할 수 있으며, 복잡한 형상의 기판에서도 100%에 가까운 단차 피복성 확보가 가능하다(그림 2). 특히 소자의 디자인 룰이 감소함으로써 콘택 홀 또는 트랜치의 종횡비가 크게 증가하고 있어 ALD 방법이 물리 기상 증착 방법(Physical Vapor Deposition; PVD) 또는 화학 기상 증착 방법(CVD)보다 더욱 실용적이라 할 수 있다.

충분한 소스(Source) 공급을 위하여 증기압이 높고 열분해 특성이 나타나지 않으며 반응성이 높은 프리커서(Precursor)를 선정해야 하고, 증착 공정 중 각 프리커서 간의 엄격한 분리가 필요하며 박막 성장 속도가 느리다는 단점도 가지고 있다. 따라서 낮은 생산성 때문에 후막을 증착할 경우에는 많은 시간이 소요되는데, 예를 들어 1초에 1 Å으로 증착된다고 가정

Fig. 2. Aspect Ratio = 150 : 1 Contact, Step Coverage > 90% @HfAlOx.

하면 1 μm (10,000 Å) 증착시 약 3시간이 소요되기 때문에 실제 수백 Å 이하의 얇은 두께를 가지는 박막 증착 시에만 실용적이라 할 수 있다. 하지만 최근 반도체 소자의 초미세화로 증착 두께가 100 Å 이하로 더욱 얇아지고 있어 ALD 공정이 적용되는 스텝이 많아지고 있다. 더욱이 이러한 단점은 전체 반응 사이클 시간을 줄이는 등의 최적 공정 조건을 통해 박막의 증착 속도를 증가시키고, 배치 형태의 반응 챔버를 사용하여 한꺼번에 많은 웨이퍼를 동시에 증착함으로써 해결 가능하다.

ALD의 적용 분야

반도체 소자의 크기가 감소함에 따라서, 반도체 소자에 사용되는 박막은 원자 단위로 제어되면서, 단차 피복성이 우수한 특성을 가져야 하며, 또한 계면에서 확산과 산화가 일어나지 않게 하기 위해서 증착 온도가 낮아야 한다. 그 결과 향후 반도체에 사용되는 박막은 높은 증착률의 요구보다는 매우 정밀하고, 얇은 박막이 요구되기 때문에 ALD 공정을 위해서 요구되는 증착 시간은 문제가 되지 않고, 따라서 반도체 시장에 ALD 시대는 더 크게 열리게 될 것이다.

ITRS(International Technology Road Map for Semiconductor)에 따라 ALD 공정은 90 nm의 디자인 룰에서 게이트와 커패시터 유전막, 확산 방지막 그리고 핵 생성막에 사용되기 시작하였으며, Pitch가 좁아지면서 그 필요성은 더욱 더 커져가고 있다.

Table 1. ITRS Road Map@Gate.

Year in Production	2011	2012	2013	2014	2015	2016
DRAM Pitch (nm) [1]	36	32	28	25	22	20.0
DRAM Pitch (nm) [1]	36	31	26	25	22	20
DRAM cell size (μm^2) [2]	0.00778	0.00577	0.00314	0.00250	0.00194	0.00160
DRAM storage node cell capacitor dielectric equivalent oxide thickness EOT (nm) [3]	0.5	0.5	0.3	0.3	0.3	0.3
DRAM storage node cell capacitor voltage (V) [4]	0.55	0.55	0.53	0.53	0.50	0.48
Equivalent Electric field of capacitor dielectric (MV/cm) [5]	11.0	11.0	17.5	17.5	16.7	15.8
DRAM cell FET structure [6]	RCAT	RCAT+Fin	VCT	VCT	VCT	VCT
DRAM cell FET dielectric equivalent oxide thickness, EOT (nm) [7]	5	5	4.5	4.5	4.5	4.5
Maximum Word line (WL) level (V) [8]	2.7	2.7	2.6	2.6	2.5	2.4
Negative Word line (WL) use [9]	yes	yes	yes	yes	yes	yes
Equivalent Electric field of cell FET device dielectric (MV/cm) [10]	5.4	5.4	5.8	5.8	5.6	5.3
Cell Size Factor α [11]	6	6	4	4	4	4
Array Area Efficiency [12]	0.55	0.55	0.55	0.55	0.55	0.55
Minimum DRAM retention time (ms) [13]	64	64	64	64	64	64
DRAM soft error rate (its) [14]	1000	1000	1000	1000	1000	1000
V_{DD} (support FET voltage) (V) [15]	1.2	1.2	1.2	1.2	1.1	1.1
Support CMOS EOT (nm) [16]	2.3	2.3	2.2	2.2	2	1.8

1. 게이트 유전막

반도체 소자는 수십 년 간 열 산화막에 의해서 게이트 산화막이 이용되어져 왔으며, 매우 균일하고 재현성 있는 막을 공급해 주었다. 그러나 계속되어지는 반도체 소자의 크기 감소에 따라서, 더 이상 열 산화막은 사용할 수 없게 되었다.

표 1은 2011년도 ITRS에서 게이트 유전막에 관한 것이다. 표에서 보듯이, 30 nm 시대가 열리는 2011년도에 게이트 유전막은 3 Å 이하의 EOT(Equivalent oxide thickness)가 요구되어진다. 게이트 유전막의 감소에 따른 가장 큰 문제는 누설 전류의 증가이다. 즉 게이트 유전막의 두께가 감소되어질 경우에 게이트 누설 전류는 지수적으로 증가하게 되고 더 이상 열 산화막을 유전막으로 사용할 수 없게 되어진다.

게이트 유전막에 적용하기 위한 고유전(High-k) 물질로서 Ta_2O_5 , TiO_2 , Al_2O_3 , ZrO_2 , HfO_2 , 그리고 강유전체인 BST까지 여러 가지 물질이 대두되었으나, Ta_2O_5 , TiO_2 , ZrO_2 , BST와 같은 물질은 Si와 접촉시 안정성과 후공정에 따른 온도의 안정성이 나쁘거나, 높은 누설 전류 때문에 향후의 게이트 유전막에서 배제되어졌다. 결국 열 산화막을 대체하기 위한 유전막으로는 현재 Al_2O_3 와 HfO_2 가 대두되어, 이 두 물질을 얇은 막으로 정밀하게 제어하기 위해 ALD 방법을 적용하며, HfSiOx 또는 HfSiON 물질도 적용하고 있는 실정이다.

(1) ALD Al_2O_3

ALD Al_2O_3 는 다음과 같은 특징을 가지고 있어서, 게이트 유전막으로서 매우 흥미를 가질 수 있다. 즉, Al_2O_3 는 SiO_2 보다 높은 유전율($k \sim 9$), Si와 접촉시에 우수한 열적 안정성, 그리고 넓은 에너지 갭(~ 8.3 eV)을 가진다. 게다가 폴리실리콘 게이트와 접촉시에도 매우 안정적이다.

ALD Al_2O_3 는 TMA(trimethyl-aluminium)와 오존(O_3)을 사용하여 400 °C 부근의 온도에서 증착되어질 수 있다. 이렇게 증착되어진 ALD Al_2O_3 는 동일한 EOT를 가진 열 산화막에 비해서 2~3배 정도 낮은 누설 전류를 나타낸다. 그러나

Fig. 3. Gate Dielectric Stack using ALD Al_2O_3 /ALD HfO_2 . From H. K. Kang *et al.*

ALD Al_2O_3 를 게이트 유전막을 사용함에 따른 단점이 하나 있다. 즉, ALD Al_2O_3 게이트 유전막에 의해서 Electron Trapping이 발생되어져 전하 이동도가 열 산화막보다 낮아지는 것이다.

(2) ALD HfO_2

ALD HfO_2 역시 다음과 같은 특징을 가지고 있어서, 게이트 유전막으로서 매우 흥미를 가질 수 있다. 즉, HfO_2 는 SiO_2 보다 높은 유전율($k=24 \sim 40$), Si와 접촉시에 우수한 열적 안정성, 그리고 넓은 에너지 갭($\sim 5.65 \text{ eV}$)을 가진다. 게다가 높은 밀도(9.68 g/cm^3) 때문에 불순물 확산과 실리콘/유전막 계면에서 반응을 억제시킬 수 있다.

ALD HfO_2 를 게이트 유전막으로 사용할 경우, 동일한 12 Å EOT를 가지는 열 산화막에 비해서 약 2배 정도 낮은 누설 전류 값을 나타낸다. 그러나 ALD HfO_2 는 ALD Al_2O_3 와 마찬가지로 Electron Trapping이 발생되어져 전하 이동도가 열 산화막보다 낮게 나타나는 단점을 가지고 있다.

이것을 극복하기 위해서 최근에는 ALD Al_2O_3 와 ALD HfO_2 의 fixed charge를 보상하기 위한 방법으로 ALD Al_2O_3 /ALD HfO_2 를 적층시켜서 게이트 유전막을 사용하기도 한다. 그림 3에서 보듯이 ALD Al_2O_3 /ALD HfO_2 를 적층하여 게이트 유전막을 형성할 경우, fixed charge가 많은 부분 보상과 누설 전류 측면에서도 SiON 보다 4~5배 정도 높은 결과를 나타내었다.

결론적으로 게이트 유전막으로 High-k 물질이 필요하며, 그러한 물질로서 ALD Al_2O_3 와 ALD HfO_2 가 유력한 후보로서 결국 HfSiO_x 또는 HfSiON 물질로 사용되고 있다. 그러나 낮은 누설 전류를 가지면서, 매우 얇은 두께를 가진 High-k를 구현할 수 있지만, 게이트 유전막에는 이러한 변수 이외에

또 다른 변수들(Charge trapping 등)이 존재하기 때문에, ALD를 이용한 1x nm급 차세대 게이트 유전체용 high-k를 증착하는 연구는 좀 더 진행되어야 할 것으로 보여진다.

2. 게이트 스페이서

반도체 소자가 고집적화됨에 따라서, 게이트의 채널 길이가 감소하게 되어진다. 채널 길이의 감소는 게이트의 특성을 감소시킬 수 있다. 최근에 이러한 채널 길이 감소에 따른 게이트 특성의 문제를 해결하기 위해서, 반도체에서 저온화 공정을 많이 추구한다. 저온화라는 것은 반도체의 크기의 감소와 이온 주입 공정이 도입됨으로써 나온 말로서, 저온 공정으로 이온 주입층의 확산을 예방하고자 하는 것이다. 특히 저온 공정을 통하여 Source/Drain 영역에 이온 주입층의 확산 방지에 의해서 채널 길이를 일정하게 유지하고자 한다.

일반적으로 게이트 스페이서로서 SiN 나 SiO_2 가 많이 사용되어지며, 이러한 공정은 대부분은 CVD 방법을 사용하여 700°C 이상의 높은 온도에서 수행되어지기 때문에, Source/Drain 영역의 이온 주입층의 확산이 발생되어져 채널 길이가 감소하게 되고, 그에 따라 게이트 특성을 저하시키는 결과를 초래하게 된다.

그러나 상기의 게이트 스페이서로서 CVD SiN 와 SiO_2 를 ALD 공정($< 500^\circ\text{C}$)으로 대체할 경우에 게이트 특성을 향상할 수 있을 것으로 보여진다. 그 결과, ALD SiO_2 와 SiN 과 하나의 공정으로 자리잡을 것으로 보여진다.

3. 커패시터

미래의 반도체 시장을 주도하기 위해서는 20 nm급 이하의 초집적화된 소자 제조공정기술의 확보가 매우 중요하며, 이는 20 nm급의 DRAM 커패시터 기술 개발을 통해 가능하다. 현재 국내 반도체 업계도 나노급 DRAM 소자의 커패시터로 금속 전극을 사용하는 MIM 커패시터를 주로 연구하고 있으며, 전극재료로는 TiN 을 적용하고 있으며, 유전재료로는 ALD- HfO_2 , PEALD- HfO_2 , ALD- AlO_2 , Ta_2O_5 , ZrO_2 등을 연구하고 있다. 표 2는 ITRS의 capacitor 관련 부분으로써 20 nm 이하급 소자에서 $T_{ox} \sim 3 \text{ Å}$ 정도의 특성이 요구되는데 아직까지 20 nm급 이하까지 유효 capacitance를 얻을 수 있는 3 Å의 T_{ox} 를 갖는 커패시터 공정 개발이 성숙되지 못하고 있으며 양산성이 우수한 20 nm급 공정개발의 연구는 미비한 상태이다.

커패시터용 유전체로서 ALD ZrO_2 와 Al_2O_3 를 기반으로 30 nm급까지 사용하고 있지만, 더 이상은 ZrO_2 와 Al_2O_3 의 조합을 가지고는 한계가 있다는 것이며, 이를 대체할 물질에 대해

Table 2. ITRS Road Map@Capacitor.

Table PIDS4a DRAM Technology Requirements—Near-term Years									
Year in Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM 1/2 Pitch (nm) [1]	68	58	50	45	40	36	32	30	25
DRAM cell size (μm^2) [2]	0.0277	0.0202	0.0150	0.0122	0.0096	0.0078	0.0061	0.0054	0.0038
DRAM storage node cell capacitor dielectric: equivalent oxide thickness EOT (nm) [3]	1.2	0.90	0.80	0.60	0.50	0.40	0.30	0.30	0.30
DRAM storage node cell capacitor voltage (V) [4]	0.65	0.65	0.60	0.60	0.55	0.55	0.5	0.50	0.45
Equivalent Electric field of capacitor dielectric, (MV/cm) [5]	5.7	7.2	7.5	10.0	11.0	13.8	16.7	16.7	15.0

Year in Production	2016	2017	2018	2019	2020	2021	2022
DRAM 1/2 Pitch (nm) [1]	22	20	18	16	14	13	12
DRAM cell size (μm^2) [2]	0.0029	0.0024	0.0019	0.00154	0.00118	0.00101	0.00086
DRAM storage node cell capacitor dielectric: equivalent oxide thickness EOT (nm) [3]	0.30	0.30	0.30	0.25	0.20	0.15	0.12
DRAM storage node cell capacitor voltage (V) [4]	0.45	0.4	0.4	0.35	0.35	0.35	0.35
Equivalent Electric field of capacitor dielectric, (MV/cm) [5]	15.0	13.3	13.3	14.0	17.5	23.3	29.2

소자 업체를 비롯하여 장비 업체, 케미칼 업체가 분주하게 움직이고 있다. 물질을 계속 연장하면서 사용할 수도 있지만, 앞으로 한두 세대까지 연장되지 않을 것이며, 결국은 매우 높은 유전 상수 값을 갖는 물질 자체의 변경이 필요할 것으로 예상되고 이 역시 ALD 방법으로 금속 전극과 커패시터를 증착할 것이다.

4. 금속

초고밀도 미세회로 기술과 새로운 재료의 사용이 요구되는 30 nm 이하의 고집적 소자는 박막증착기술 적용의 분기점이라고도 할 수 있어서, 게이트 절연막과 커패시터용 고유전체 증착기술과 함께 금속 전극 및 확산 방지 금속과 게이트 전극의 증착이 매우 중요해지고 있다.

특히 고집적화에 따른 단차 피복성 문제로 기존의 주를 이루고 있었던 PVD 방법이나 CVD 방법이 문제가 제기되어지고 있고, ALD로 변화를 추진하고 있는 상황이다.

커패시터의 상하부 전극이 대부분 CVD TiN으로 진행하였으나, 20 nm급에서는 ALD TiN으로 변경을 고려하고 있으며, 게이트 전극 또한 기존의 PVD TiN이 ALD TiN으로 변화되고 있는 추세이다. 더불어 커패시터의 경우는 High K 물질이 바뀌어야 하는 시점이므로 전극 물질의 변화를 추진하고 있다.

ALD 증착 장비

ALD 공정의 중요성이 강조되면서 양산성이 높고 우수한 막질을 제공할 수 있는 ALD 증착 장비 또한 필요성이 더욱 커지고 있다. 이에 국내외 장비업체에서 집중적으로 ALD 증착 장비를 개발하고 있다. ALD 증착장비는 반응기에 따라 세미 배치, 배치 그리고 싱글 형태로 구분할 수 있다. 배치형태는 한번에 다량의 웨이퍼를 동시에 증착 가능한 장비를 말하

Fig. 4. System Types for ALD Process.

며, 세미 배치 형태는 수장의 웨이퍼를 동시 증착 가능한 장치를 말한다. 싱글 형태는 한번에 1장의 웨이퍼를 처리하는 반응기를 지니고 있다. 배치 형태의 장비는 한번에 다량의 웨이퍼를 처리 가능하여 높은 생산성을 지니고 있어 생산성이 낮은 ALD 공정의 단점을 극복하기에는 최적의 방식으로 인식되었다. 이에 따라 초기 ALD 공정을 양산에 적용하면서 큰 각광을 받았으나 최근에는 소자의 집적도가 높아지면서 배치 형태에서 증착되는 박막의 막질이 웨이퍼가 놓이는 위치에 따라 다르기 때문에 차세대 소자의 특성을 확보하기에는 부족하게 되었다. 싱글 형태의 ALD 증착 장비는 배치 형태 대비 박막의 특성은 매우 우수하지만 낮은 생산성으로 인해 실제 양산에 적용하는 데는 큰 제약이 따른다. 이에 세미 배치 형태의 장비가 최근 각광 받고 있다. 세미 배치 형태의 장비는 한번에 여러 장의 웨이퍼를 처리할 수 있어 높은 생산성을 확보할 수 있을 뿐 아니라 증착되는 모든 웨이퍼의 박막 특성 또한 싱글 형태의 장비와 동등하게 모든 웨이퍼가 동일한 특성을 가지고 있기 때문에 국내에서 최초 개발한 세미 배치형 반응기가 ALD 장치의 표준이 되고 있는 상황이다.

결론

앞에서 언급한 것처럼 20 nm 이하의 디자인 룰을 가진 반도체 소자의 시대가 열리게 됨에 따라서, ALD 공정의 중요성은 더 이상 강조할 나위가 없다. 특히 게이트와 커패시터 유전막, 금속 전극 그리고 스페이서와 같은 높은 종횡비를 가지면서 매우 얇고 저온 증착막을 요구하는 공정 등 차세대 반도체 증착 기술에서는 PVD와 CVD 증착에 의한 막보다 ALD를 이용한 막 증착의 필요성이 더 증가할 것이다. 특히 ALD 장치는 배치형 ALD 장치와 싱글형 장치의 단점을 제거할 수 있으면서 장점을 살린 세미 배치형 ALD 장치가 표준화될 것으로 예상된다.