УЧЁТ РАДИАЦИОННО-ИНДУЦИРОВАННЫХ ТОКОВ УТЕЧКИ ПРИ ВЫСОКИХ ТЕМПЕРАТУРАХ В SPICE МОДЕЛИ КНИ МОПТ

И. А. Харитонов

ФГБНУ «НИИ ПМТ», 115054, г. Москва, ул. Малая Пионерская, д. 12

В статье описывается SPICE макромодель КНИ МОПТ, учитывающая суммарный ток утечки стока при повышенной температуре с учётом полученной дозы. Рассмотрены составляющие тока утечки стока: температурозависимый ток стокового перехода и радиационно-индуцированные токи утечки по нижней и/или боковым границам КНИ структуры вследствие инверсии проводимости в этих областях. Приведены смоделированные с помощью TCAD и разработанной SPICE макромодели сток-затворные характеристики облучённого 0.35 мкм КНИ МОПТ при комнатной и повышенной до 120 °С температуре. Показано, что ток утечки стока в облучённом *n*-канальном МОПТ при повышенной температуре заметно больше суммы теплового тока необлучённого транзистора и радиационного тока утечки при комнатной температуре даже с учётом частичного отжига накопленного в окисле заряда.

Ключевые слова: SPICE макромодель, КНИ МОПТ, скрытый окисел, разделительный окисел, высокотемпературные утечки, радиационные утечки, TCAD

Сведения об авторе: Харитонов Игорь Анатольевич, ikharitonov@hse.ru

SIMULATION OF RADIATION-INDUCED DRAIN LEAKAGE CURRENTS IN SOI MOSFETS AT HIGH TEMPERATURES WITH SPICE MODEL

I. A. Kharitonov

FSBSI «NII PMT», 115054, Moscow, Malaya Pionerskaya st., 12.

Annotation. The article describes the SPICE macromodel for SOI MOSFET, which simulates the total drain leakage current at elevated temperature and takes into account the ionizing dose received. The leakage current components are considered: the temperature-dependent drain junction current and the radiation-induced leakage currents along the bottom and/or lateral boundaries of the SOI MOSFET structure due to the inversion of conductivity in these regions. The presented are: drain-gate characteristics of irradiated 0.35 μm *n*-channel MOSFET at room and elevated (120°C) temperature, simulated with TCAD and using the developed SPICE macromodel. It is shown that the leakage current in the irradiated *n*-channel MOSFET at elevated temperature is noticeably larger than the sum of the drain junction thermal current of the unirradiated transistor and its radiation leakage current at room temperature, even with partial thermal annealing of the holes charge accumulated in the thick oxide.

Keywords: SPICE macromodel, SOI MOSFET, buried oxide, separation layer, high-temperature leakage, radiation leakage, TCAD.

Data of Author: Kharitonov Igor Anatolievich, ikharitonov@hse.ru

Введение

Известно, что стойкость современных МОП транзисторов к полной поглощённой дозе излучения определяется в основном возникновением стоковых утечек по боковой грани (для объёмной КМОП технологии)

или боковой и нижней граням (для технологии «кремний на изоляторе» (КНИ)) активных областей *n*-канальных транзисторов (см. рис. 1). Эти утечки возникают из-за инверсии проводимости активной области транзистора вследствие наведённых облучением ды-

рочного заряда и поверхностных состояний в нижнем и боковом оксидах МОП структуры [3]. Стойкая аппаратура для космической техники, энергетических установок и др. в ряде случаев используется в условиях одновременного воздействия радиации и повышенной температуры до 250-300 °С [1, 3]. В этом случае при совместном воздействии указанных факторов суммарный ток стока утечки $I_{с\text{ утечки}}$ складывается из температурозависимых токов стокового перехода $I_{с\text{ утечки } p-n}$ и радиационно-индуцированного тока утечки по нижней $I_{с\text{ утечки донн}}$ (рис. 1) и/или боковым границам ($I_{с\text{ утечки бок}}$) КНИ структуры вследствие инверсии проводимости в этих областях.

Вопросы моделирования стоковых утечек МОПТ при повышенной температуре [1-5, 13] и моделирования утечек в облучённых транзисторах достаточно подробно рассмотрены как зарубежными [5-8], так и отечественными [8-10, 14] исследователями, в том числе и с учётом влияния температуры [9]. К сожалению, вопросы их совместного учёта в SPICE моделях МОПТ рассмотрены недостаточно.

Особенность их совместного учёта и моделирования заключается в том, что при высокой температуре снижаются пороговое напряжение и подвижность носителей заряда в структуре МОП транзистора. При этом

Рис. 1

Составляющие тока утечки стока МОПТ при повышенной температуре

они понижаются не только для верхнего затвора, но и для нижней и боковой паразитных транзисторных структур. В результате этого условия образования паразитных инверсных каналов по этим областям облегчаются и вероятность образования утечек при повышенных температурах (при условии тех же накопленных зарядов в этих окислах) увеличивается. Однако накопленные в окислах дырочный заряд и заряд поверхностных состояний после облучения существенно зависят от температуры и времени облучения [12, 18, 19] – при повышенной температуре они отжигаются в существенно большей степени, чем при комнатной. В результате получается сложная нелинейная зависимость токов утечек от температуры, мощности дозы, времени облучения, которую необходимо учесть при схемотехническом моделировании стойких КМОП схем.

Для совместного учёта факторов температуры и радиации при анализе утечек на этапе схемотехнического моделирования предлагается расширить наш подход к получению радиационно зависимой макромодели КНИ МОПТ [14]. Совмещённая Electro-Thermo-Rad модель КНИ МОПТ для утечек включает основной МОП транзистор, температурозависимый ток стокового перехода которого описывает ток $I_{с\text{ утечки } p-n}$, и дополнительные паразитные МОП транзисторы для боковой и донной утечек с параметрами, зависящими от полученной дозы, времени облучения и температуры [15, 16].

Таким образом, суммарный ток стока утечки в модели облучённого КНИ МОПТ складывается из составляющих:

$$I_{с\text{ утечки}}(D, T, t) = I_{с\text{ утечки } p-n}(D, T, t) + I_{с\text{ утечки донн}}(D, T, t) + I_{с\text{ утечки бок}}(D, T, t). \quad (1)$$

Наши результаты [13] показали, что зависимость тока стокового $p-n$ перехода от температуры достаточно корректно описывается моделями BSIM и BSIMSOI. Необходимо лишь правильно определить параметры модели из результатов высокотемпературных измерений.

Ток утечки, вызванной образованием боковых (для примера) паразитных инверсионных каналов в КНИ МОП транзисторе, (в предпороговом режиме работы) в ряде работ [7-10] описывается классическим выражением тока МОПТ, но с введёнными зависимостями параметров этого выражения от полученной дозы D . В данной работе в указанное выражение дополнительно вводятся температурные зависимости порогового напряжения $V_{t\text{ eff параз}}$ паразитного транзистора и наведённых облучением плотностей зарядов дырок $\Delta N_{ot\text{ параз}}(D, T, t)$ и поверхностных состояний $\Delta N_{it\text{ параз}}(D, T, t)$ в толстом окисле в зависимости от дозы D , времени облучения t и температуры T во время облучения:

$$I_{c\text{ утеч бок}}(d, T, t) = \mu(D, T, t) C_{ox\text{ eff}} \frac{w_{eff}(D, t)}{l} (m-1) \left(\frac{kT}{q} \right) \cdot 2 \exp \left(\frac{q(V_3 - V_{t\text{ eff параз}}(D, T, t))}{mkT} \right) \times \left(1 - \exp \left(-\frac{qV_{си}}{kT} \right) \right), \quad (2)$$

где $C_{ox\text{ eff}}$ – эффективная ёмкость изолирующего окисла, под которым возникает утечка; $w_{eff}(D, t)$ – эффективная ширина паразитного канала тока утечки, зависящая от полученной дозы и времени облучения; $V_{t\text{ eff параз}}(D, T, t)$ – эффективное пороговое напряжение паразитного канала утечки, зависящее от полученной дозы D , времени облучения t и температуры T . Его зависимость от полученной дозы и температуры описывается известными выражениями:

$$V_{t\text{ eff параз}}(D, T, t) = V_{t\text{ eff }0}(0, T) + [\pm \Delta V_{ot\text{ параз}}(D, T, t) \pm \Delta V_{it\text{ параз}}(D, T, t)], \quad (3)$$

$$\Delta V_{ot\text{ параз}}(D, T, t) = \frac{\Delta Q_{ot\text{ параз}}(D, T, t)}{C_{ox\text{ eff параз}}} = \frac{q \cdot \Delta N_{ot\text{ параз}}(D, T, t)}{C_{ox\text{ eff параз}}}, \quad (4)$$

$$\Delta V_{it\text{ параз}}(D, T, t) = \frac{\Delta Q_{it\text{ параз}}(D, T, t)}{C_{ox\text{ eff параз}}} = \frac{q \cdot \Delta N_{it\text{ параз}}(D, T, t)}{C_{ox\text{ eff параз}}}, \quad (5)$$

где $V_{t\text{ eff }0}(0, T)$ – значение порогового напряжения для толстого (скрытого) окисла до об-

лучения, зависящее от температуры транзистора; $C_{ox\text{ eff параз}}$ – эффективная ёмкость окисла паразитного транзистора; $\mu(D, T, t)$ – зависящая от температуры, дозы и времени облучения (через параметр $\Delta N_{it\text{ параз}}(D, T, t)$) подвижность носителей в канале паразитного транзистора, которая описывается известным выражением:

$$\mu(D, T, t) = \frac{\mu_0(T)}{1 + \alpha \cdot \Delta N_{it\text{ параз}}(D, T, t)}. \quad (6)$$

$\Delta N_{ot\text{ параз}}(D, T, t)$, $\Delta N_{it\text{ параз}}(D, T, t)$ – наведённые облучением концентрации дырочного заряда и поверхностных состояний (на единицу площади) на нижней (или боковой) границе рабочей области транзисторной структуры, зависящие от температуры, мощности дозы, времени облучения и др. факторов [15]. В частности, изменение концентрации дырочного заряда $\Delta N_{ot\text{ параз}}(D, T, t)$ за время t описывается как разность концентрации заряда $\Delta N_{ot\text{ параз без отжига}}(D, T, t)$, накопленного за время t без учёта его отжига, и доли этого заряда, отождённого за время t в соответствии с типичной кривой отжига [17, 18]:

$$\Delta N_{ot\text{ параз}}(D, T, t) = \Delta N_{ot\text{ параз без отжига}}(D, T, t) - \frac{\Delta N_{ot\text{ параз без отжига}}(D, T, t) \cdot \ln \left(1 + \frac{t}{t_s} \right)}{A}. \quad (7)$$

Коэффициент A учитывает, что при t , стремящемся к бесконечности, плотность $\Delta N_{ot\text{ параз}}(D, T, t)$ дырочного заряда стремится к конкретному значению, определяемому из результатов измерений.

Параметр t_s задаёт временной масштаб кривой отжига, связан с измеряемым временем половинного отжига заряда $\tau_{1/2}$, который зависит от температуры и электрического поля в окисле через энергию активации ([17, 18] и др.).

Аналогичные выражения используются и для описания плотности наведённых поверхностных состояний $\Delta N_{it\text{ параз}}(D, T, t)$ на границе между активной областью транзистора и толстым окислом, но там от времени и температуры зависят и генерация состояний и их отжиг. Эти процессы имеют

разные энергии активации и постоянные времени.

Для SPICE моделирования донной утечки можно считать, что напряжение верхнего затвора практически не влияет на ток нижней утечки, поэтому в выражении (2) можно считать $V_3 = 0$, и мы получаем в результате зависимость тока МОП транзистора от наведённых облучением плотностей $\Delta N_{от, параз}(D, T, t)$, $\Delta N_{ит, параз}(D, T, t)$, которые выполняют функцию некоторого эффективного затворного напряжения для паразитного транзистора.

В области сильной инверсии для нижнего паразитного канала утечки получим стандартную квадратичную зависимость тока $I_{с\ утекки\ нижн}(D, T, t)$ от суммы плотностей наведённых зарядов $\Delta N_{от, параз}(D, T, t)$, $\Delta N_{ит, параз}(D, T, t)$ [9].

Аналогичные выражения справедливы и для тока утечки $I_{с\ утекки\ бок}(D, T, t)$ по боковой грани активной области транзистора.

Таким образом, зависимость тока утечки от наведённых облучением плотностей зарядов в макромодели можно описать стандартным выражением сток-затворной ВАХ дополнительного паразитного МОП транзистора (или двух паразитных транзисторов), где в качестве эффективного затвора выступают наведённые облучением заряды в толстом окисле (7). С учётом близкого к линейному закону роста дырочного заряда от полученной дозы получаем зависимость тока утечки

Рис. 2

Зависимость паразитного тока стока утечки от полученной дозы для МОПТ с $L = 0.18$ мкм [8]

от дозы в виде сток-затворной ВАХ [7-9] (см. рис. 2). Насыщение тока стока утечки с ростом дозы и даже его спад говорят о компенсации дырочного заряда в толстом окисле зарядом поверхностных состояний [11, 19].

В результате паразитная утечка может учитываться в макромодели транзистора путём добавления дополнительных МОП транзисторов с параметрами, зависящими от полученной дозы, времени облучения и температуры в соответствии с вышеприведёнными выражениями (3) – (7), с различными коэффициентами параметров для боковой и донной составляющих.

В данной работе моделировался КНИ МОПТ с параметрами: длина канала 0.35 мкм; толщина активной области 190 нм; толщина скрытого слоя окисла 150 нм; концентрация носителей в активной области транзистора $7 \cdot 10^{17} \text{ см}^{-3}$.

В качестве основы использовалась наша макромодель на основе BSIMSOI [14] с параметрами, определёнными по результатам измерений характеристик тестовых КНИ МОП транзисторов с проектной нормой 0.35 мкм в диапазоне температур до 300 °C [13]. Поскольку основной упор делался на анализ токов утечки, то при данных расчётах не учитывалась деградация параметров основного (верхнего) МОПТ. Параметрами модели BSIMSOI основного транзистора, описывающими температурозависимые токи утечки стокового перехода, являлись: I_{ddif} (ток насыщения переходов исток-подложка, сток-подложка); I_{drec} (ток рекомбинации в обеднённом слое перехода); X_{dif} (показатель степени выражения температурных зависимостей тока насыщения переходов исток-подложка, сток-подложка); X_{recd} (показатель степени выражения температурных зависимостей тока рекомбинации переходов исток-подложка, сток-подложка), также определённые по результатам высокотемпературных измерений [13].

В макромодель [14] – в дополнительный паразитный транзистор для нижнего скрытого окисла дополнительно введены зависимости его порогового напряжения от по-

лученной дозы через напряжение плоских зон V_{fb} (в соответствии с выражением (3)) и подвижности носителей μ_0 (выражение (6)) от наведённых облучением плотностей дырочного заряда $\Delta N_{ot, параз}(D, T, t)$ в толстом окисле и поверхностных состояний $\Delta N_{it, параз}(D, T, t)$ на границе раздела кремний-толстый окисел с учётом их температурозависимого и времязависимого отжига [15]. Для учёта радиационно зависимых и температурозависимых изменений параметров модели основного транзистора можно использовать аналогичные выражения (3)–(7), но со своими параметрами.

В качестве «экспериментальных» данных по характеристикам КНИ МОПТ с учётом высокой температуры и полученной дозы облучения использовались результаты TCAD моделирования структуры данного транзистора. Калибровка TCAD в части ВАХ и эффектов полученной дозы выполнялась на основании результатов измерений облучённых [20] и нагретых [13] тестовых КМОП КНИ структур и результатов моделирования [7], [20].

Оценки наведённых облучением зарядов в скрытом окисле с учётом их температурозависимого отжига проводились по данным

[7, 19] и данным по зависимостям токов утечки от температуры и времени [19]. Характеристики приведены для температуры +120 °С, т.к. при этом уже заметно меняются характеристики МОПТ, происходит небольшой отжиг дырочного заряда и ещё нет существенного ускоренного роста (или отжига) поверхностных состояний.

Приведённые ниже значения $\Delta N_{ot, параз}$ накопленного в толстом окисле заряда при повышенной до 120 °С температуре соответствуют полученной дозе 400 крад и мощности дозы около 40 рад/сек [17, 19].

На рис. 3 приведены рассчитанные с помощью TCAD и SPICE макромодели сток-затворные характеристики указанного 0.35 мкм КНИ МОПТ.

Сток-затворные характеристики приведены для температур 27 и 120 °С и плотностей зарядов в окисле $\Delta N_{ot, параз}$, равных $1,2 \cdot 10^{12} \text{ см}^{-2}$ и $1,5 \cdot 10^{12} \text{ см}^{-2}$. Значки – расчёт с помощью TCAD; линии – расчёт по SPICE макромодели МОП транзистора (с добавлением дополнительного паразитного МОП транзистора) с учётом утечки по выражению (2) и температурозависимого отжига.

На графиках представлены характеристики (снизу вверх):

Рис. 3

Рассчитанные с помощью TCAD (значки) и SPICE макромодели утечки (линии) на сток-затворных характеристиках КНИ МОПТ ($L = 0.35 \text{ мкм}$, $T_{BOX} = 150 \text{ нм}$) для температур 27 и 120 °С и значений плотностей дырочного заряда в окисле $\Delta N_{ot, параз}$: 0; $1,2 \cdot 10^{12}$; $1,5 \cdot 10^{12} \text{ см}^{-2}$

1. необлучённого КНИ МОПТ при комнатной температуре (27 °C);

2. МОПТ после облучения ($\Delta N_{\text{от параз}} = 1,5 \cdot 10^{12} \text{ см}^{-2}$) при комнатной температуре;

3. необлучённого МОПТ при повышенной температуре (120 °C);

4. МОПТ после облучения ($\Delta N_{\text{от параз}} = 1,2 \cdot 10^{12} \text{ см}^{-2}$) при температуре 120 °C (с учётом частичного отжига наведённого облучением дырочного заряда при облучении с мощностью дозы 40 рад/сек).

Из рис. 3 видно, что полный ток утечки стока в облучённом *n*-канальном МОПТ при повышенной температуре заметно больше суммы теплового тока необлучённого транзистора и радиационного тока утечки при комнатной температуре даже с учётом частичного отжига накопленного в окисле заряда. Видно также, что уточнённая макромодель корректно описывает суммарный ток-сток утечки облучённого МОПТ при повышенной до 120 °C температуре. Погрешность – не более 20 %.

Заключение

Таким образом, в известные версии SPICE макромодели стойких МОПТ добавлены зависимости наведённых облучением зарядов в толстом окисле и на границе раздела кремний-толстый окисел от температуры и времени облучения, что дало возможность корректного описания токов утечки стока МОПТ с учётом повышенной температуры и дозы.

Литература

- Improved Design of Radiation Hardened, Wide-Temperature Analog and Mixed-Signal Electronics Project., NASA Project, <https://catalog.data.gov/dataset/improved-design-of-radiation-hardened-wide-temperature-analog-and-mixed-signal-electronics>.
- Neil H.E. Weste, David Money Harris, CMOS VLSI Design. A Circuits and Systems Perspective. Addison-Wesley, 2011.
- Philippe Adell. Dose and Dose-Rate Effects in Micro-Electronics Pushing the Limits to Extreme Conditions // *Presentation at NSREC 2014, 14-18 July, 2014*.
- F.S. Shoucair; J.M. Early. High-temperature diffusion leakage-current-dependent MOSFET small-signal conductance. // *IEEE Transactions on Electron Devices*. Volume: 31, Issue: 12, Dec. 1984. pp.1866-1872.
- F.S. Shoucair. Electrical characteristics of LSI silicon MOSFET's at very high temperatures. *Ph. D. dissertation*, Columbia University, New York, NY, 1983.
- F.S. Shoucair, W.Hwang, and P.Jain. Electrical characteristics of LSI silicon MOSFET's at very high temperatures, Part I, Theory, Part II Experiment. // *Microv Electron. Reliab.*, vol. 24, no. 3, 1984. pp. 465-510.
- Esqueda, H.Barnaby, Two-Dimensional Methodology for Modeling Radiation-Induced Off-State Leakage in CMOS Technologies. // *IEEE Trans. on Nuclear Science*, vol. 52, no. 6, 2005, pp. 2259-2264.
- S.Esqueda, H.J. Barnaby, M.P. King. Compact Modeling of Total Ionizing Dose and Aging Effects in MOS Technologies // *IEEE Trans. on Nucl. Sci.*, Vol. 62, No. 4, 2015, pp. 1501-1515.
- G.I. Zebrev, V.V. Orlov, A.S. Bakerenkov, V.A. Felitsyn. Compact Modeling of MOSFET I – V Characteristics and Simulation of Dose-Dependent Drain Currents // *IEEE Trans. on Nuclear Science*, Vol. 64, N. 8, 2017, pp. 2212-2218.
- V.V. Orlov, G.I. Zebrev, M.S. Gorbunov. CMOS Chip Level Global Leakage Physics-Based Modeling // *Presented at RADECS 2017*.
- F.Faccio, G.Cervelli. Radiation-induced edge effects in deep submicron CMOS transistors // *IEEE Trans. on Nuclear Science*, Vol: 52, Issue: 6, Dec. 2005, pp. 2413-2420
- J.R. Schwark, F.W. Sexton, D.M. Fleetwood et. al, Temperature effects on the radiation response of MOS devices // *IEEE Trans. On Nuclear Science*, vol.35, N6, 1988, pp. 1432-1437.
- Лебедев С.В., Петросянц К.О., Самбурский Л.М., Стахин В.Г., Харитонов И.А., Исмаил-Заде М.Р. Исследование характеристик КНИ МОП транзисторов высокотемпературных ИС (до 300 °C) при уменьшении размеров до 0,18 мкм // *Труды Международного форума «Микроэлектроника-2016». 2-я научная конференция «Интегральные схемы и микроэлектронные модули»*. – М.: Техносфера, 2016. 237-238.
- К.О. Petrosyants, L.M. Sambursky, I.A. Kharitonov, B.G. Lvov. Radiation-Induced Fault Simulation of SOI/SOS CMOS LSI's Using Universal Rad-SPICE MOSFET Model // *Journal of Electronic Testing: Theory and Applications (JETTA)*, 2017, Vol. 33, No. 1. pp. 37-51.

15. Kharitonov I.A., Electro-Thermo-Rad SPICE models for SOI/SOS MOSFETs // *Proc. of the IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 27 – October 2, 2017, pp. 409-416.
16. И. А. Харитонов. Подсистема схемотехнического проектирования КМОП БИС с учётом совместного влияния радиационных и тепловых эффектов. // *Тезисы XVI Всероссийской научно-технической конференции «Электроника, микро- и нанoeлектроника»*, г. Суздаль, июль 2017, с. 64-65.
17. Ph. M. Campbell and C.W. Bogdan. «Analytical Models for Total Dose Ionization Effects in MOS Devices». *Sandia report*. Sandia National Laboratories Albuquerque, New Mexico, 2008. pp. 1178-1185.
18. V. Lakshmana and A.S. Vengurlekar. «Logarithmic detrapping response for holes injected into SiO₂ and the influence of thermal activation and electric fields». *Journal of Applied Physics*. Vol. 63, 1988. pp. 4548-4555.
19. H. Baoping, Y. Zhibin, W. Zujun, H. Shaoyan. Irradiation and Anneal Response of Shallow Trench Isolation Oxides in 0.18μm CMOS Technology // *Scientific Journal of Microelectronics*, Vol. 4, 2014, Issue 2, pp. 5-10.
20. К. О. Петросянц, Е. В. Орехов, Л. М. Самбурский, И. А. Харитонов, П. Н. Осипенко, М. С. Горбунов. Трёхмерное моделирование радиационных токов утечки в субмикронных КНИ МОП транзисторах с различной топологией // *Сб. научных трудов Российской научно-технической конференции «Электроника, микро- и нанoeлектроника-2010»*. – М.: МИФИ, 2010, с. 84-89.
21. Петросянц К. О., Попов Д. А., Харитонов И. А. TCAD моделирование радиационно-индуцированных токов утечки стока в КНИ МОПТ при повышенных температурах. // *Сборник тезисов XV научно-технической конференции «Твердотельная электроника. Сложные функциональные блоки РЭА»*, 2017, с. 224-226.
3. Philippe Adell. Dose and Dose-Rate Effects in Micro-Electronics Pushing the Limits to Extreme Conditions // *Presentation at NSREC 2014, 14-18 July, 2014*.
4. F.S. Shoucair; J.M. Early. High-temperature diffusion leakage-current-dependent MOSFET small-signal conductance. // *IEEE Transactions on Electron Devices*. Volume: 31, Issue: 12, Dec. 1984. pp. 1866-1872.
5. F.S. Shoucair. Electrical characteristics of LSI silicon MOSFET's at very high temperatures. *Ph. D. dissertation*, Columbia University, New York, NY, 1983.
6. F.S. Shoucair, W. Hwang, and P. Jain. Electrical characteristics of LSI silicon MOSFET's at very high temperatures, Part I, Theory, Part II Experiment. // *Microelectron. Reliab.*, vol. 24, no. 3, 1984. pp. 465-510.
7. Esqueda, H. Barnaby, Two-Dimensional Methodology for Modeling Radiation-Induced Off-State Leakage in CMOS Technologies. // *IEEE Trans. on Nuclear Science*, vol. 52, no. 6, 2005, pp. 2259-2264.
8. S. Esqueda, H. J. Barnaby, M. P. King. Compact Modeling of Total Ionizing Dose and Aging Effects in MOS Technologies // *IEEE Trans. on Nucl. Sci.*, Vol. 62, No. 4, 2015, pp. 1501-1515.
9. G. I. Zebrev, V. V. Orlov, A. S. Bakerenkov, V. A. Felitsyn. Compact Modeling of MOSFET I – V Characteristics and Simulation of Dose-Dependent Drain Currents // *IEEE Trans. on Nuclear Science*, Vol. 64, N. 8, 2017, pp. 2212-2218.
10. V. V. Orlov, G. I. Zebrev, M. S. Gorbunov. CMOS Chip Level Global Leakage Physics-Based Modeling // *Presented at RADECS 2017*.
11. F. Faccio, G. Cervelli. Radiation-induced edge effects in deep submicron CMOS transistors // *IEEE Trans. on Nuclear Science*, Vol: 52, Issue: 6, Dec. 2005, pp. 2413-2420.
12. J. R. Schwark, F. W. Sexton, D. M. Fleetwood et. al, Temperature effects on the radiation response of MOS devices // *IEEE Trans. On Nuclear Science*, vol. 35, N6, 1988, pp. 1432-1437.
13. S. V. Lebedev, K. O. Petrosyants, L. M. Samburskiy, V. G. Stakhin, I. A. Kharitonov, M. R. Ismail-Zade. Characteristics of high-temperature (up to 300°C) IC's SOI MOSFET scaled down to 0,18 μm. // *Trudy Mezhdunarodnogo foruma Mikroelektronika-2016. 2-ya nauchnaya konferenciya «Integralniye skhemy I mikroelektronniye moduli»* [Proc. of International forum «Microelectronics 2016», 2-nd scientif. conf. «Integrated circuits and microelectronic modules»] M.: Tekhnosfera, 2016, pp. 237-238.

References

1. Improved Design of Radiation Hardened, Wide-Temperature Analog and Mixed-Signal Electronics Project., NASA Project, <https://catalog.data.gov/dataset/improved-design-of-radiation-hardened-wide-temperature-analog-and-mixed-signal-electronics>.
2. Neil H.E. Weste, David Money Harris, CMOS VLSI Design. A Circuits and Systems Perspective. Addison-Wesley, 2011.

14. K.O. Petrosyants, L.M. Sambursky, I.A. Kharitonov, B.G. Lvov. Radiation-Induced Fault Simulation of SOI/SOS CMOS LSI's Using Universal Rad-SPICE MOSFET Model // *Journal of Electronic Testing: Theory and Applications (JETTA)*, 2017, Vol. 33, No. 1. pp. 37-51.
15. Kharitonov I.A., Electro-Thermo-Rad SPICE models for SOI/SOS MOSFETs // *Proc. of the IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 27 – October 2, 2017, pp. 409-416.
16. I.A. Kharitonov. Subsystem of CMOS LSI circuit design, accounting the mutual influence of radiation and thermal effects. // *Tezisy XVI Vserossiyskoy nauchno-tekhnicheskoy konferentsii «Elektronika, mikro- i nanoelektronika»* [Proc. XVI All-Russian scientific and technical conference «Electronics, micro- and nanoelectronics»]. Suzdal, Jul. 2017, pp.64-65.
17. Ph. M. Campbell and C.W. Bogdan. «Analytical Models for Total Dose Ionization Effects in MOS Devices». *Sandia report*. Sandia National Laboratories Albuquerque, New Mexico, 2008. pp. 1178-1185.
18. V.Lakshmana and A.S. Vengurlekar. «Logarithmic detrapping response for holes injected into SiO₂ and the influence of thermal activation and electric fields». *Journal of Applied Physics*. Vol. 63, 1988. pp. 4548-4555.
19. H.Baoping, Y.Zhibin, W.Zujun, H.Shaoyan. Irradiation and Anneal Response of Shallow Trench Isolation Oxides in 0.18μm CMOS Technology // *Scientific Journal of Microelectronics*, Vol. 4, 2014, Issue 2, pp. 5-10.
20. K.O. Petrosyants, E.V. Orekhov, L.M. Samburskiy, I.A. Kharitonov, P.N. Osipenko, M.S. Gorbunov. 3D modeling of radiation leakage currents in sub-micron SOI MOSFETs with various layout. // *Sb. nauchnykh trudov Rossiyskoy nauchno-tekhnicheskoy konferentsii «Elektronika, mikro i nanoelektronika-2010»* [Proc. of Russian scientific and technical conference «Electronics, micro- and nanoelectronics-2010»]. M.: MEPhI, 2010, pp.84-89.
21. K.O. Petrosyants, D.A. Popov, I.A. Kharitonov. TCAD simulation of radiation-induced drain leakage currents of SOI MOSFET at elevated temperatures. // *Sbornik tezisov XV nauchno-tekhnicheskoi konferentsii «Tverdotelnaya elektronika. Slozhniye funktsionalniye bloke REA»* [Proc. XV scientific and technical conference «Solid-state electronics. Complex functional blocks of radio-electronic equipment»]. 2017, pp.224-226.