РЕАЛИЗАЦИЯ LDPC ДЕКОДЕРА НА ПЛИС И ОПТИМИЗАЦИЯ ПОТРЕБЛЯЕМОЙ МОЩНОСТИ

DOI: 10.36724/2072-8735-2020-14-3-4-10

Зинченко Максим Юрьевич,
Национальный исследовательский университет
"МЭИ", Москва, Россия, ZinchenkoMY@gmail.com

Левадний Алексей Михайлович,
Национальный исследовательский университет
"МЭИ", Москва, Россия, LevadniyAM@gmail.com

Гребенко Юрий Александрович,
Национальный исследовательский университет
"МЭИ", Москва, Россия, GrebencoYA@mpei.ru

Ключевые слова: помехоустойчивое кодирование, низкоплотностные коды, уменьшение потребления, ПЛИС, FEC, LDPC, DVB-S2, error floor

К современным системам радиосвязи предъявляются требования высоконадежной передачи данных по каналам с помехами. В связи с этим помехоустойчивое кодирование стало неотъемлемым этапом цифровой обработки информационных данных. На сегодняшний день существует большое количество помехоустойчивых кодов, одними из самых популярных являются низкоплотностные коды. Представлены результаты разработки архитектуры каскадного кодера для программируемой логической интегральной схемы (ПЛИС) с использованием внутреннего низкоплотностного кода стандарта DVB-S2 и внешнего кода Рида-Соломона. Кодек поддерживает несколько степеней кодирования и длин кодовых слов, описанных в приложении к стандарту. Предлагаемая архитектура декодера имеет частично-параллельную структуру, позволяющую достичь высокой производительности декодирования и эффективного использования ресурсов кристалла. В декодере реализован эффективный алгоритм декодирования со сниженным использованием аппаратных ресурсов, позволяющий производить итеративное "мягкое" декодирование, что значительно повышает вероятность успешного декодирования. Использование метода каскадного кодирования позволяет избавиться от возникающих остаточных ошибок в результате декодирования низкоплотностного кода. Авторами было подтверждено наличие подматриц с двойными диагоналями в структуре проверочных матриц и реализован способ их устранения. Также был произведен анализ параметров, влияющих на статическое и динамическое потребление мощности в программируемой логической интегральной схеме. На его основе предлагаются алгоритмические и архитектурные методы уменьшения потребления. Дано описание разработанных архитектур, методов повышения производительности и уменьшения потребления ПЛИС.

Информация об авторах:

Зинченко Максим Юрьевич, ассистент кафедры Формирования и обработки радиосигналов, Национальный исследовательский университет "МЭИ", Москва, Россия,

Левадний Алексей Михайлович, аспирант кафедры Формирования и обработки радиосигналов, Национальный исследовательский университет "МЭИ", Москва, Россия,

Гребенко Юрий Александрович, профессор кафедры Формирования и обработки радиосигналов, д.т.н., профессор, Национальный исследовательский университет "МЭИ", Москва, Россия

Для цитирования:

Зинченко М.Ю., Левадний А.М., Гребенко Ю.А. Реализация LDPC декодера на ПЛИС и оптимизация потребляемой мощности // Т-Comm: Телекоммуникации и транспорт. 2020. Том 14. №3. С. 4-10.

For citation:

Zinchenko M.Y., Levadniy A.M., Grebenko Y.A. (2020) FPGA LDPC decoder implementation and optimization its power consumption. T-Comm, vol. 14, no.3, pp. 4-10. (in Russian)

Введение

Помехоустойчивое кодирование (Forward Error Correction (FEC)) позволяет повысить достоверность передаваемой информации. Способность исправлять ошибки на приемной стороне и восстанавливать исходную информацию достигается за счет введения избыточности в исходные данные. Среди помехоустойчивых кодов широкое распространение в последние годы получили двоичные низкоплотностные коды (НК), также известные как двоичные коды с малой плотностью проверок на чётность (Low Density Parity Check (LDPC)) [1]. Эти коды используются во многих современных стандартах передачи данных: DVB-S2/T2/C2, IEEE 802.11n/ac (Wi-Fi), WiMAX и др. Востребованность вышеупомянутых кодов объясняется тем, что они способны обеспечить максимальные скорости передачи при ограниченной полосе частот, а также обладают рядом преимуществ по сравнению с хорошо зарекомендовавшими себя турбокодами. Выигрыш в уровне сигнал/шум за счет LDPC-кодирования при одинаковой доле контрольных символов может составлять до 3 дБ для выбранного уровня вероятности битовых ошибок 10^{-6} . Применение этих кодов является также эффективным для противодействия широкополосным импульсным помехам, а также помехам, вызывающим стирание сигнала [2].

Однако, помимо преимуществ, двоичные низкоплотностные коды обладают недостатками, из-за которых их широкое применение началось только с середины 2000-х годов. К ним относятся сложность разработки эффективной структуры кода оптимизированной для аппаратной реализации кодера и декодера, а также в наличие различных структурных эффектов. Эти эффекты часто приводят к возникновению явления остаточного уровня ошибок (Error Floor) в декодированном кодовом слове. Подробное описание данного явления, а также один из способов его устранения, были представлены авторами в [3].

Поскольку в работе за основу была взята структура LDPC кода, представленная в стандарте DVB-S2, с большой длиной кодового слова – 64800 бит, то для практического применения и получения высокой производительности целесообразно применять программируемую логическую интегральную схему (ПЛИС). В рамках данной работы были предложены архитектуры кодера и декодера для реализации в ПЛИС Xilinx Artix-7 xc7a200. Особенностью разработки архитектуры кодера и декодера под ПЛИС является необходимость учитывать ограниченное количество ресурсов кристалла. Также с учетом возможного применения LDPC-кода в портативных системах передачи данных желательно уменьшить статическое и динамическое потребление кристалла.

В данной работе был разработан кодер НК в соответствии с рекомендациями и алгоритму кодирования представленным в стандарте, описание его архитектуры было представлено авторами в [4]. Основная сложность возникает с реализацией алгоритма декодирования. Так как эффективная архитектура декодера должна не только производить декодирование в соответствии со стандартом, но обеспечивать заданную производительность и низкое потребление мощности.

Основные положения

Низкоплотностные коды являются линейными блочными кодами. Особенностью НК является малая плотность значимых элементов в матрице – единиц, означающих связь битов кодового слова с соответствующими проверками. В стандарте цифрового спутникового вещания второго поколения DVB-S2 используются коды LDPC, для которых определена 21 степень кодирования и две длины кодового слова – 16200 и 64800 бит [5]. В приложении к стандарту представлены справочные таблицы, используя которые, можно построить порождающие матрицы $\mathbf{G}$ для каждой степени кодирования R и соответствующие им проверочные матрицы $\mathbf{H}$. Удобным графическим способом представления структуры НП кода является двудольный граф Таннера, включающий в себя битовые и проверочные вершины.

Использование LDPC-кодов данного стандарта позволяет при применении методов итеративного декодирования над «мягкими» входными битами практически вплотную приблизиться к пропускной способности канала по Шеннону. Также предлагаемая в стандарте структура кода оптимизирована для аппаратного исполнения и является квазициклической, что позволяет осуществлять при декодировании обработку до 360 проверок параллельно. В работе для последующей реализации были выбраны 6 степеней кодирования. На рисунке 1 представлены графики зависимости вероятности битовой ошибки от отношения E_b/N_0 для этих степеней кодирования и длин кодовых слов.

Рис. 1. Вероятность битовой ошибки от отношения E_b/N_0 для выбранных степеней кодирования LDPC-кода стандарта DVB-S2

Архитектура декодера

При разработке архитектуры декодера требуемый уровень производительности был установлен следующим образом: время декодирования одного кодового слова длиной 64800 бит при 50 итерациях декодирования не должно превышать 2 мс, что позволит получить максимальную информационную скорость 24,3 Мбит/с при степени кодирования $R=3/4$. Исходя из данных ограничений была выбрана частично-параллельная модель, в которой 90 блоков обработки (БО) подсчитывают 90 проверочных выражений одновременно.

$$\Psi(x) = \log \frac{e^x + 1}{e^x - 1} = -\log(\tanh \frac{x}{2}) \quad (1)$$

Таблица 1

Размер N	Степень кодирования, R	Количество проверочных выражений	Количество бит входящих в каждое проверочное выражение
64800	1/4	48	4
	1/2	32	7
	3/4	16	14
16200	11/45		4
	2/5	9	6
	2/3	5	8

Предлагаемая архитектура декодера включает в себя следующие функциональные элементы: модули управления вводом и выводом данных, управления работой декодера и блоками параллельного сдвига, 90 блоков обработки проверочных выражений, 90 блоков памяти для хранения логарифмических отношений правдоподобия (ОЗУ).

Для декодирования низкоплотного кода стандарта DVB-S2 необходимо обеспечить высокую пропускную способность обращений к памяти при псевдослучайном изменении адреса чтения и записи. Линейная организация структуры памяти не сможет обеспечить необходимую пропускную способность, поэтому для разрешения данного ограничения в разработанной архитектуре предлагается разделить память на 90 блоков и обращаться к ним параллельно.

Рис. 2. Структурная схема архитектуры декодера НП кода

При отображении адресов битовых вершин, входящих в проверочные выражения, было обнаружено, что циклический сдвиг имеющий место в подматрицах 360x360 отображается также на адресное пространство 90 блоков памяти. При чтении данный сдвиг необходимо компенсировать, чтобы вероятности бит поступили в соответствующие блоки обработки. После пересчета вероятности бит в БО значения необходимо записать в исходные блоки памяти, то есть необходимо восстановить исходный циклический сдвиг. На рисунке 3 показаны примеры возможного отображения циклических сдвигов на структуру памяти.

Рис. 3. Варианты отображения циклических сдвигов в блоках памяти

При такой организации памяти для хранения вероятностей бит авторами был разработан способ отображения линейного кодового слова на параллельную структуру памяти и определен алгоритм пересчета адресов вероятностей бит с учетом периодичности проверочной матрицы **H**. Также были реализованы чтение и запись 90 вероятностей бит с учетом циклического сдвига в подматрицах 360x360. Для этого осуществлена компенсация сдвига перед входами блоков обработки и его восстановление на выходе блоков обработки для последующей записи обновленных значений вероят-

ности бит в исходные блоки и адреса памяти ПЛИС. Эта обработка выполняется при каждом чтении и записи в память с учетом конвейерного типа движения данных, реализованного в декодере, и осуществляется за счет матрицы сдвиговых мультиплексоров в блоках параллельного сдвига.

В процессе проверки работы декодера было выявлено, что параллельная обработка кодового слова приводит к деградации корректирующей способности по сравнению с последовательным декодированием. Исследование процесса декодирования показало, что данное ухудшение вызвано конфликтами обращения к памяти ПЛИС. Такие конфликты возникают, когда два блока обработки по завершении расчетов пытаются записать новые значения вероятностей бит в ячейку памяти ПЛИС с одинаковым адресом. Анализ причин возникновения данных конфликтов показал, что они связаны со структурой LDPC кода стандарта DVB-S2, так как в подматрицах 360×360 проверочной матрицы $\mathbf{H}$ могут присутствовать двойные диагонали. В таблице 2 приведено количество подматриц с двойными диагоналями для различных степеней кодирования.

Таблица 2

Степень кодирования, R	Количество подматриц с двойной диагональю	Размер проверочной матрицы	
		С подматрицами с двойными диагоналями	Без подматриц с двойными диагоналями
1/4		48600x64800	x65880
1/2		32400x64800	x67680
3/4		16200x64800	x73080
11/45		12240x16200	x16200
2/5		9720x16200	x19080
2/3		5400x16200	x21240

Как было сказано выше, единицы в матрице $\mathbf{H}$ обозначают связь вероятностей бит кодового слова и соответствующих проверок. Из-за присутствия двойной диагонали группа из 360 битовых вершин будет дважды связана с первыми 360 проверочными выражениями. При параллельной обработке, в отличие от выполнения алгоритма последовательно, это приводит к вхождению битовой вершины в две параллельно рассчитываемые проверки. В результате обновленное значение вероятности бита, полученное при расчете первого проверочного выражения, не будет учтено при расчете второго проверочного выражения. Происходит накопление битовой ошибки и сильная деградация корректирующей способности декодера. В работе данная проблема была решена путем преобразования структуры проверочной матрицы, подробно описанным в [7]. Данный метод заключается в построении эквивалентной матрицы $\mathbf{H}$, в которой подматрицы с двумя диагоналями разделены на две подматрицы: подматрицу с одной диагональю и связывающую единичную подматрицу.

Преимуществом применения данного метода устранения двойных диагоналей в подматрицах 360×360 является возможность сохранить алгоритм декодирования без изменений. Однако при этом увеличивается время декодирования из-за обработки дополнительных проверочных выражений и необходим больший объем памяти для хранения вероятностей бит связывающих подматриц. В таблице 2 приведены размеры проверочных матриц $\mathbf{H}$, полученные после устранения в них двойных диагоналей.

Оптимизация потребления

При разработке архитектуры декодера под ПЛИС важно уменьшить потребляемую кристаллом мощность. Общее потребление ПЛИС состоит из двух составляющих: статической и динамической потребляемой мощности. Статическое потребление в основном зависит от задействованных аппаратных ресурсов ПЛИС. Динамическое потребление определяется используемым количеством и частотой переключения логических элементов [8].

Уменьшение статического потребления

Чтобы снизить статическое потребление, необходимо уменьшить общее количество используемых логических элементов ПЛИС. Однако, так как разрабатываемая архитектура должна отвечать требованиям производительности, описанным выше, то невозможно уменьшить количество используемых ресурсов изменением количества параллельно работающих блоков обработки и памяти.

Один из параметров, изменение которого не влияет на производительность, но позволяет снизить статическое потребление – это разрядность данных обрабатываемых логарифмических отношений правдоподобия. При этом выбор количества значащих бит в значениях вероятностей влияет не только на занимаемые ресурсы ПЛИС, но и на качество декодирования. На рисунке 4 представлено сравнение графиков зависимости вероятности битовой ошибки от отношения E_b/N_0 при различном количестве значащих бит в разрядности данных логарифмических отношений правдоподобия для LDPC кода с $R = 1/2$ и $N = 64800$.

Рис. 4. Влияние разрядности ЛОК на зависимость вероятности битовой ошибки от отношения E_b/N_0

Как видно из рисунка 4, хорошие результаты получаются при количестве значащих бит в векторах логарифмических отношений правдоподобия больше 4. Видно, что при 6 значащих битах «ступенька» на графике вероятности битовой ошибки будет ниже чем при 5. Если установить необходимую достоверность передачи данных равную 10^{-5} , то выигрыш при использовании 6-битной архитектуры будет равен 1.7 дБ по сравнению с 5-битной. Дальнейшее увеличение разрядности до 7 бит не дает ощутимого выигрыша по сравнению с 6 значащими битами.

Для сравнения статического потребления при использовании 5 и 6 значащих бит был произведен синтез двух архитектур декодера LDPC-кода под ПЛИС. Результаты синтеза представлены в табл. 3.

Таблица 3

Значащих бит в логарифмических отношениях правдоподобия	5 бит	6 бит
Используемое количество логических блоков (LUT)	72933 (55 %)	81739 (61 %)
Используемое количество триггеров (FF)	93040 (35 %)	105738 (40 %)
Расчетная мощность потребления ПЛИС	2,379 Вт	2,548 Вт

Сравнение двух результатов синтеза позволяет сделать вывод, что использование 5-битной архитектуры дает возможность уменьшить количество используемых логических элементов на 6%, триггеров – на 5%. При этом общее потребление ПЛИС уменьшится на 0,169 Вт.

Уменьшение динамического потребления

Динамическое потребление ПЛИС определяется количеством логических элементов и частотой переключений их состояний. В декодере переключения логических элементов совершаются во время итеративного декодирования кодового слова. Следовательно, время декодирования напрямую влияет на динамическое потребление.

Существует несколько способов уменьшения времени обработки кодового слова: ограничение максимального количества итераций декодирования, досрочное завершение декодирования в случае получения искомого кодового слова на промежуточной итерации, определение не декодируемых кодовых слов.

Для определения оптимального значения максимального количества итераций декодирования ($Iter_{max}$) было произведено сравнение изменения графика вероятности битовой ошибки от отношения E_b/N_0 для LDPC-кода с $N = 64800$ и $R = 1/2$ при разных значениях $Iter_{max}$. Результаты сравнения представлены на рис. 5.

Рис. 5. Влияние $Iter_{max}$ на зависимость вероятности битовой ошибки от отношения E_b/N_0

В приложении к стандарту DVB-S2 предлагается ограничивать декодирование 50 итерациями. В работе было выбрано количество итераций $Iter_{max}$ равное 30, так как это позволяет уменьшить время декодирования на 40% при незначительном ухудшении качества декодирования на 0,4 дБ.

В процессе декодирования после завершения каждой итерации подсчитывается количество несошедшихся проверочных выражений. Если это количество равно нулю, значит все проверки сошлись и получено верное кодовое слово. Декодер завершает декодирование и выдает исправленный информационный вектор. Таким образом, при хорошем отношении E_b/N_0 количество итераций может быть значительно меньше $Iter_{max}$.

Для определения не декодируемых блоков в работе была использована метрика количества несошедшихся проверок на различных итерациях. Для определения оптимальной итерации и константного порогового значения для сравнения было исследовано изменение количества несошедшихся проверок (КНП) в зависимости от итерации декодирования и отношения E_b/N_0 . Результаты для LDPC-кода с $N = 64800$ и $R = 1/2$ представлены на рис. 6 и 7.

Рис. 6. Зависимость КНП от итераций декодирования для кодовых слов с различным начальным отношением E_b/N_0

Рис. 7. Зависимость КНП от E_b/N_0 на различных итерациях

Анализ графиков на рисунке 6 показывает резкое уменьшение количества КНП на первых нескольких итерациях для декодируемых и недекодируемых блоков. На последующих итерациях этот уровень для декодируемых блоков продолжает плавно уменьшаться, а для недекодируемых блоков остается вблизи постоянного значения. Таким образом, наилучшей стратегией определения недекодируемых блоков будет сравнение уровня НКП с пороговым значением на 3-5 итерации. Пороговое значение следует выбрать таким образом, чтобы, начиная с граничного отношения E_b/N_0 , блоки считались декодируемыми. Например, из графика на рис. 7 видно, что для 4 итерации пороговое значение НКП для граничного отношения $E_b/N_0 = 1$ дБ ($N=64800$; $R = 1/2$) равно 4050.

Сравнение графиков характеристик декодера с исходными и оптимальными параметрами работы на рис. 8 позволяет сделать вывод, что применение предлагаемых способов уменьшения динамического потребления позволяет сократить количество используемых итераций для недекодируемых блоков и сохранить качество декодирования на исходном уровне. Следовательно, сокращается время работы декодера и его динамическое потребление.

Рис. 9. Зависимость выигрыша потребляемой ПЛИС мощности ΔP от отношения E_b/N_0

На рисунке 9 показана зависимость выигрыша потребляемой мощности ΔP от отношения E_b/N_0 для LDPC кода с $N=64800$ и $R = 1/2$. Как видно из графика использование предлагаемых методов уменьшения статического и динамического потребления ПЛИС позволяет уменьшить потребление на 2.5 Вт для недекодируемых блоков.

Заключение

В работе описаны особенности архитектуры декодера низкоплотностного кода стандарта DVB-S2 для шести степеней кодирования. Использование оптимального алгоритма обработки проверочных выражений позволяет снизить сложность реализации и уменьшить занимаемые аппаратные ресурсы ПЛИС. Предлагаемая частично-параллельная архитектура отвечает высоким требованиям к необходимой пропускной способности интерфейсов между памятью и блоками обработки. Обнаружены конфликты обращений к блокам памяти, связанные с наличием двойных диагоналей в подматрицах проверочной матрицы LDPC-кода стандарта и предложен способ их устранения. Произведен анализ параметров декодера, влияющих на статическое и динамическое потребление мощности ПЛИС, разобраны методы подбора оптимальных значений, что позволило снизить потребляемую мощность на 2,5 Вт при сохранении качества декодирования на исходном уровне.

Литература

1. Gallager R. Low-density parity-check codes // IRE Transactions on information theory. 1962. Т. 8. №. 1. С. 21-28.
2. Варгаузин В.А. Цикун И.А. Методы повышения энергетической и спектральной эффективности цифровой радиосвязи. БХВ-Петербург, 2013.
3. Zinchenko M.Y., Levadnii A.M., Grebenko Y.A. Concatenated error correction code implementation on FPGA // 2019 Systems of Signal Synchronization, Generating and Processing in Telecommunications (SYNCHROINFO). IEEE, 2019, pp. 1-4.
4. Zinchenko M.Y., Levadnii A.M., Grebenko Y.A. Development of the LDPC coder-decoder of the DVB-S2 standard on FPGA // 2018 Systems of Signal Synchronization, Generating and Processing in Telecommunications (SYNCHROINFO). IEEE, 2018. С. 1-3.
5. ETSI E. B. U. Digital video broadcasting (dvb); second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broadband satellite applications. Technical report, Tech. rep., ETSI, 2005.
6. H. Zhong, W. Xu, N. Xie, and T. Zhang. Area-Efficient Min-Sum Decoder Design for High-Rate QC-LDPC Codes in Magnetic Recording // IEEE Transactions on Magnetics, vol. 43, No. 12, pp. 4117-4122, Dec. 2007.
7. C. Marchand, J-B Dore, L. Conde-Canencia and E. Boutillon. Conflict Resolution by Matrix Reordering for DVB-T2 LDPC Decoders // 2009 IEEE Global Telecommunications Conference (Honolulu, HI), pp. 1-6, Dec. 2009.
8. Тарасов И. Оценка потребляемой мощности и выбор системы питания ПЛИС Xilinx // Компоненты и технологии. С. 62-64, 02.2009.

FPGA LDPC DECODER IMPLEMENTATION AND OPTIMIZATION ITS POWER CONSUMPTION

Maksim Y. Zinchenko, National Research University "MPEI" Moscow, Russia, ZinchenkoMY@gmail.com

Alexey M. Levadnyy, National Research University "MPEI" Moscow, Russia, LevadnyyAM@gmail.com

Yuri A. Grebenko, National Research University "MPEI" Moscow, Russia, GrebenkoYA@mpei.ru

Abstract

Modern radio communication systems claim highly reliable data transmission over noisy channels. In this connection, noiseless coding has become an essential step in the digital processing of information data. To date, there are a large number of error-correcting codes, one of the most popular are low-density parity check codes. The paper presents the results of cascade codec architecture for FPGA using an internal LDPC code of DVB-S2 standard and outer Reed-Solomon code. The codec supports 6 coding rates and 2 frame lengths described in the annex of the standard. The proposed architecture of the decoder has a partially parallel structure, which allows to reach high decoding performance and effective utilization of the FPGA resources. In the decoder, an efficient algorithm of decoding was implemented with a reduced use of hardware resources. Moreover, it supports iterative "soft" decoding, which increases the likelihood of successful decoding. The use of concatenated coding allows to get rid of residual errors arising as a result of decoding of low-density code. It was also confirmed the presence of submatrices with double diagonals in the parity check matrices and a method for eliminating them was implemented. The authors analyzed the parameters that affect the static and dynamic power consumption. Based on it, algorithmic and architectural methods for reducing them are proposed. Paper contains description of the developed architectures, methods to increase productivity and reduce power consumption of the FPGA.

Keywords: FEC, LDPC, DVB-S2, FPGA, error floor, power consumption.

References

1. Gallager R. (1962). Low-density parity-check codes. *IRE Transactions on information theory*. 1962. Vol. 8. No. 1, pp. 21-28.
2. Vargauzin V.A. Tsikin I. A. Methods of increasing the energy and spectral efficiency of digital radio communications. - BHV-Petersburg, 2013.
3. Zinchenko M.Y., Levadnyy A.M., Grebenko Y.A. (2019). Concatenated error correction code implementation on FPGA. *2019 Systems of Signal Synchronization, Generating and Processing in Telecommunications (SYNCHROINFO)*. IEEE, 2019. pp. 1-4.
4. Zinchenko M.Y., Levadnyy A.M., Grebenko Y.A. (2018). Development of the LDPC coder-decoder of the DVB-S2 standard on FPGA. *2018 Systems of Signal Synchronization, Generating and Processing in Telecommunications (SYNCHROINFO)*. IEEE, 2018, pp. 1-3.
5. ETSI E. B. U. Digital video broadcasting (dvb); second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broadband satellite applications. Technical report, Tech. rep., ETSI, 2005.
6. H. Zhong, W. Xu, N. Xie, and T. Zhang, (2007). "Area-Efficient Min-Sum Decoder Design for High-Rate QC-LDPC Codes in Magnetic Recording," *IEEE Transactions on Magnetics*. Vol. 43, No. 12, pp. 4117-4122, Dec. 2007.
7. C. Marchand, J-B Dore, L. Conde-Canencia and E. Boutillon, (2009). "Conflict Resolution by Matrix Reordering for DVB-T2 LDPC Decoders", *2009 IEEE Global Telecommunications Conference (Honolulu, HI)*, pp. 1-6, Dec. 2009.
8. Tarasov I. (2009). Estimation of power consumption and choice of power supply system Xilinx FPGAs, *Components and Technology*, pp. 62-64, 02.2009.

Information about authors:

Maksim Y. Zinchenko, PhD student, assistant, Formation and processing of radio signals department National Research University "MPEI" Moscow, Russia

Alexey M. Levadnyy, PhD student, Formation and processing of radio signals department National Research University "MPEI" Moscow, Russia

Yuri A. Grebenko, Professor, Formation and processing of radio signals department National Research University "MPEI" Moscow, Russia