CENTRO UNIVERSITÁRIO FEI
ALLAN ROBERTO MOLTO

INFLUÊNCIA DO POTENCIAL DE SUBSTRATO SOBRE O RUÍDO DE BAIXA FREQUÊNCIA DE NANOFIOS TRANSISTORES MOS

São Bernardo do Campo
2021

ALLAN ROBERTO MOLTO

INFLUÊNCIA DO POTENCIAL DE SUBSTRATO SOBRE O RUÍDO DE BAIXA FREQUÊNCIA DE NANOFIOS TRANSISTORES MOS

Tese de Doutorado apresentado ao Centro Universitário FEI para a obtenção do título de Doutor em Engenharia Elétrica. Orientado pelo Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo

2021

Molto, Allan.
INFLUÊNCIA DO POTENCIAL DE SUBSTRATO SOBRE O RUÍDO DE BAIXA FREQUÊNCIA DE NANOFIO TRANSISTORES MOS / Allan Molto. São Bernardo do Campo, 2021.
168 f. : il.

Tese - Centro Universitário FEI.
Orientador: Prof. Dr. Marcelo Pavanello.

1. Ruído de baixa frequência. 2. Nanofios transistores. 3. MOS. 4. SOI. I. Pavanello, Marcelo, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE TESE
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Doutorado

PGE-10

Aluno: Allan Roberto Molto **Matrícula:** 516201-1

Título do Trabalho: INFLUÊNCIA DO POTENCIAL DE SUBSTRATO SOBRE O RUÍDO DE BAIXA FREQUÊNCIA DE NANOFIOS TRANSISTORES MOS.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 21/12/2021

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

A sessão pública de defesa da Tese foi realizada virtualmente, com a presença de todos os membros da Banca Examinadora durante toda a sua duração. A sessão iniciou-se pela apresentação da Tese pelo candidato. Na sequência, cada um dos membros da Banca realizou arguição do candidato. Os esclarecimentos necessários foram realizados pelo candidato, que respondeu satisfatoriamente a todas as questões. Os comentários dos membros da Banca, relativos ao texto da Tese, foram recebidos e serão incorporados à versão final. Em sessão fechada, a Banca deliberou, por unanimidade, favoravelmente a aprovação da Tese e outorga do título de Doutor.

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA	
Prof. Dr. Marcelo Antonio Pavanello	Ass.: _____
Prof. Dr. Victor Sonnenberg	Ass.: _____
Prof. Dr. André Luiz Perin	Ass.: _____
Prof.ª Dr.ª Maria Glória Cano de Andrade	Ass.: _____
Prof. Dr. Alberto Vinicius de Oliveira	Ass.: _____

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA TESE

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Dedico esse trabalho aos meus pais Roberto (*in memorian*) e minha mãe Sueli. À minha futura esposa Mariana, a minha irmã Raquel, meu sobrinho Caio, meu cunhado Danilo e a minha filhinha pet Chiquinha por me acompanharem em todo percurso, me incentivando, me aconselhando e me apoiando nessa trajetória.

AGRADECIMENTOS

Ao meu orientador Prof. Dr. Marcelo Antonio Pavanello pelos incentivos, paciência, ensinamentos e conselhos nos momentos em que mais precisei. Por acreditar em mim e que esse trabalho seria possível.

À minha família, em especial minha mãe pelo apoio e por sempre colocar-me para cima, principalmente nos momentos mais difíceis.

Ao Prof. Dr. Rodrigo Trevisoli Doria por todo ensinamento e proatividade. Em me auxiliar nos conhecimentos de ruído, nas medidas experimentais e simulações.

Aos meus colegas de pesquisa ao qual tive muita sorte em ter convivido, Bruna e Flávio, por contribuírem de forma imensa na execução desse trabalho. Sem o suporte deles, nada disso teria sido possível.

Aos meus colegas turma, Ariane, Cleiton, Egon, Enrico, Gabriel, João, Ligia, Muller, Rafael, Thales por toda amizade e companheirismo ao logo do caminho.

“Sem resistência, não há progresso.
Sem sombras, não há luz”
Arthur Schopenhauer

RESUMO

Este trabalho tem por objetivo estudar pela primeira vez o efeito da polarização de substrato sobre o ruído de baixa frequência em nanofios transistores MOS, tipo N, totalmente depletados, implementados em tecnologia SOI. São estudados nanofios de canal único e múltiplos canais, por meio de resultados experimentais e simulações tridimensionais. Pretende-se aqui aprofundar os conhecimentos obtidos até então na literatura e, pela primeira vez, analisar o comportamento do ruído de baixa frequência $1/f^{\gamma}$ aplicando-se tensões ao substrato. Os resultados obtidos consideraram dispositivos nanométricos, com diversas geometrias, operando na região triodo, com comprimentos de canal (200nm, 400nm, 1µm e 10µm) e larguras de canal (15nm, 20nm, 45nm, 65nm e 105nm). Nesses dispositivos, foram aplicadas polarizações de porta e de substrato com os transistores operando desde a região próxima do sublimiar até a inversão forte, a fim de se obter as curvas DC e de ruído. Os resultados obtidos mostraram que o ruído predominante nesses dispositivos é do tipo "*flicker*", com decaimento proporcional a $1/f^{\gamma}$ em baixas frequências ($f \leq 500Hz$), e em frequências maiores ($500Hz < f \leq 10KHz$) ele é sobreposto pelo ruído de geração e recombinação, com o decaimento equivalente à $1/f^2$. A origem do ruído, considerando o substrato aterrado, se deve, predominantemente, a variação da quantidade (N) de portadores no canal devido ao armadilhamento e desarmadilhamento na interface Si/SiO_2. Para maiores tensões de porta ($V_{GT} \geq 200mV$), observou-se a influência da variação da mobilidade no ruído. O expoente γ, que compõe o ruído 1/f variou de 0,7 a 1,25, mostrando a mudança do ponto de condução para os valores mais elevados de tensão de porta e polarizações de substrato aplicados. Foi observado também, o aumento do ruído com a diminuição da largura e comprimento do canal. A diminuição da área do dispositivo, promove a redução na taxa de geração e recombinação, aumentando o ruído. Foi observado o aumento do ruído nos dispositivos, tanto para tensões positivas de substrato quanto para tensões negativas aplicadas ao substrato. Isso ocorreu para as tensões de polarização onde a condução se aproximou das interfaces inferior e superior do canal, podendo ser observado com clareza nas curvas de densidade de elétrons em função da profundidade do canal. Essa maior proximidade com as interfaces agrava o ruído devido as armadilhas existentes nessas regiões.

Palavras-chave: Ruído de baixa frequência, polarização do substrato, nanofios transistores, MOS, SOI.

ABSTRACT

This work aims to study for the first time the substrate polarization effect on low frequency noise in fully depleted MOS nanowire transistors, N-type, implemented in SOI technology. Single-channel and multiple-channel nanowires are studied through experimental results and three-dimensional simulations. It is intended here to deepen the knowledge obtained so far in the literature and, for the first time, analyze the behavior of low frequency $1/f^{\gamma}$ noise by applying voltages to the substrate. The obtained results considered nanometric devices, with several geometries, operating in the triode region, with channel lengths (200nm, 400nm, 1µm and 10µm) and channel widths (15nm, 20nm, 45nm, 65nm and 105nm). In these devices, gate and substrate bias were applied with transistors operating from close subthreshold region to strong inversion in order to obtain the DC and noise curves. The results obtained showed that the predominant noise in these devices is of the "flicker" type, with a decay proportional to $1/f^{\gamma}$ at low frequencies, and at higher frequencies it is superimposed by the noise of generation and recombination, with the decay equivalent to $1/ f^2$. The origin of the noise, considering the substrate grounded, is predominantly due to the variation in the amount (N) of carriers in the channel due to trapping and detrapping at the Si/SiO2 interface. For higher gate voltages (V_{GT}≥200mV), the influence of mobility variation on noise was observed. The exponent γ, which composes the 1/f noise, ranged from 0,7 to 1,25, showing the change of the conduction point for the higher values of applied gate voltages and substrate bias. It was also observed an increase in noise level with a decrease in the width and length of the channel. By reducing the area of device, promotes the reduction of generation and recombination rate increasing the noise. An increase in noise in the devices was observed, both for positive and negative substrate voltages. This occurred for voltages bias where the conduction approached the lower and upper interfaces of the channel, which can be clearly observed in the electron density curves as a function of the channel depth. This greater proximity to the interfaces aggravates the noise due to the traps that exist in these regions.

Keywords: Low frequency noise, substrate bias, nanowires transistors, MOS, SOI.

LISTA DE ILUSTRAÇÕES

Figura 1 - Evolução dos nós tecnológicos dos transistores MOS em função da produção anual. 17
Figura 2 - Estrutura de um transistor construído em tecnologia MOS convencional..... 22
Figura 3 - Diagrama de faixas de energia de um transistor MOS convencional em depleção. 23
Figura 4 - Estrutura de um transistor construído em tecnologia SOI. 24
Figura 5 - Diagrama de faixas de energia do transistor SOI parcialmente depletado (PD) 25
Figura 6 - Diagrama de faixas de energia do transistor SOI Totalmente Depletado (FD). 26
Figura 7 - Comparação no consumo de energia do Certus-NX com seus semelhantes da Intel e Xilinx. 28
Figura 8 - Perspectiva (A) e vista frontal (B) de um SOI FinFET 29
Figura 9 - Perspectiva (A) e vista frontal (B) de um SOI FinFET de porta tripla 29
Figura 10 - Perspectiva (A) e vista frontal (B) de um SOI FinFET em formato Ω. 30
Figura 11 - Vista frontal de um FinFET de porta tripla com estrutura multi-fins. 31
Figura 12 - Mobilidade efetiva em função do campo elétrico, destacando os mecanismos de espalhamento. 38
Figura 13 - Velocidade de saturação dos portadores, quando aplicado um campo elétrico horizontal. 38
Figura 14 - Curva calculada e experimental de g_m/I_{DS} em função da corrente normalizada de dreno I_{DS} para transistores SOI nMOS e pMOS totalmente depletado de filme fino e transistores nMOS e pMOS do tipo bulk. Calculado: linha sólida contínua (SOI nMOS) e linhas tracejadas (nMOS e pMOS do tipo bulk). Experimental: círculos (SOI nMOS) e quadrados (SOI pMOS). 41
Figura 15 - μ_{eff} em função de N_{inv} extraído através dos métodos Y-Function e Split C-V. 42
Figura 16 - Ruído em um condutor ou semicondutor em função do tempo. 45
Figura 17 - Densidade espectral de ruído na corrente elétrica (S_{ID}) em função da frequência. 47
Figura 18 - RTS em um transistor MOS com área de 0,4μm^2, aplicando diversas tensões de porta com V_{DS}=40mV e T=295K. 49
Figura 19 - Tempo de emissão e captura em função de V_{GS} com V_{DS}=40mV 52
Figura 20 - Densidade espectral de ruído de Geração e Recombinação na corrente elétrica (S_{IDGR}) em função da frequência, considerando diversos τ_{GR}. 53
Figura 21 - Diagrama de faixas de energia de um transistor MOS convencional considerando o armadilhamento e desarmadilhamento de portadores. 54

Figura 22 - Produto de $fE.1-fE$. 58
Figura 23 - Distribuição exponencial de τ em função da distribuição uniforme de armadilhas. 59
Figura 24 - Densidade espectral de ruído normalizado (S_{ID}/I_{DS}^2) em função da corrente de dreno (I_{DS}) com f=25Hz para os transistores FinFET com diferente largura de fin (a) e comprimento de canal (b). 64
Figura 25 - Densidade espectral de ruído (S_{ID}/g_m^2) em função da tensão aplicada a porta (V_G) com *f*=25Hz para FinFET *Bulk* com diferente largura de fin (a) e comprimento de canal (b). 65
Figura 26 - (Símbolos) $S_{VG}^{1/2}$ em função das características de I_{DS}/g_m e (linhas) a regressão linear para extração de S_{VG} em faixa plana a parâmetro de espalhamento por Coulomb $\alpha sc.\mu$eff em ambos, tipo n e tipo p (a) largo e (b) 1 canal-TGNW FETs. 67
Figura 27 - Curva de S_{ID}/I_{DS}^2 em função da frequência com $V_G \approx V_{TH}$ em nanofios transistores sem dopagem com L=100nm e H_{fin}=24nm. 68
Figura 28 - Curva de S_{ID}/I_{DS}^2 em função de W_{fin} com L_g de 100nm e 1μm de canal único e 10 canais. 68
Figura 29 - Curva de S_{ID}/I_{DS}^2 em função da corrente de dreno com L=100nm e W_{fin} de 10nm e 100nm. 69
Figura 30 - Dados experimentais do expoente γ no ruído $1/f^{\gamma}$ em função da tensão de porta. A linha sólida representa o valor teórico. 70
Figura 31 - Extração do expoente γ em função da tensão aplicada à porta para todos os nanofios transistores medidos. 71
Figura 32 - Distribuição da densidade de elétrons em função do filme de silício de um FD N-MOSFET com t_{si}=15nm para V_{G2}= -50V, 0V, 50V. 72
Figura 33 - Fator de acoplamento c_1 e dependência de V_{G1} em V_{G2} para várias correntes. 73
Figura 34 - Ruído normalizado (S_{ID}/I_{DS}^2) em função de V_{G2} para diferentes correntes de dreno. 73
Figura 35 - Comparação da curva experimental de S_{ID}/I_{DS}^2 em função de V_{G2} com os resultados do modelo CNF para constante S_{vfb1} e S_{vfb2} e com resultado do modelo CNF+CMF com o parâmetro RCS. 74
Figura 36 - Resultados simulados da densidade de cargas em função da profundida do filme de silício com diferentes tensões aplicadas ao substrato e considerando uma corrente de dreno constante. 75

Figura 37 - Resultados calculados para a distribuição do centroide de portadores na distância x e o coeficiente de espalhamento por Coulomb α_{sc} em função da tensão aplicada ao substrato V_{G2}, com a corrente de dreno constante. 76
Figura 38 - Curva de S_{VG} em função da tensão aplicada ao substrato para transistores SOI PMOSFET's com W/L=100/10, V_{DS}= -1,0V e V_{GS} ajustado para uma corrente de dreno de 10µA. Todos os dispositivos são em SIMOX wafer com 350nm de óxido enterrado e filme de silício de 100nm. As doses implantadas no canal são (a) $1{,}0.10^{11}$, (b) sem aplicação, (c) $2{,}6.10^{11}$ e (d) $4{,}8.10^{11}$. 77
Figura 39 - Microprovador Signatone (A), Analisador de espetro Agilent 4395A (B) e equipamento Keysight B1500A (C). 78
Figura 40 - Processo de extração da densidade de ruído no canal do transistor S_{VD} e obtenção da densidade espectral de ruído na corrente elétrica (S_{ID})..... 80
Figura 41 - Ruído de entrada do amplificador de baixo ruído SR560 da Stanford Research. . 81
Figura 42 - Especificações do ruído base do analisador de espectro Agilent 4395A..... 82
Figura 43 - Densidade espectral de ruído S_{VD} em função da frequência para o nanofio transistor com L=1µm, W_{fin}=45nm e diversos V_{GT}'s (de 0 a 200mV em passos de 50mV). .. 83
Figura 44 - Medidas experimentais efetuadas em diferentes dias (Dia_1 - linha contínua preta e Dia_2 - Linha contínua vermelha) de S_{VD} em função da frequência, para o nanofio transistor com L=1µm, W_{fin}=45nm, V_{BS}=0V e V_{GT} variando de 0V a 150mV em passos de 50mV. 84
Figura 45 - Medidas experimentais efetuadas em diferentes dias (Dia_1 - linha contínua preta e Dia_2 - Linha contínua vermelha) de S_{VD} em função da frequência, para o nanofio transistor com L=10µm, W_{fin}=20nm, V_{BS}=0V e V_{GT} variando de 0V a 150mV em passos de 50mV. ... 85
Figura 46 - Curva experimental de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva interna) com L=200nm, L=400nm e L=1µm e W_{fin} =15nm. 86
Figura 47 - Curva experimental de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva interna) com L=10µm e diversos W_{fins} (20nm, 45nm, 65nm e 105nm). 86
Figura 48 - Curva experimental de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva interna) com L=200nm, W_{fin} =15nm e diversas tensões aplicadas ao substrato (A) e a relação de $(I_{DS}/g_{m1})^2$ em função da tensão aplicada ao substrato (B). 87

Figura 49 - Curva extraída de V_{TH} em função de V_{BS} com L=200nm e W_{fin} =15nm (curva principal fig. A) e $g_{m,máx}$ em função de V_{BS} (curva interna fig. A) e L=10µm e W_{fin} (15nm, 20nm, 40nm, 60nm e 100nm) (B). 89
Figura 50 - Inclinação de sublimiar em função de V_{BS} com L=200nm, W_{fin} =15nm (A) e L=10µm, W_{fin} (15nm, 20nm, 40nm, 60nm e 100nm) (B). 90
Figura 51 - Corrente de dreno (I_{DS}) em função da tensão aplicada ao substrato com L=200nm e W_{fin}=15nm. 91
Figura 52 - Relação $(I_{DS}/g_{m2})^2$ em função de V_{GT} considerando tensões aplicadas ao substrato (V_{BS}=40V, 60V e 100V). 92
Figura 53 - Mobilidade efetiva em função de V_{GS} para W_{fin}=100nm (A) e W_{fin}=20nm (B) e mobilidade efetiva em função de V_{GT} para W_{fin}=40nm (C). Os nanofios transistores apresentam L=10µm e V_{BS} variando de -30V a 30V em passos de 10V em 10V com V_{DS}=40mV. 93
Figura 54 - Mobilidade efetiva em função de V_{BS} (A) com L=200nm, W_{fin} =15nm e diversas tensões aplicadas ao substrato. 94
Figura 55 - Curva experimental de S_{VG} em função da frequência com L=200nm e W_{fin}=15nm (A), L=400nm e W_{fin}=15nm (B), L=1µm e W_{fin}=15nm (C), L=1µm e W_{fin}=45nm (D) com V_{BS}=0V. 96
Figura 56 - Curva experimental de S_{VG} em função da frequência com L=10µm, W_{fin}=20nm (A), W_{fin}=45nm (B), W_{fin}=105nm (C) e V_{GT} variando de 0mV a 200mV em passos de 50mV e V_{BS}=0V. 97
Figura 57 - Densidade efetiva de armadilhas em função da profundidade do óxido de porta com V_{DS}=50mV, L=200nm, W_{fin}=15nm, f=100Hz e V_{BS} variando de -40V a 40V em passos de 20V. 98
Figura 58 - Curva experimental de S_{VG} em função de V_{GT} com L=200nm, 400nm e 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 400mV (A) e Curva experimental de S_{VG} em função de V_{GT} com L=10µm e W_{fin}=20nm, 45nm e 105nm com V_{GT} variando de 0mV a 200mV (B). 99
Figura 59 - Curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=200nm, 400nm e 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 400mV (A) e Curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=10µm e W_{fin}=20nm, 45nm e 105nm com V_{GT} variando de 0mV a 200mV (B). 100
Figura 60 - Curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (quadrados fechados) e $(g_m/I_{DS})^2$ em função de I_{DS} (quadrados abertos) com L=200nm, 400nm, 1µm e W_{fin}=15nm com V_{GT}

variando de 0mV a 800mV e V_{BS}=0V (A) e Curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (Quadrados fechados) e (g_m/I_{DS}^2) em função de I_{DS} (Quadrados abertos) com L=10µm e W_{fin}=20nm, 45nm e 105nm com V_{GT} variando de 0mV a 200mV e V_{BS}=0V (B). 102
Figura 61 - S_{ID}/I_{DS}^2 em função de V_{GT} com V_{DS}=50mV, L=1µm e W_{fin} (15nm e 45nm) V_{GT} variando de -50mV a 800mV (eixo da esquerda), L=10µm e W_{fins} (20nm, 45nm, 65nm e 105nm) e V_{GT} variando de 50mV a 200mV (eixo da direita). 103
Figura 62 - S_{ID}/I_{DS}^2 em função da frequência com V_{GT}=100mV, V_{DS}=50mV, L=10µm e diversos W_{fins} (20nm, 45nm, 65nm e 105nm). 104
Figura 63 - Curva experimental de S_{VG} em função da frequência com L=200nm, W_{fin}=15nm, V_{GT} variando de 0mV a 600mV, V_{BS}= - 40V (A) e V_{BS}= 40V (B), L=400nm, W_{fin}=15nm, V_{GT} variando de 0mV a 800mV, V_{BS}= - 20V (C) e V_{BS}= 20V (D), L=1µm, W_{fin}=15nm, V_{GT} variando de 0V a 200mV, V_{BS}= - 40V (E) e V_{BS}= 40V (F). 105
Figura 64 - Curva experimental de S_{VG} em função da frequência com L=10µm, W_{fin}=20nm e V_{BS} variando de -40V (A) a 40V (B), L=10µm, W_{fin}=65nm e V_{BS} variando de -40V (C) a 40V (D), L=10µm, W_{fin}=105nm e V_{BS} variando de -40V (E) a 40V (F). 106
Figura 65 - Curva experimental de S_{VG} em função da frequência com L=200nm e W_{fin}=15nm (A), L=400nm e W_{fin}=15nm (B), L=1µm e W_{fin}=45nm (C), com V_{GT} de 100mV e V_{BS} variando de -40V a 40V. 108
Figura 66 - S_{VG} em função da frequência com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=105nm (C), com V_{GT}=100mV e V_{BS} variando de -40V a 40V em passos de 20V. 109
Figura 67 - γ em função de V_{GT} com V_{DS}=50mV, L=1µm, W_{fin}=45nm (A), L=10µm, W_{fin}=20nm (B) e V_{BS} variando de -40V a 40V em passos de 20V. 110
Figura 68 - N_{it} em função da profundidade (z) com V_{DS}=50mV, L=200nm, W_{fin}=15nm, f=100Hz e V_{BS} variando de -40V a 40V em passos de 20V. 111
Figura 69 - Curva experimental de S_{VG} em função de V_{GT} com L=200nm, W_{fin}=15nm (A), L=1µm, W_{fin}=45nm (B) e V_{BS} variando de -40 a 40V. 112
Figura 70 - S_{VG} em função de V_{GT} com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=20nm (C) comV_{GT}=100mV e V_{BS} variando de -40V a 40V em passos de 20V. 113
Figura 71 - Curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=200nm, W_{fin}=15nm e V_{BS} variando de -40 a 40V. 114

Figura 72 - $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=105nm (C), com V_{GT} variando de 0 a 200mV em passos de 50mV e V_{BS} variando de -40V a 40V em passos de 20V. 115
Figura 73 - Curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (quadrados abertos, eixo da esquerda) e g_m/I_{DS}^2 em função de I_{DS} (quadrados fechados, eixo da direita) com L=200nm, W_{fin}=15nm (A), L=400nm, W_{fin}=15nm (B) e L=1µm, W_{fin}=45nm (C). 116
Figura 74 - Curva experimental de S_{VG} em função de V_{BS} com L=200nm, W_{fin}=15nm (A), L=400nm, W_{fin}=15nm (B), L=1µm, W_{fin}=45nm (C) e V_{BS} variando de -40 a 40V. 118
Figura 75 - S_{VG} em função de V_{BS} com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=105nm (C), com V_{GT} variando de 0 a 200mV e V_{BS} variando de -40V a 40V em passos de 20V. 119
Figura 76 - Curva da concentração de armadilhas [cm^{-3}] em função da energia [eV] (Manual do Sentaurus (A) e simulado no Mathcad (B). 122
Figura 77 - Variação da densidade de armadilhas no espaço de energia para diferentes valores de pico de energia que se movem do meio da banda em direção as bordas de condução e valência (A) e Variação da densidade de armadilhas em espaços de energia. A linha tracejada representa a probabilidade do nível de Fermi e a linha vertical verde o nível de quasi-Fermi (B). 123
Figura 78 - Seção transversal da estrutura do nanofio transistor simulado com L=1µm e W_{fin}=45nm. 124
Figura 79 - Curva simulada e experimental de S_{ID} em função da frequência com V_{DS}=50mV, L=1µm, W_{fin}=45nm, V_{GT}= 0mV e V_{BS}=0V. 124
Figura 80 - Curva simulada e experimental de S_{ID} em função da frequência com V_{DS}=50mV, L=1µm, W_{fin}=45nm, com V_{GT} variando de 0V a 200mV e V_{BS}=0V. 125
Figura 81 - Curva simulada de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) g_m em função de V_{GS} (curva interna) com L=200nm e W_{fin}=15nm, L=400nm e W_{fin}=15nm, L=1µm e W_{fin}=15nm e L=1µm 45nm. 127
Figura 82 - Curva simulada de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) g_m em função de V_{GS} (curva interna) com L=10µm e W_{fin} (20nm, 45nm e 105nm). 128
Figura 83 - Curva simulada em corte da densidade de elétrons das interfaces superior e inferior (A) e interfaces laterais (B) em função da posição do canal para o nanofio transistor com L=10µm, W_{fin}=12nm, V_{BS}=0V aplicando diversos V_{GT}'s (de 0V a 400mV). 129

Figura 84 - Curva simulada de I_{DS} em função de V_{GS} (curva principal) e g_m em função de V_{GS} (curva interna) com L=200nm, W_{fin}=15nm e diversas tensões aplicadas ao substrato (de -80V a 100V em passos de 20V). 130
Figura 85 - Curva simulada em corte da distribuição da densidade de elétrons da interface superior e inferior (A, C e E) e interfaces laterais (B, D e F) em função da posição do canal para o nanofio transistor com L=10µm, W_{fin}=12nm, V_{BS} variando de -40V a 40V e aplicando diversos V_{GT}. 131
Figura 86 - Curva simulada de S_{VG} em função da frequência para L=200nm e W_{fin}=15nm (A), L=400nm e W_{fin}=15nm (B), L=1µm e W_{fin}=15nm (C), L=1µm e W_{fin}=45nm (D) com V_{BS} = 0V e aplicando diversos V_{GT}. 133
Figura 87 - Curva simulada de S_{VG} em função de V_{GT} com L=200nm, 400nm e 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 600mV. 135
Figura 88 - Curva simulada de S_{ID}/I_{DS}^2 em função de V_{GT} com V_{DS}=50mV, L=10µm e W_{fin} (20nm, 45nm, 65nm e 105nm), com f=100Hz e V_{GT} variando de 50mV a 200mV. 135
Figura 89 - Curva simulada de S_{ID}/I_{DS}^2 em função de W_{fin} com V_{DS}=50mV, L=10µm e W_{fin} (20nm, 45nm, 65nm e 105nm), com f=100Hz e V_{GT} variando de 0V a 200mV em passos de 50mV. 136
Figura 90 - Curva simulada de S_{VG} em função de V_{GT} com L=200nm, W_{fin}=15nm e V_{BS} variando de -40 a 40V. 137
Figura 91 - Curva simulada de S_{VG} em função da frequência para L=200nm, W_{fin}=15nm, aplicando diversos V_{GT}'s (de 0 a 100mV) e diversos V_{BS}'s (de -100V a 100V). 138
Figura 92 - Curva simulada (símbolos fechados) e medida (símbolos abertos) de S_{VG} em função da tensão aplicada ao substrato com L=200nm, Wfin=15nm, aplicando diversos V_{BS} (de -100V a 100V). 139

LISTA DE TABELAS

Tabela 1 - Nanofios transistores utilizados nas medidas DC e de ruído. 79
Tabela 2 - Fator de inclinação gama (γ) que compõe o ruído 1/f. 97
Tabela 3 – Comparação do fator de inclinação gama (γ) que compõe o ruído 1/f simulado e experimental com o nanofio transistor de L=1µm e W_{fin}=45nm 125
Tabela 4 - Nanofios transistores e polarizações utilizadas nas simulações DC e de ruído. ... 126
Tabela 5 - Tensão de limiar dos nanofios simulados com L=200nm (W_{fin}=15nm), 400nm (W_{fin}=15nm), 1µm (W_{fin}=15nm) e 1µm (W_{fin}=45nm). 127
Tabela 6 - Tensão de limiar dos nanofios simulados com L=10µm (W_{fin}=20nm), L=10µm (W_{fin}=45nm), L=10µm (W_{fin}=65nm) e 10µm (W_{fin}=105nm)..... 128
Tabela 7 - Tensão de limiar para o dispositivo com L=200nm e W_{fin}=15nm, considerando tensões aplicadas ao substrato. 131

LISTA DE ABREVIATURAS E SIGLAS

[100]-NW	Nanofio transistor com o canal orientado na direção [100]
[110]-NW	Nanofio transistor com o canal orientado na direção [110]
AC	*Alternating Current* – Corrente Alternada
CEA	*Commissariat à l'énergie atomique et aux énergies alternatives* – Comissão de Energia Atômica e Energias Alternativas
CLM	*Channel Length Modulation* – Modulação de Comprimento de Canal
CMF	*Correlated Mobility Fluctuation* – Flutuação da Mobilidade Correlacionada
CMOS	*Complementary Metal Oxide Semiconductor* – Complementar Metal Óxido Semicondutor
CNF	*Carries Number Fluctuation* – Flutuação do Número de Portadores
DC	*Direct Current* – Corrente Contínua
FD	*Fully depleted* – Totalmente Depletado
FET	*Field Effect Transistor* – Transistor de Efeito de Campo
FinFET	*Fin Field-Effect Transistor* – Transistor de Efeito de Campo Fin
FPGA	*Field-Programmable Gate Array*
IM	*Inversion Mode* – Modo Inversão
IOT	*Internet Of Things* – Internet das coisas
IFM	*Impedance Field Method* – Método de Campo de Impedância
JNT	*Junctionless Nanowire Transistor* – Transistor de Nanofio sem Junções.
LETI	*Laboratoire d'Électronique des Technologies de I'Information* – Laboratório de Eletrônica da Tecnologia da Informação.
LFN	*Low Frequency Noise* – Ruído de Baixa Frequência
LVLP	*Low Voltage Low Power* – Baixa Tensão e Baixa Potência
MOS	*Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor
MOSFET	*Metal-Oxide-Semiconductor Field-Effect Transistor* – Transistor de Efeito de Campo Metal-Óxido-Semicondutor
NFD	*Near-Fully depleted* – Quase-Totalmente Depletado
nMOS	*n-type Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor tipo n
nMOSFET	*n-type Metal-Oxide-Semiconductor Field-Effect Transistor* – Transistor de Efeito de Campo Metal-Óxido-Semicondutor tipo n

NW	*Nanowire Transistor* – Nanofio Transistor
NWFET	*Nanowire Field Effect Transistor* – Nanofio Transistor de Efeito de Campo
PBE	*Parasitic Bipolar Effect* – Efeito Bipolar Parasita
PD	*Partially Depleted* – Parcialmente Depletado
pMOS	*p-type Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor tipo p
pMOSFET	*p-type Metal-Oxide-Semiconductor Field-Effect Transistor* – Transistor de Efeito de Campo Metal-Óxido-Semicondutor tipo p
PSD	*Power Spectrum Density* – Densidade Espectral de Potência
RMS	*Root Mean Square* – Raiz Quadrada Média
RTN	*Random Telegraph Noise* – Ruído Telégrafo Aleatório
RTS	*Random Telegraph Signal* – Sinal Telégrafo Aleatório
SiNW	*Silicon Nanowire* – Nanofio Transistor de Silício
SCE	*Short Channel Effects* – Efeitos de Canal Curto
SDEVICE	*Sentaurus Device Simulator* – Simulador de Dispositivos Sentaurus
SOI	*Silicon-On-Insulator* – Silício-Sobre-Isolante
SOS	*Silicon-on-sapphire* – Silício-Sobre-Safira
SRH	Shockley-Read-Hall
TGNW	*Tri-Gate Nanowire* – Nanofio Transistor de Porta Tripla
ULSI	*Ultra Large Scale Integration* – Altíssima Escala de Integração
XMOS	Transistor MOS assim denominado por apresentar seção transversal similar à letra grega Ξ, que corresponde à letra X, no alfabeto latino

LISTA DE SÍMBOLOS

A_V	Ganho intrínseco de tensão [dB]
A_{VLNA}	Ganho do amplificador de baixo ruído [V/V]
c_1	Fator de acoplamento
C_D	Capacitância de depleção do silício por unidade de área [F/cm^2]
C_{GC}	Capacitância entre a porta e o canal [F]
C_{ox}	Capacitância do óxido de porta do transistor MOS convencional por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
d	Espessura de depleção induzida por um potencial [cm]
$d_{máx}$	Espessura máxima de depleção [cm]
E	Estado energético disponível
E_C	Nível de energia inferior da faixa de condução [eV]
E_{eff}	Campo elétrico efetivo [V/cm]
E_F	Nível de Fermi do semicondutor [eV]
E_{FB}	Nível de Fermi do substrato [eV]
E_{FM}	Função trabalho do metal [eV]
E_g	Energia de "*gap*" da faixa proibida [eV]
E_i	Nível de Fermi intrínseco [eV]
E_T	Potencial de Fermi na superfície [eV]
E_V	Nível de energia superior da faixa de valência [eV]
f	Frequência [Hz]
f_c	frequência de canto [Hz]
g	Fator de degeneração
g_D	Condutância de saída [S]
g_{m1}	Transcondutância da interface superior do transistor [S]
g_{m2}	Transcondutância da interface inferior do transistor [S]
h	Constante de Planck [$6{,}63.10^{-34}$ J.s]
H_{fin}	Altura do *fin* do transistor de múltiplas portas [nm]
H_{NW}	Altura do nanofio transistor [nm]

I	Corrente elétrica [A]
$I(t)$	Corrente elétrica total em função do tempo [A]
$\bar{I}$	Corrente elétrica média DC [A]
I_{DS}	Corrente entre dreno e fonte [A]
I_{DS0}	Corrente do transistor planar [A]
I_{Dfin}	Corrente de um transistor de múltiplas portas em uma estrutura multi-dedos [A]
$i_n(t)$	Componente AC da corrente elétrica [A]
I_{off}	Corrente de desligamento [A]
I_{on}	Corrente de estado ligado [A]
I_{RMS}	Corrente elétrica RMS [A]
k	Constante de Boltzmann [$1{,}38066.10^{-23}$ J/K]
L	Comprimento de máscara do canal do transistor [m]
L_g	Comprimento do canal do transistor [m]
m^*	Massa efetiva de confinamento do portador na direção transversal [kg]
m_0	Massa do elétron [$9{,}11.10^{-31}$ kg]
m_{ce}^*	Massa efetiva de condução para elétrons
m_{ch}^*	Massa efetiva de condução para lacunas
m_{n*}	Massa efetiva de densidade de estados para elétrons
m_{p*}	Massa efetiva de densidade de estados para lacunas
n	Fator de corpo
N_A	Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]
N_A^-	Concentração de impurezas aceitadoras ionizadas da camada de silício [cm^{-3}]
N_C	Densidade de estados na banda de condução (cm^{-3})
N_D	Concentração de impurezas doadoras em um semicondutor [cm^{-3}]
N_D^+	Concentração de impurezas doadoras ionizadas da camada de silício [cm^{-3}]
n_e	Densidade de elétrons
n_i	Concentração intrínseca de portadores [cm^{-3}]
N	Quantidade de portadores no canal
N_{inv}	Concentração de portadores na camada de inversão [cm^{-2}]
N_{it}	Densidade efetiva de armadilhas [$cm^{-3}.eV^{-1}$]
$N_{t,completo}$	Armadilhas completas próximas ao nível de Fermi

$N_{t,vazio}$	Armadilhas vazias próximas ao nível de Fermi
N_{TRAP}	Quantidade de armadilhas
N_V	Densidade de estados na banda de valência (cm^{-3})
P_{md}	Período da estrutura multi-dedos [nm]
p	Concentração de lacunas livres [cm^{-3}]
q	Carga elementar do elétron [$1,6.10^{-19}$ C]
Q	Carga elétrica [C]
Q_{si}	Cargas na inversão [C]
Q_{ss}	Valor efetivo das cargas na interface [C]
Q_{inv}	Densidade de cargas na camada de inversão [C/cm^{-2}]
R	Resistência elétrica [Ω]
R_{CH}	Resistência elétrica do canal [Ω]
$R(\tau)$	Função de autocorrelação
S	Inclinação de sublimiar [mV/dec]
Si	Silício
S_{ID}	Densidade espectral de ruído na corrente elétrica entre fonte e dreno [A^2/Hz]
S_{IDg-r}	Densidade espectral de ruído de Geração e Recombinação na corrente elétrica [A^2/Hz]
S_{IDRTS}	Densidade espectral de ruído RTS na corrente elétrica [A^2/Hz]
S_{IDshot}	Densidade espectral de ruído shot na corrente elétrica [A^2/Hz]
S_{IDterm}	Densidade espectral de ruído térmico na corrente elétrica [A^2/Hz]
SiO_2	Dióxido de silício
S_{VD}	Densidade espectral de ruído na tensão elétrica entre fonte e dreno [V^2/Hz]
S_{VD}'	Densidade espectral de ruído na tensão elétrica entre fonte e dreno amplificada [V^2/Hz]
S_{Vfb}	Densidade espectral de ruído na tensão elétrica entre fonte e dreno induzido pela tensão de porta em faixa plana [V^2/Hz]
S_{Vfb1}	Densidade espectral de ruído na tensão elétrica entre fonte e dreno induzido pela tensão de porta superior em faixa plana [V^2/Hz]
S_{Vfb2}	Densidade espectral de ruído na tensão elétrica entre fonte e dreno induzido pela tensão de porta inferior em faixa plana [V^2/Hz]

S_{VG}	Densidade espectral de ruído na tensão elétrica entre fonte e dreno induzido pela tensão de porta [V^2/Hz]
$S_{VGg\text{-}r}$	Densidade espectral de ruído de Geração e Recombinação na tensão elétrica induzido pela tensão de porta [V^2/Hz]
S_{VGRTS}	Densidade espectral de ruído RTS na tensão elétrica induzido pela tensão de porta [V^2/Hz]
S_{VGshot}	Densidade espectral de ruído shot na tensão elétrica induzido pela tensão de porta [V^2/Hz]
S_{VGterm}	Densidade espectral de ruído térmico na tensão elétrica induzido pela tensão de porta [V^2/Hz]
T	Temperatura absoluta [K]
T_p	Intervalo de tempo qualquer estipulado [S]
t	Tempo [s]
t_{ox}	Espessura do óxido de porta [nm]
t_{oxb}	Espessura do óxido enterrado [nm]
$t_{ox,lat}$	Espessura do óxido das portas laterais do transistor de porta dupla [nm]
$t_{ox,top}$	Espessura do óxido de porta no topo do transistor de porta dupla [nm]
t_{Si}	Espessura da camada de silício [nm]
v	Velocidade de deriva [m/s]
v_{sat}	Velocidade de saturação [m/s]
v_y	Velocidade de saturação dos portadores quando aplicado um campo elétrico horizontal [m/s]
V	Potencial ao longo do canal [V]
V_{BS}	Tensão aplicada ao substrato do transistor [V]
V_D	Tensão aplicada ao dreno do transistor SOI [V]
V_{DS}	Tensão entre dreno e fonte do transistor MOS [V]
V_{FB}	Tensão de faixa plana da estrutura MOS [V]
V_G	Tensão aplicada à primeira porta do transistor SOI [V]
V_{GB}	Tensão aplicada no substrato [V]
V_{GF}	Tensão entre porta e fonte do transistor SOI [V]
V_{GS}	Tensão entre porta e fonte do transistor SOI [V]
V_{GT}	Sobretensão de condução [V]
V_{OX}	Queda de potencial no óxido [V]
V_{RMS}	Tensão elétrica RMS [V]

V_S	Tensão aplicada à fonte do transistor SOI [V]
V_{sat}	Velocidade de saturação [cm/s]
V_{th}	Velocidade térmica média [s]
V_{TH}	Tensão de limiar da primeira interface [V]
W	Largura do canal [μm]
W_{eff}	Largura efetiva do canal do transistor de múltiplas portas [nm]
W_{fin}	Largura do *fin* do transistor de múltiplas portas [nm]
W_{NW}	Largura do canal do nanofio transistor [nm]
$x_{dmáx}$	Profundidade máxima da região de depleção [μm]
x_{df}	Profundidade de depleção do silício da primeira interface [nm]
x_{db}	Profundidade de depleção do silício da segunda interface [nm]
z	profundidade efetiva das armadilhas no óxido de porta [m]
α	Fator de acoplamento capacitivo da estrutura
αe	Parâmetro utilizado para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons e por impurezas ionizadas
α_{ea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons
αh	Parâmetro utilizado para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons e por impurezas ionizadas
α_{ha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons
α_H	Parâmetro de Hooge
α_{latt}	Constante no valor de 2.10^{-3}
α_s	Coeficiente de espalhamento
α_{sc}	Parâmetro de espalhamento por Coulomb [Vs /C]
α_{sc1}	Parâmetro de espalhamento por Coulomb referente a interface superior [Vs /C]
α_{sc2}	Parâmetro de espalhamento por Coulomb referente a interface inferior [Vs /C]
α_{sch}	Coeficiente de espalhamento [Vs/C]
α_t	Coeficiente de tunelamento [cm^{-1}]
α_0	Parâmetro de espalhamento por Coulomb [Vs /C]
β	Parâmetro de ajuste associado a influência da velocidade de saturação na mobilidade

β_e	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons
β_h	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons
γ	Fator gama
Φ_F	Potencial de Fermi [V]
Φ_s	Potencial de superfície [V]
Φ_{si}	Potencial no silício [V]
Φ_{mi}	Diferença de função trabalho entre a porta e o silício intrínseco [V]
Φ_{MS}	Diferença de função trabalho entre metal e silício do transistor MOS [V]
$\theta 1$	Coeficiente de degradação da mobilidade pelo campo elétrico vertical de primeira ordem [V^{-1}]
$\theta 2$	Coeficiente de degradação da mobilidade pelo campo elétrico vertical de segunda ordem [V^{-1}]
ω	Frequência angular [rad/s]
$\hbar$	Constante de Planck normalizada [$1{,}055 \times 10^{-34}$J.s]
ε_0	Permissividade elétrica do vácuo [$8{,}85 \times 10^{-14}$ F/cm]
ε_{crit}	Campo elétrico horizontal crítico [V/cm]
ε_y	Campo elétrico horizontal [V/cm]
ε_{Si}	Permissividade elétrica do silício [$1{,}06 \times 10^{-12}$ F/cm]
ε_{ox}	Permissividade elétrica do óxido de silício [$3{,}45 \times 10^{-13}$ F/cm]
μ	Mobilidade [cm^2/V.s]
μ_e	Mobilidade dos elétrons [cm^2/V.s]
μ_h	Mobilidade das lacunas [cm^2/V.s]
μ_0	Mobilidade de baixo campo [cm^2/V.s]
μ_{0e}	Mobilidade de baixo campo para os elétrons [cm^2/V.s]
μ_{0h}	Mobilidade de baixo campo para as lacunas [cm^2/V.s]
μ_{cc}	Mobilidade devido ao espalhamento portador-portador [cm^2/V.s]
μ_{cce}	Mobilidade dos elétrons devido ao espalhamento portador-portador [cm^2/V.s]
μ_{cch}	Mobilidade das lacunas devido ao espalhamento portador-portador [cm^2/V.s]
$\mu_{Coulomb}$	Mobilidade devido ao mecanismo de espalhamento Coulomb [cm^2/V.s]

μ_{eff}	Mobilidade efetiva considerando a degradação devido ao campo elétrico efetivo [cm²/V.s]
μ_{effo}	constante ou função das cargas na inversão, campo elétrico, ou da tensão aplicada a porta
μ_{latt}	Mobilidade considerando o espalhamento de rede
μ_{max}	Máxima mobilidade efetiva [cm^2/V.s]
μ_{min}	Parâmetro relacionado à mobilidade mínima utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^2/V.s]
μ_{mine}	Parâmetro relacionado à mobilidade mínima dos elétrons utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^2/V.s]
μ_{minh}	Parâmetro relacionado à mobilidade mínima das lacunas utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^2/V.s]
μ_n	Espalhamento da mobilidade limitada por outros mecanismos
μ_{ni}	Mobilidade devido ao espalhamento por impurezas neutras [cm^2/V.s]
μ_{nie}	Mobilidade dos elétrons devido ao espalhamento por impurezas neutras [cm^2/V.s]
μ_{nih}	Mobilidade das lacunas devido ao espalhamento por impurezas neutras [cm^2/V.s]
μ_{oea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons [cm^2/V.s]
μ_{oeb}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons [cm^2/V.s]
μ_{oha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons [cm^2/V.s]
μ_{ohb}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons [cm^2/V.s]
μ_{oxf}	Espalhamento da mobilidade limitado pelas cargas no óxido
μ_{ps}	Mobilidade devido ao mecanismo de espalhamento por fônons [cm^2/V.s]
μ_{ps}	Mobilidade devido ao espalhamento de fônons [cm^2/V.s]
μ_{pse}	Mobilidade dos elétrons devido ao espalhamento de fônons [cm^2/V.s]

μ_{psh}	Mobilidade das lacunas devido ao espalhamento de fônons [$cm^2/V.s$]
μ_{psii}	Mobilidade devido aos espalhamentos de fônons e por impurezas ionizadas [$cm^2/V.s$]
μ_{psiie}	Mobilidade dos elétrons devido aos espalhamentos de fônons e por impurezas ionizadas [$cm^2/V.s$]
μ_{psiih}	Mobilidade das lacunas devido aos espalhamentos de fônons e por impurezas ionizadas [$cm^2/V.s$]
μ_{sr}	Mobilidade devido ao mecanismo de espalhamento por rugosidade de superfície [$cm^2/V.s$]
τ	Constante de tempo [s]
τ_c	Constante de tempo de captura [s]
τ_e	Constante de tempo de emissão [s]
τ_{ev}	Tempo de vida dos portadores para elétrons [s]
τ_L	Constante de tempo em baixo do chaveamento na corrente elétrica [S]
τ_{GR}	Constante de tempo de geração e recombinação [s]
τ_{hv}	Tempo de vida dos portadores para lacunas [s]
τ_H	Constante de tempo em alto do chaveamento na corrente elétrica [S]
σ_T	Frequência de corte da armadilha [s]
σ	Condutividade [$\Omega^{-1}.m^{-1}$]
δQ_{ss}	Flutuação das cargas no óxido

SUMÁRIO

1 INTRODUÇÃO 16

2 FUNDAMENTAÇÃO TEÓRICA 20

2.1 TECNOLOGIA MOS 20

2.2 TECNOLOGIA SOI 23

2.3 USO COMERCIAL DA TECNOLOGIA SOI 27

2.4 TRANSISTORES DE MÚLTIPLAS PORTAS 28

2.5 PARÂMETROS ELÉTRICOS 31

2.5.1 Tensão de limiar (V_{TH}) 31

2.5.2 Mobilidade (μ) 32

2.5.3 Transcondutância e a razão g_m/I_{DS} 39

2.5.4 Inclinação de sublimiar (S) 41

2.6 TÉCNICA PARA A EXTRAÇÃO DA MOBILIDADE 42

2.6.1 Split-CV 42

2.6.2 Y-Function 43

2.7 RUÍDO 43

2.7.1 Ruído branco 47

2.7.1.1 Ruído Térmico *48*

2.7.1.2 Ruído Shot *48*

2.7.2 Ruído de baixa frequência 49

2.7.2.1 Ruído RTS/RTN *49*

2.7.2.2 *Ruído de geração e recombinação (g-r)* *50*

2.7.2.3 *Ruído Flicker* *53*

2.7.2.3.1 Modelo CMF 55

2.7.2.3.2 Modelo CNF 56

2.7.2.3.3 Modelo CNF+CMF 59

2.8 RUÍDO EM TRANSISTORES DE MÚLTIPLAS PORTAS 64

2.9 RUÍDO EM NANOFIOS TRANSISTORES MODO INVERSÃO 65

2.9.1 Estudo do ruído considerando as variações na geometria 67

2.9.2 Expoente gama (γ) 69

2.9.3 Estudo do ruído aplicando tensões ao substrato 71

3 RESULTADOS EXPERIMENTAIS 78

3.1 NANOFIOS TRANSISTORES UTILIZADOS NAS MEDIDAS EXPERIMENTAIS 79

3.2 MÉTODO DE EXTRAÇÃO DO RUÍDO 79

3.3 MEDIDAS EXPERIMENTAIS DC COM O SUBSTRATO ATERADO 85

3.4 MEDIDAS EXPERIMENTAIS DC CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO 87

3.5 MEDIDAS EXPERIMENTAIS DE RUÍDO COM O SUBSTRATO ATERRADO 95

3.6 MEDIDAS EXPERIMENTAIS DE RUÍDO CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO 104

4 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS 120

4.1 SIMULADOR SENTAURUS 120

4.2 CALIBRAÇÃO DO SIMULADOR 123

4.3 NANOFIOS TRANSISTORES SIMULADOS 126

4.4 SIMULAÇÕES DC COM O SUBSTRATO ATERRADO 126

4.5 SIMULAÇÕES DC CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO 130

4.6 SIMULAÇÕES DE RUÍDO COM O SUBSTRATO ATERRADO 132

4.7 SIMULAÇÕES DE RUÍDO CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO 136

5 CONCLUSÕES 140

REFERÊNCIAS 142

APÊNDICE A – SIMULAÇÃO DO NANOFIO TRANSISTOR 149

APÊNDICE B – PUBLICAÇÕES 154

1 INTRODUÇÃO

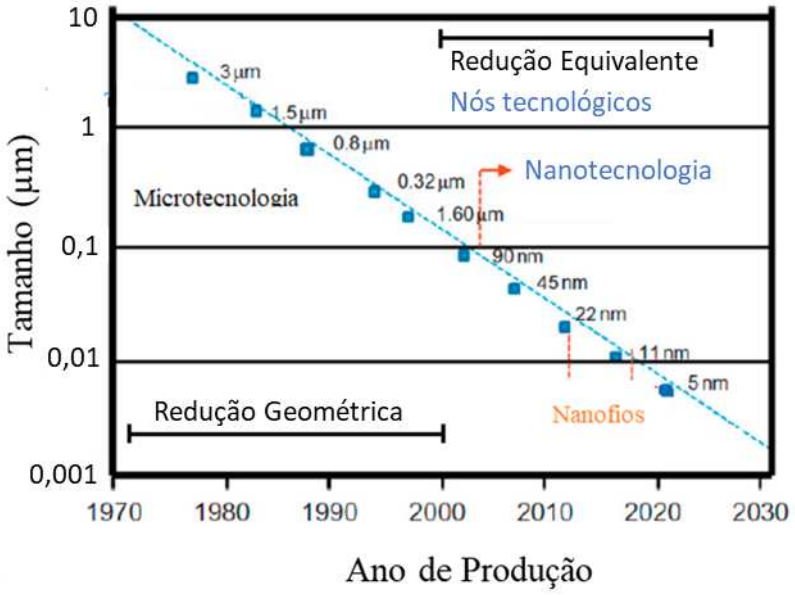
Com o constante avanço nos setores automotivo, médico hospitalar e, industrial e de eletrônica de consumo, dispositivos conectados à internet, com altíssima capacidade de integração (*Ultra Large Scale Integration – ULSI*), baixas tensões e um baixo consumo de potência (*LVLP – Low Voltage Low Power*) são uma realidade. Esse tipo de tecnologia vem em grande velocidade e trazendo diversos benefícios à humanidade. Dentre eles, no setor médico hospitalar, onde o monitoramento em tempo real de grandezas físicas e biológicas tais como, pressão arterial, glicemia e temperatura corporal, através de dispositivos de baixíssimo consumo de energia instalados no próprio individuo será capaz de prever problemas de saúde. Toda essa integração de dispositivos em rede, denominada Internet das Coisas (*Internet Of Things - IOT*), promoverá uma grande capacidade de análise dessa imensa base de dados (*Big Data*) e identificação de patologias através da inteligência artificial (IBM). E, para que tudo isso continue sendo possível, a eletrônica deve continuar avançando cada vez mais. Transistores com tecnologias cada vez mais avançadas e com tamanhos cada vez mais reduzidos serão exigidos a fim de se obter capacidades de processamento cada vez mais altas em menores áreas de "*chip*" e com menor potência dissipada (COLINGE, 2004a).

Os transistores construídos em tecnologia SOI (*Silicon-On-Insulator*), possuem uma camada isolante, denominada óxido enterrado entre canal e substrado, que proporciona diversas vantagens quando comparado com a tecnologia MOS convencional (*Metal-Oxide-Semiconductor*). Dentre elas, a diminuição de efeitos parasitários, maior densidade de integração, menor capacitância de junção, eliminação do efeito tiristor parasitário (*Latch-up*), menor efeito de canal curto, menor inclinação de sublimiar, chegando a valores próximo ao limite teóricos de 60mV/dec em 300K, e eles também possuem maior resistência a radiação. A tecnologia SOI possui algumas desvantagens, tais como, maior susceptibilidade ao efeito de auto aquecimento e efeitos de corpo flutuante (COLINGE, 2004a).

Os transistores de múltiplas portas, com dimensões reduzidas da ordem de 10nm e construídos a partir de nanofios de silício, denominados NWFETS (*Nanowire Field Effect Transistor*), surgiram como uma excelente alternativa para suprir essa necessidade (COLINGE, 2004a). Devido à sua baixíssima corrente de desligamento (I_{off}) e o bom acoplamento eletrostático, promovido pela existência das múltiplas portas, permitem um melhor controle das cargas no canal pelo eletrodo porta, fazendo com que tais transistores sejam menos susceptíveis aos efeitos de canal curto decorrentes do escalonamento das dimensões (COLINGE, 2004b).

A Figura 1 apresenta Evolução dos nós tecnológicos dos transistores MOS em função da produção anual *(RADAMSON, et al., 2019)*.

Figura 1 - Evolução dos nós tecnológicos dos transistores MOS em função da produção anual.



Fonte: "Adaptado de" (RADAMSON, et al., 2019).

A diminuição dos dispositivos e o bom acoplamento eletrostático traz melhorias significativas no funcionamento de circuitos digitas, melhorando o consumo de corrente de desligamento *(Standby)* e aumentando sua velocidade de chaveamento em aplicações digitais (COLINGE, 2004a). Em contrapartida, a redução dos dispositivos aumenta o ruído de baixa frequência, piorando o uso dos transistores em aplicações analógicas (RAZAVI, 2003) (KOYAMA, et al., 2013). O grande interesse envolvido no estudo do ruído está no fato de que é a partir dele que se determina o valor mínimo de tensão ou corrente que um amplificador operacional será capaz de amplificar de forma confiável (RAZAVI, 2003). Assim sendo, é necessário conhecer seus valores sob as diversas condições de operação possíveis e nos mais diversos ambientes. Como é demonstrado ao longo desse trabalho, os transistores MOS fabricados em substratos SOI possuem duas áreas de interface entre a região ativa do silício e o SiO_2. A primeira corresponde à tradicionalmente presente na superfície da lâmina (COLINGE, 2004a). A segunda surge entre a região ativa e o isolante que a separa do substrato. Desse modo, a tecnologia SOI permite com que se polarize essa região, promovendo um melhor acoplamento e o melhor controle da tensão de limiar (THEODOROU, et al., 2012). A aplicação da tensão ao substrato também promove diversas melhorias nas propriedades elétricas de

interesse para circuitos analógicos, no que diz respeito a modulação do comprimento de canal (*Channel Length Modulation - CLM*), devido à efeitos de canal curto (DORIA, et al., 2016). A aplicação da tensão ao substrato melhora tal característica, promovendo a redução na de condutância de saída (g_D) e aumento do ganho intrínseco de tensão (A_v) para aplicações analógicas (KILCHYTSKA, et al., 2012).

O objetivo deste trabalho é estudar os efeitos da aplicação de tensão ao substrato sobre o ruído de baixa frequência $1/f^{\gamma}$ e aprofundar os estudos existentes até então em transistores de múltiplas portas fabricados em nanofios. Na literatura dos nanofios transistores são encontrados estudos do comportamento do ruído considerando variações na geometria (SAITOH, et al., 2013), o comportamento do expoente gama em diversas condições de polarização (THEODOROU, et al., 2017) e até mesmo o comportamento do ruído aplicando diversas tensões ao substrato em nanofios transistores sem junções (*Junctionless Nanowire Transistor - JNT*) (DORIA, et al., 2017). Porém, neste trabalho, será estudado, pela primeira vez, o ruído em nanofios transistores modo inversão *(Inversion Mode Nanowire Field Effect Transistor - IM NWFET*) sob diversas condições de operação, aplicando diversas tensões ao substrato desde -100V até 100V. Em trabalhos publicados anteriormente, para transistores SOI totalmente depletados planares, mostraram que os efeitos de acoplamento causados pelas tensões aplicadas a porta e ao substrato, interferem no comportamento do ruído de baixa frequência (THEODOROU, et al., 2012), (SIMOEN, et al., 2004), (ZAFARI, et al., 2007), (ZAFARI, et al., 2008).

Para esse estudo, serão utilizados nanofios transistores totalmente depletados, construídos em tecnologia SOI, com diversos comprimentos de canal (L) e larguras de aleta de silício (W_{fin}), de canal único e múltiplos canais, operando sob diversas condições de polarização e aplicando diversas tensões ao substrato.

A seguir, serão apresentados de forma sucinta os conteúdos abordados em cada uma das quatro seções que compõem esse trabalho.

A seção 2 refere-se aos conceitos básicos necessários ao entendimento desse trabalho. Inicia-se com o conceito da tecnologia MOS, no que diz respeito à sua configuração básica de terminais, modos de operação, corrente de dreno e digrama de faixas de energias. Em seguida, é apresentado o transistor construído em tecnologia SOI, suas vantagens, desvantagens, seus tipos e diagrama de faixas de energia. É apresentado o uso comercial da tecnologia SOI FD para fabricação de *chip*. Também são apresentados os transistores de múltiplas portas, seguido de uma breve apresentação do transistor de múltiplas portas em formato Ω. Os parâmetros elétricos dos transistores SOI de porta tripla e a abordagem da técnica de extração da mobilidade

Split C-V e *Y-function*. Na sequência, é abordado o conceito de ruído, seus tipos e, em especial, e o ruído em transistores de múltiplas portas. É abordado de forma mais ampla o ruído em nanofios modo inversão, seu comportamento considerando variações na geometria, o expoente gama e o estudo do efeito de acoplamento capacitivo.

A seção 3 apresenta os resultados experimentais dos nanofios transistores, iniciando com a apresentação dos nanofios transistores, é abordado o método de extração do ruído, os resultados DC considerando os dispositivos com o substrato aterrado, seguido com as análises DC considerando tensões aplicadas ao substrato. Posteriormente são apresentados os resultados das medidas de ruído sem aplicar tensão ao substrato e as análises de ruído considerando tensões aplicadas ao substrato.

Para auxiliar na explicação dos fenômenos observados na seção 3, a seção 4 apresenta os resultados das simulações tridimensionais nos nanofios transistores em formato Ω, totalmente depletados, modo inversão. A seção inicia com os resultados das curvas DC, considerando os dispositivos com o substrato aterrado, seguido pelas análises das curvas DC considerando tensões aplicadas ao substrato. O resultado das simulações do ruído sem e com a aplicação de tensão ao substrato são então apresentados e discutidos.

A seção 5 apresenta as conclusões do trabalho seguido pelas referências. O Apêndice apresenta o código fonte das simulações executadas e o Apêndice B, as publicações.

2 FUNDAMENTAÇÃO TEÓRICA

Esta seção se inicia com os conceitos básicos da tecnologia MOS, no que diz respeito à sua configuração básica de terminais, modos de operação, corrente de dreno e diagrama de faixas de energia. Em seguida, é apresentado o transistor construído em tecnologia SOI, suas vantagens, desvantagens, seus tipos e diagrama de faixas de energia. São apresentados os transistores de porta dupla, tripla e porta Ω. São também apresentados, os parâmetros elétricos dos transistores SOI de porta tripla.

Esta seção também apresenta a introdução ao ruído. Iniciando pelos conceitos básicos de ruído branco, sendo eles, o ruído térmico e *shot*. Em seguida, é abordado o ruído de baixa frequência (LFN - *Low Frequency Noise*), compreendido pelo ruído RTS (*Random Telegraph Signal*) ou RTN (*Random Telegraph Noise*), o ruído de geração e recombinação (*g-r*), e por fim, o ruído *flicker* ($1/f^{\gamma}$), alvo do estudo deste trabalho pelo fato de possuir as maiores componentes em frequência e sendo o ruído que mais afeta o desempenho dos dispositivos MOS empregados em circuitos analógicos. Seguindo, é apresentado o ruído em transistores de porta tripla (FinFET) e finalizando nos nanofios transistores nMOSFETs totalmente depletados modo inversão, de canal único e múltiplos canais. Nesses estudos, feitos a partir de artigos obtidos na literatura, a fim de embasar o conteúdo simulado e experimental desse trabalho, foi abordado o ruído de baixa frequência, considerando variações na geometria, estudos do expoente γ, estudos do comportamento do ruído aplicando-se tensão ao substrato e efeitos de corpo.

2.1 TECNOLOGIA MOS

Desde sua invenção, os transistores de efeito de campo (FET - *Field Effect Transistor*) tem tido grande visibilidade na indústria eletrônica e ainda são os transistores mais utilizados em produtos eletrônicos de maior escalabilidade e tecnologia, tais como, processadores, memórias, circuitos integrados digitais, dentre outros (COLINGE, 2008) (INTEL, 2011). Esse transistor possui quatro terminais de controle, sendo eles: o terminal de Porta (V_G), o terminal de dreno (V_D), o terminal de fonte (V_S) e o terminal de substrato (V_{BS}), conforme pode ser observado na Figura 2. Através do terminal de porta, é possível o controle da corrente elétrica entre fonte e dreno (I_{DS}).

O modo de funcionamento desse transistor consiste basicamente na aplicação de um potencial elétrico positivo no eletrodo de porta (V_{GS}), no caso de transistores canal N (*n-type*

Metal-Oxide-Semiconductor - nMOS) modo enriquecimento. O potencial aplicado fará com que as lacunas existentes na região de canal sejam repelidas e, com isso, o surgimento de canal do tipo N. Acima da tensão de limiar (V_{TH}), com $V_{DS} << V_{GS}-V_{TH}$, o dispositivo operará na região triodo. A corrente de dreno neste regime de operação é dada pela equação (1). Conforme V_{DS} aumenta ($V_{DS} > V_{GS}-V_{TH}$) ocorre o estrangulamento no canal próximo ao dreno, chamado de "*Pinch-off*". Em *pinch-off*, os elétrons migram por tunelamento da região de fonte para a região de dreno e o transistor passa a operar em modo de saturação, onde sua equação é representada em (2) (SMITH, 1999).

$$I_{DS} = \mu_{eff}.C_{ox}.\frac{W}{L}.\left[(V_{GS} - V_{TH}).V_{DS} - n.\frac{{V_{DS}}^2}{2}\right] \quad (1)$$

$$I_{DS} = \mu_{eff}.C_{ox}.\frac{W}{2.L.n}.(V_{GS} - V_{TH})^2 \quad (2)$$

μ_{eff} é a mobilidade efetiva, L é o comprimento de canal, W a largura do canal, C_{ox} é a capacitância do óxido de porta por unidade de área, n é o fator de corpo do transistor e V_{TH} é a tensão de limiar. Sendo $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$, onde ε_{ox} é a permissividade do oxido de porta, t_{ox} a espessura do óxido de porta, $n = 1 + \alpha$, onde α é o fator de acoplamento capacitivo da estrutura. A equação de α é dada por:

$$\alpha = \frac{C_D}{C_{ox}} \quad (3)$$

C_D é a capacitância de depleção do silício por unidade de área, dada por $C_D = \frac{\varepsilon_{si}}{x_{dmáx}}$, ε_{si} é a permissividade do silício e $x_{dmáx}$, é a máxima depleção no silício, dada por:

$$x_{dmáx} = \sqrt{\frac{4.\varepsilon_{si}.\Phi_F}{q.N_A}} \quad (4)$$

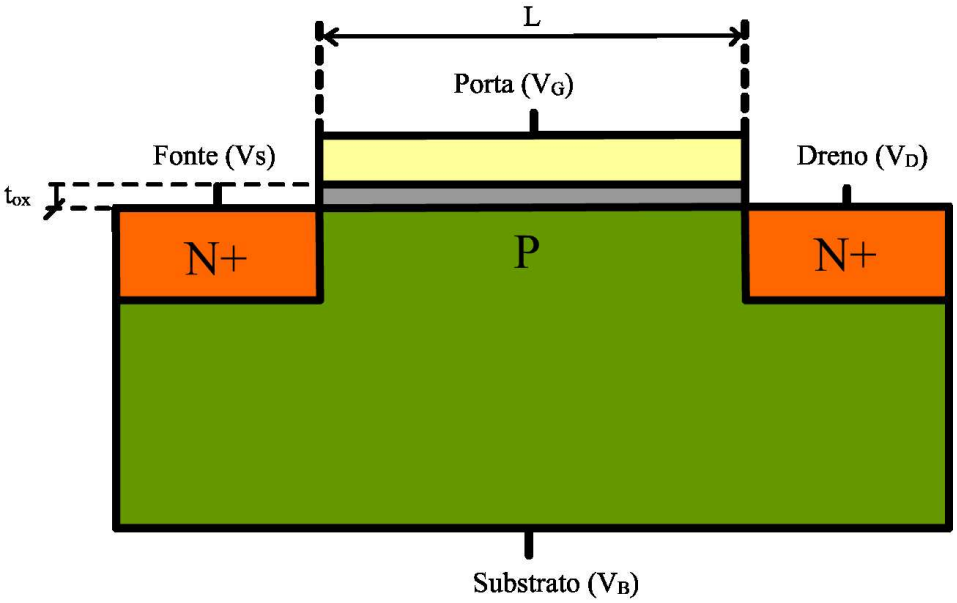
N_A é a concentração de impurezas aceitadoras em um semicondutor e Φ_F é o potencial de Fermi dado por:

$$\Phi_F = \frac{k.T}{q}.\ln\frac{N_A}{n_i} \tag{5}$$

n_i é a concentração intrínseca de portadores, k é a constante de Boltzmann e T a temperatura absoluta (SZE, et al., 2007).

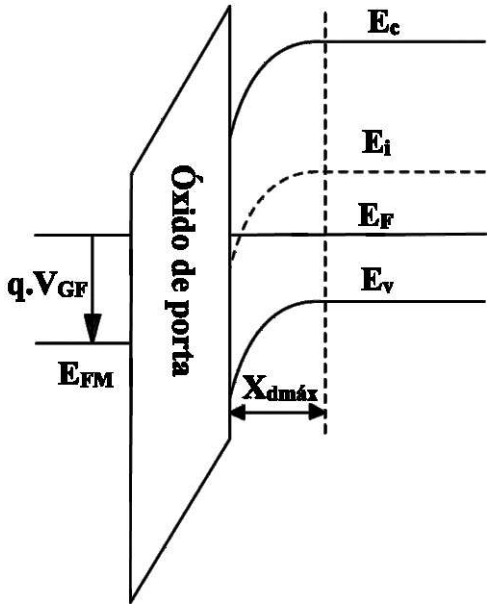
Quando não há tensão aplicada ao eletrodo de porta, ou $V_{GS} << V_{TH}$, o dispositivo encontra-se na região de corte. Nessa região, é esperado, principalmente em aplicações digitais que envolvem cerca de milhões de transistores, que a corrente de desligamento (I_{off}) seja extremamente baixa, de forma a se obter menor consumo de corrente com os dispositivos em repouso e, com isso, reduzir o consumo de potência em latência (COLINGE, 2004a). A Figura 2 apresenta a seção transversal de um transistor construído em tecnologia MOS convencional e seus terminais, conforme abordado anteriormente. A Figura 3 apresenta o diagrama de faixas de energia de um transistor MOS em depleção.

Figura 2 - Estrutura de um transistor construído em tecnologia MOS convencional.



Fonte: Autor

Figura 3 - Diagrama de faixas de energia de um transistor MOS convencional em depleção.



Fonte: "adaptado de" (COLINGE, et al., 2005).

E_C corresponde ao nível de energia inferior da banda de condução, E_V o nível de energia superior da banda de valência, E_i o nível intrínseco, E_F o nível de Fermi do semicondutor, no caso silício, E_{FM} o nível de Fermi do eletrodo de porta, $x_{dmáx}$ representa a profundidade máxima de depleção no silício e V_{GF} a tensão aplicada à porta.

Como pode ser visto na Figura 3, apenas há variação no nível de energia do semicondutor no interior da região de depleção.

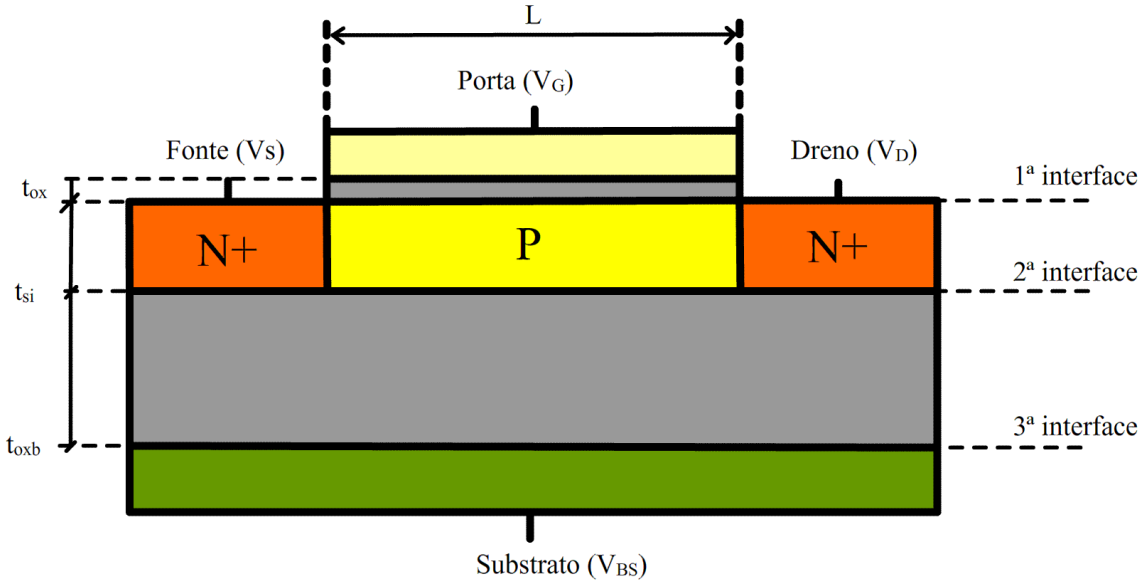
2.2 TECNOLOGIA SOI

A tecnologia SOI surgiu como alternativa tecnológica aos transistores MOS convencionais, buscando se obter dispositivos com maior capacidade de corrente de dreno e menor ocorrência de efeitos de canal curto (COLINGE, 2004b). Os primeiros transistores MOS em tecnologia SOI foram construídos por volta de 1964, em substratos de silício sobre safira (*Silicon On Safire - SOS*), que eram utilizados em aplicações militares e circuitos de alta frequência (COLINGE, 2004b). Subsequentemente aos transistores SOS surgiram os substratos SOI que utilizam dióxido de silício (SiO2) como isolante ao invés de safira.

A tecnologia SOI difere da tecnologia MOS por possuir uma camada de óxido isolante, com espessura t_{oxb}, que promove o isolamento dielétrico entre a região ativa, na qual são fabricados os dispositivos, e o substrato. Em termos construtivos, o transistor SOI,

aparentemente, é bem semelhante ao transistor MOS convencional. Entretanto, a presença de uma camada isolante, faz com que a depleção das regiões de fonte e dreno sejam menores, devido a limitação de espessura da região ativa, permitindo que o transistor possa atingir comprimentos de canal mais curtos em comparação a tecnologia MOS convencional, mantendo o bom controle das cargas na região de canal. Essa camada também faz com que os dispositivos construídos em tecnologia SOI tenham capacitâncias parasitas menores, permitindo que eles cheguem a uma inclinação de sublimiar bem próxima ao limite teórico de 60mV/dec em temperatura ambiente. Uma das desvantagens desse transistor está justamente na presença da camada isolante. Apesar das inúmeras vantagens que a camada de óxido enterrado traz ao transistor SOI, seu corpo acaba se tornando eletricamente flutuante. A presença desse corpo flutuante pode acarretar a ativação prematura do transistor bipolar parasitário (*Parasitic Bipolar Effect - PBE*) (COLINGE, 2004a), que é considerado um problema, uma vez que com o aumento da tensão entre fonte e dreno (V_{DS}), tem-se um aumento do potencial de corpo do transistor, gerado pela injeção das lacunas da região de dreno para o interior do canal, fazendo com que ative o transistor bipolar parasitário. Tal ativação provoca a redução da tensão de ruptura do transistor e a passagem de corrente elétrica entre fonte e dreno (I_{DS}) sem o controle da porta. A camada de óxido entre o canal e o substrato também dificulta a dissipação de calor quando há circulação de corrente elétrica, o que pode fazer com que o transistor possa vir a sofrer de efeitos de auto aquecimento (COLINGE, 2004a). A Figura 4 apresenta o perfil transversal de um transistor MOS canal N fabricado em tecnologia SOI.

Figura 4 - Estrutura de um transistor construído em tecnologia SOI.



Fonte: “adaptado de” (COLINGE, 2004a).

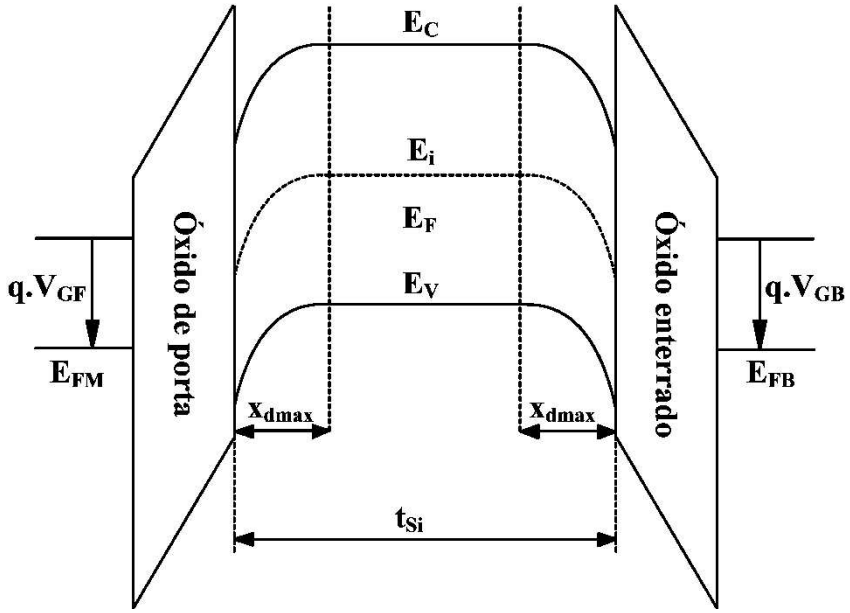
L é o comprimento total do canal, t_{oxf} é a espessura do óxido de porta, t_{si} é a espessura da camada de silício, t_{oxb} é a espessura do óxido enterrado.

Dependendo das espessuras das camadas, da concentração de dopantes do canal e da temperatura, existem dois tipos configuração para o corpo dos transistores SOI. O transistor SOI de camada fina ou totalmente depletado (*Fully Depleted - FD*) e o de camada espessa ou parcialmente depletado (*Partially Depleted - PD*).

No transistor SOI parcialmente depletado (PD), não se tem a depleção total da camada de silicio, sendo a espessura da camada de silicio (t_{si}) maior do que duas vezes a espessura máxima da região de depleção ($2.x_{dmáx}$). O fato da camada de silício ser duas vezes maior do que a depleção máxima, faz com que não se tenha interação entre as regiões de depleção induzidas pela porta e pelo substrato, havendo entre elas uma região neutra.

A Figura 5 mostra o diagrama de faixas de energia do transistor SOI parcialmente depletado, onde é possível observar que não há interação entre as regiões de depleção máxima do silício ($d_{máx}$). Nesta configuração, o funcionamento é muito semelhante ao dos transistores MOS (*Metal-Oxide-Semiconductor*) convencionais.

Figura 5 - Diagrama de faixas de energia do transistor SOI parcialmente depletado (PD)

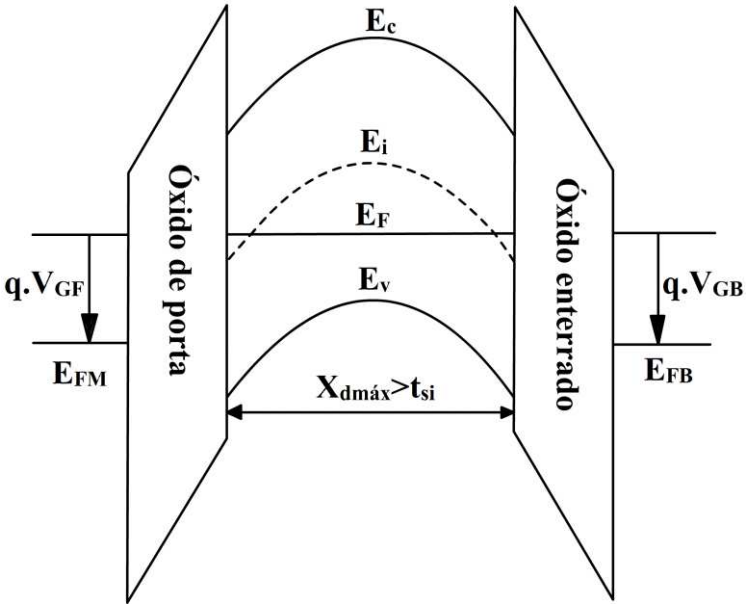


Fonte: "adaptado de" (COLINGE, et al., 2005).

E_{FB} é o nível de Fermi do substrato e V_{GB} é a tensão aplicada no substrato.

No transistor SOI totalmente depletado (FD) tem-se $t_{si}<x_{dmáx}$, fazendo com que a possível depleção induzida pelo substrato interaja com a induzida pela porta promovendo o acoplamento eletrostático entre ambas. Como consequência, as mudanças nas tensões aplicadas à porta e substrato influenciarão a passagem de corrente elétrica do transistor. A Figura 6, apresenta o diagrama de faixas de energia para esse transistor.

Figura 6 - Diagrama de faixas de energia do transistor SOI Totalmente Depletado (FD).



Fonte: “adaptado de” (COLINGE, et al., 2005).

No transistor NFD (Near Fully Depleted), ou de espessura média, tem-se $x_{dmax}<t_{si}<2.x_{dmáx}$, fazendo com que o transistor possa se comportar com PD SOI ou FD SOI dependendo da tensão aplicada ao substrato e da temperatura de operação.

Uma das grandes vantagens do transistor SOI totalmente depletado com relação aos transistores PD SOI e o MOS convencional, como dito anteriormente, está associado ao fator de corpo (n) que é diretamente responsável pelo fornecimento de corrente elétrica do dispositivo (LIM, et al., 1984). Para os transistores PD SOI, o valor de α é exatamente o mesmo dos transistores MOS, visto anteriormente na equação (3), justamente pelo fato de não haver a depleção total.

Para transistores FD SOI, α é dado pelas equações (6) e (7), considerando a segunda interface em acumulação (6) e com a segunda interface em depleção (7).

$$\alpha = \frac{C_{si}}{C_{oxf}} \tag{6}$$

$$\alpha = \frac{C_{si}.C_{oxb}}{C_{oxf}.(C_{si} + C_{oxb})} \tag{7}$$

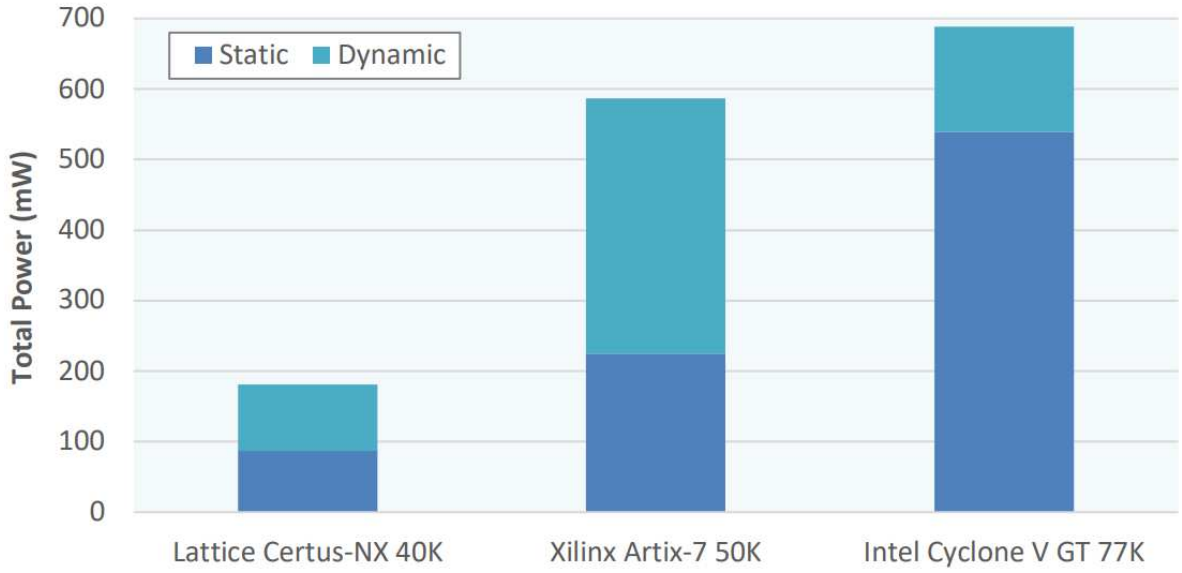
C_{si} é a capacitância do silício por unidade de área dada por $C_{si} = \frac{\varepsilon_{si}}{t_{si}}$, C_{oxf} é a capacitância de óxido de porta por unidade de área, dada por $C_{oxf} = \frac{\varepsilon_{ox}}{t_{oxf}}$, e C_{oxb} é a capacitância do oxido enterrado por unidade de área, dada por $C_{oxb} = \frac{\varepsilon_{ox}}{t_{oxb}}$.

2.3 USO COMERCIAL DA TECNOLOGIA SOI

Atualmente, estão disponíveis processos CMOS em tecnologia FD SOI com comprimento de canal de 28nm e 22nm. A empresa Glogal Foundries líder em fabricação de semicondutores, lançou recentemente uma memória não volátil magneto resistivo (eMRAM – *Embedded Magnetic Random Access Memory*), com escalabilidade na tecnologia de 22nm para uso em celulares 5G, internet das coisas, microcontroladores de uso geral e automotivo (ALEKSANDARK, 2020). Outra empresa líder em tecnologia de semicondutor, a Samsung, iniciou a primeira remessa comercial de produção em massa, da memória RAM magnética eMRAM usando tecnologia FD SOI de 28nm (BTARUNR, 2019).

A empresa de comercialização de semicondutores, Lattice, lançou em seu portfólio um FPGA (*Field-Programmable Gate Array*) de baixa potência construído em tecnologia SOI-FD de 28nm e com tensões programadas de substrato nomeado de Certus-NX. Essa plataforma é única a utilizar a tecnologia FD-SOI, se diferenciando da CMOS padrão por ter redução no consumo de energia, permitindo com que se consuma de 3 a 4 vezes menos energia do que seus semelhantes produzidos pela Intel (GWENNAP, 2020). A Figura 7 apresenta a comparação no consumo de energia do Certus-NX com seus semelhantes da Intel e Xilinx. Por permitir tensões aplicadas ao substrato, a tecnologia FD-SOI, considerando uma tensão de 1V aplicada ao substrato, reduz 75% da corrente de fuga comparado com a tecnologia CMOS tradicional.

Figura 7 - Comparação no consumo de energia do Certus-NX com seus semelhantes da Intel e Xilinx.



Fonte: (GWENNAP, 2020).

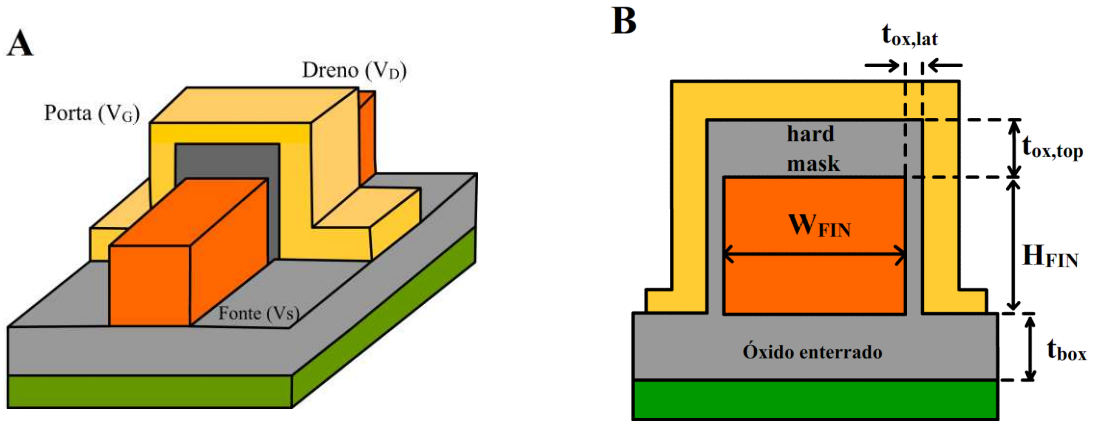
2.4 TRANSISTORES DE MÚLTIPLAS PORTAS

Os transistores de múltiplas portas surgiram como uma excelente alternativa na busca por transistores de dimensões ainda menores em nós tecnológicos mais avançados. A existência das múltiplas portas também permite um melhor acoplamento eletrostático, garantindo um melhor controle das cargas no canal e reduzindo os efeitos de canal curto existente nas tecnologias planares MOS e SOI (COLINGE, 2004b). Atualmente esses transistores são utilizados em larga escala, na tecnologia MOS convencional, nos processadores Intel (INTEL, 2011). Já a Samsung, utiliza esses transistores em substrato SOI (BTARUNR, 2019).

Inicialmente proposto em 1984 por (SEKIGAWA, et al., 1984), denominado XMOS o transistor de porta dupla, somente foi fabricado em 1989 com o nome de Delta (HISAMOTO, et al., 1989). Com características muito semelhantes ao Delta, o FinFET foi proposto 10 anos depois também por (HISAMOTO, et al., 2000). O FinFET possui uma aleta alta e estreita, denominada de *finger*, *leg* ou *fin*. Originalmente, os transistores FinFET apresentavam uma camada espessa no topo da aleta de silício, denominada "*hardmask*" ($t_{ox,top}$). As espessuras laterais do óxido, são denominadas $t_{ox,lat}$. Nesta configuração, a corrente elétrica fluía entre dreno e fonte apenas pelas laterais da aleta, caracterizando esses transistores como de porta dupla. Posteriormente, $t_{ox,top}$ foi igualado a $t_{ox,lat}$, originando os transistores de porta tripla, nos

quais a condução de corrente pelas três interfaces entre o óxido de porta e a aleta de Si. A Figura 8 apresenta a perspectiva do transistor FinFET (A) e a vista frontal (B) desses transistores construídos em tecnologia SOI. O valor efetivo da largura do canal (W_{eff}) é equivalente a duas vezes o H_{fin} somado ao W_{fin}, onde H_{fin} é a altura.

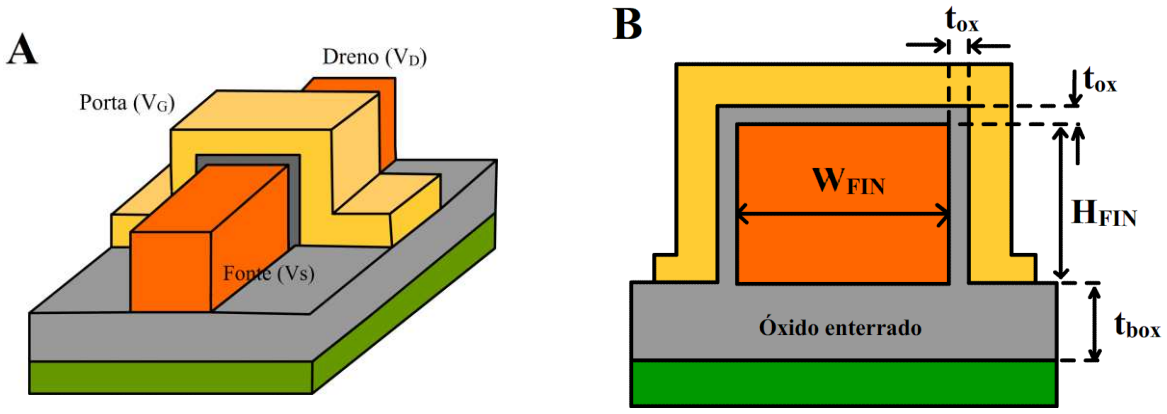
Figura 8 - Perspectiva (A) e vista frontal (B) de um SOI FinFET



Fonte: "adaptado de" (COLINGE, 2008).

Com a redução da "*hard mask*", de forma que $t_{ox,top}$ seja igual a $t_{ox,lat}$, a porta superior também influenciará as cargas no canal, tornando o transistor um FinFET de porta tripla. A *Figura 9* apresenta esse FinFET em perspectiva (A) e vista frontal (B).

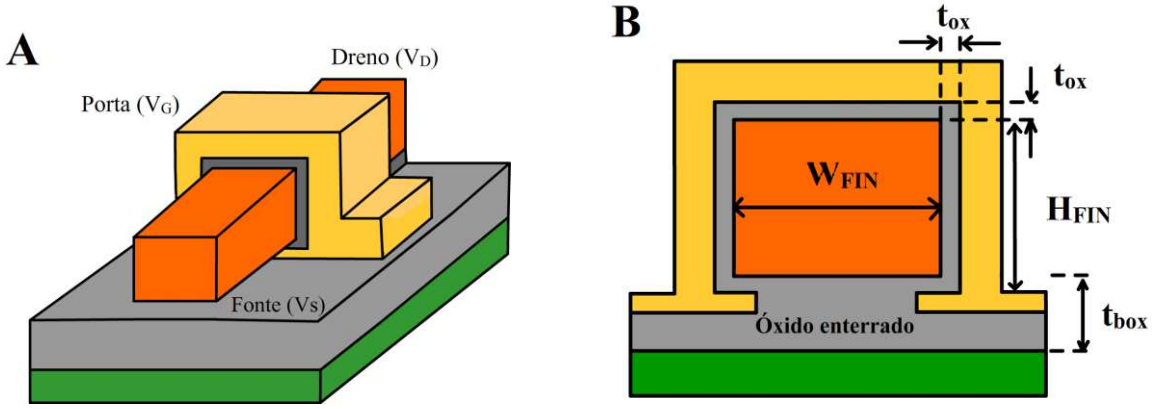
Figura 9 - Perspectiva (A) e vista frontal (B) de um SOI FinFET de porta tripla



Fonte: "adaptado de" (COLINGE, 2008).

Dispositivos com mais de três portas foram propostos de forma a se obter, além de um melhor controle eletrostático, um maior nível de corrente elétrica quando comparado a transistores planares. Um deles, é o transistor de porta Ω (BARRAUD, et al., 2012) (COQUAND, et al., 2012) (YANG, et al., 2002), que além das três portas, habituais, possuí uma porção da parte inferior da aleta que também é controlada pelo eletrodo de porta. Os nanofios transistores são transistores de porta tripla fabricados em finas camadas de Si, em geral com H_{fin} inferior a 10nm. Nesses transistores, diferente dos FinFETs, W_{fin} e H_{fin} são da mesma ordem de grandeza.

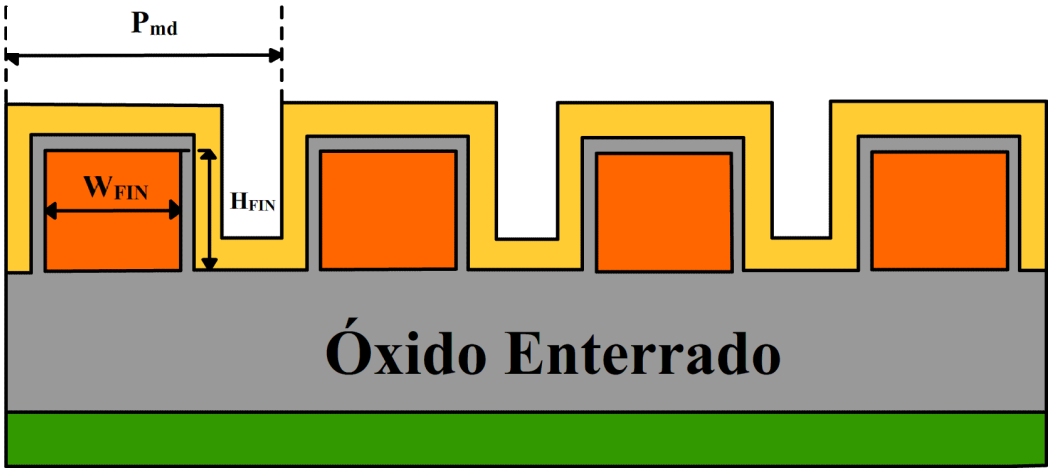
Figura 10 - Perspectiva (A) e vista frontal (B) de um SOI FinFET em formato Ω.



Fonte: “adaptado de” (COLINGE, 2008).

De forma a se obter um bom controle eletrostático desses dispositivos, eles são construídos em escalas nanométricas. Para se obter correntes mais altas, esses dispositivos são associados em paralelo, criando uma estrutura com aletas múltiplas, denominadas multi-fins (COLINGE, 2008), sendo P_{md} o período da estrutura multi-dedos, sendo quem delimita a distância entre elas. A Figura 11 apresenta a representação esquemática desse arranjo.

Figura 11 - Vista frontal de um FinFET de porta tripla com estrutura multi-fins.



Fonte: "adaptado de" (COLINGE, 2008).

A equação (8) define a corrente elétrica nesse transistor, considerando as mesmas mobilidades laterais e de topo. Desta forma, é possível observar o aumento de I_{Dfin} com o aumento de W_{eff}.

$$I_{Dfin} \geq \frac{I_{DS0} W_{eff}}{P_{md}} \tag{8}$$

I_{Dfin} é a corrente de um fin e I_{DS0} a corrente do transistor planar.

2.5 PARÂMETROS ELÉTRICOS

Esta seção apresenta os parâmetros elétricos fundamentais de um transistor MOS. Inicia-se pela definição da tensão de limiar, seguido pela mobilidade, transcondutância e Inclinação de sublimiar.

2.5.1 Tensão de limiar (V_{TH})

Tensão de limiar (V_{TH}) é o potencial necessário aplicado à porta de um transistor para que o canal do transistor vá de inversão fraca para inversão forte (ORTIZ-CONDE, et al., 2002). É na inversão forte que se tem a máxima depleção do silício, onde o potencial de superfície Φ_S é equivalente a $2\Phi_F$ (COLINGE, 2004a). Com a redução nas dimensões dos transistores em

escala nanométrica, tornou-se extremamente difícil controlar a concentração de dopantes no canal, devido ao pequeno volume de Si. Com isto, uma pequena variação na concentração de dopantes, devida a variações no processo, causaria uma grande variação em V_{TH}. O uso de transistores de porta tripla sem dopagens aplicadas ao semicondutor na região de canal, tornou-se então uma solução (WONG, et al., 1993). A adoção de concentrações muito baixas de dopantes no canal, ou seja, próximo ao nível intrínseco, faz com que se tenha níveis elevados de corrente já em inversão fraca impondo que a relação entre início de condução e $2\Phi_F$ não seja mais válida (FRANCIS, et al., 1994). Outros métodos para definição de V_{TH} foram propostos para transistores de múltiplas portas. A equação (9), proposta por (POIROUX, et al., 2005), apresenta a extração de V_{TH} que pode ser usada para transistores de porta dupla com concentração de dopantes intrínseca no canal. Esta equação supõe que a capacitância na depleção do FD SOI é praticamente desprezível, sendo a capacitância de inversão igual a capacitância de porta. O último termo da equação promove a correção por efeitos quânticos, quando a espessura do semicondutor é muito fina (<10nm).

$$V_{TH} = \Phi_{mi} + \frac{k.T}{q}.\ln\left(\frac{2.C_{ox}.k.T}{q^2.n_i.t_{si}}\right) + \left(\frac{\pi^2\hbar^2}{2q\, m^* t_{Si}^2}\right) \quad (9)$$

$C_{ox} = \varepsilon_{ox}/t_{ox}$ é a capacitância de porta por unidade de área, Φ_{mi} é a diferença de função trabalho entre a porta e o silício intrínseco, m^* é a massa de confinamento do portador na direção transversal, t_{si} é a espessura do silício entre as duas portas e $\hbar$ é a constante de Planck normalizada.

2.5.2 Mobilidade (μ)

A facilidade ou dificuldade que um portador de carga tem para se movimentar em um semicondutor, relacionando a velocidade de deriva (v) com a qual os portadores fluem e o campo elétrico aplicado é definido como mobilidade do portador. Sem a aplicação de um campo elétrico e em equilíbrio térmico, uma carga move-se em uma velocidade de 10^7cm/s em direção aleatória e sem fluxo de corrente (COLINGE, et al., 2005).

Sua equação é dada pela relação entre a velocidade de deriva com o campo elétrico aplicado, seja ele horizontal ou vertical (COLINGE, et al., 2002). O estudo da mobilidade é de fundamental importância para os transistores MOS, independentemente da tecnologia, pois ela interfere diretamente na corrente elétrica. A equação (10), considera a mobilidade dos

portadores que atravessam um semicondutor quando aplicado um campo elétrico horizontal, sem levar em consideração os campos elétricos verticais.

$$\mu = \frac{V_y}{\mathcal{E}_y *} \tag{10}$$

v_y é a velocidade de saturação dos portadores quando aplicado um campo elétrico horizontal e ε_y o campo elétrico na direção horizontal (y).

A mobilidade também pode ser definida através das equações (11) para elétrons e (12) para lacunas, onde são levados em consideração as massas efetivas e o tempo de vida dos portadores, uma vez que mesmo com a aplicação de um campo elétrico ainda há colisões entre os elétrons, causando degradação na mobilidade (COLINGE, et al., 2002).

$$\mu_e = \frac{q.\tau_{ev}}{m_{ce} *} \tag{11}$$

$$\mu_h = \frac{q.\tau_{hv}}{m_{ch} *} \tag{12}$$

μ_e é a mobilidade dos elétrons, μ_h a mobilidade das lacunas, τ_{ev} é o tempo de vida dos portadores para elétrons, τ_{hv} é o tempo de vida dos portadores para lacunas, m_{ce}^* é a massa efetiva para elétrons e m_{ch}^* é a massa efetiva para lacunas.

A máxima mobilidade atingida pelos portadores é a mobilidade de baixo campo (μ_0), dependente apenas do material e temperatura. Existem diversos mecanismos que degradam a mobilidade, independemente do campo elétrico aplicado. A seguir, serão abordados tais mecanismos.

O mecanismo de degradação da mobilidade por espalhamento de impurezas neutras μ_{ni} considera que nem todas as impurezas são ionizadas com a temperatura, pelo fato de não

possuirem energia térmica suficiente (SAH et al., 1981). Seus efeitos podem ser descritos através das equações (13) para lacunas e (14) para elétrons.

$$\mu_{nih} = \left(\frac{2.\pi^3.q^3.m_{ch}^*}{5.\varepsilon_{Si}.h^3.(N_A - N_A^-)} \right).10^{-2}.\left[\frac{2}{3}.\sqrt{\frac{k.T}{E_{nih}}} + \frac{1}{3}.\sqrt{\frac{E_{nih}}{k.T}} \right] \quad (13)$$

$$\mu_{nie} = \left(\frac{2.\pi^3.q^3.m_{ce}^*}{5.\varepsilon_{Si}.h^3.(N_A - N_A^-)} \right).10^{-2}.\left[\frac{2}{3}.\sqrt{\frac{k.T}{E_{nie}}} + \frac{1}{3}.\sqrt{\frac{E_{nie}}{k.T}} \right] \quad (14)$$

N_A^- é a concentração de impurezas aceitadoras ionizadas da camada de silício, $E_{nih} = 1{,}136.10^{-19}.\left(\frac{m_{ch}^*}{m_0}\right).\left(\frac{\varepsilon_0}{\varepsilon_{Si}}\right)^2$, $E_{nie} = 1{,}136.10^{-19}.\left(\frac{m_{ce}^*}{m_0}\right).\left(\frac{\varepsilon_0}{\varepsilon_{Si}}\right)^2$, h é a constante de Planck, m_{ch}^* é a massa efetiva de condução para as lacunas, m_{ce}^* é a massa efetiva de condução para os elétrons, m_0 é a massa do elétron, ε_0 é a permissividade elétrica do vácuo e ε_{si} é a permissividade elétrica do silício.

O mecanismo de degradação da mobilidade por espalhamento portador-portador μ_{cc}, descreve as colisões entre portadores presentes na faixa de condução (DORKEL; LETURCQ, 1981). As equações (15) e (16) definem a degradação por μ_{cc}.

$$\mu_{cce} = \frac{2.10^{17}}{\sqrt{N_D.ln[1 + 8{,}28.10^8.T^2(N_D)^{-1/3}]}} \quad (15)$$

$$\mu_{cch} = \frac{2.10^{17}}{\sqrt{N_A.ln[1 + 8{,}28.10^8.T^2(N_A)^{-1/3}]}} \quad (16)$$

N_A é a concentração de purezas aceitadoras e N_D e a concentração de impurezas doadoras.

O mecanismo de degradação da mobilidade por espalhamento de impurezas ionizadas μ_{psii} considera que a concentração de dopantes interfere na mobilidade. Com o aumento da temperatura, faz com que os elétrons migrem da faixa de valência para a faixa de condução,

reduzindo sua mobilidade (CAUGHEY; THOMAS, 1967). As equações (17) e (18) representam o espalhamento por impurezas ionizadas.

$$\mu_{psiih} = \mu_{minh} + \frac{\mu_{psh} - \mu_{minh}}{1 + \left(\frac{N_A^-}{N_{refh}}\right)^{\alpha_h}} \tag{17}$$

$$\mu_{psiie} = \mu_{mine} + \frac{\mu_{pse} - \mu_{mine}}{1 + \left(\frac{N_A^-}{N_{refe}}\right)^{\alpha_e}} \tag{18}$$

$\mu_{minh} = 110{,}9 - 25{,}597.\log T$, $\mu_{mine} = 197{,}17 - 45{,}505.\log T$, $N_{refh} = 2{,}23.10^{17}\left(\frac{T}{300}\right)^{3,2}$,

$N_{refe} = 1{,}12.10^{17}\left(\frac{T}{300}\right)^{3,2}$, $\alpha_h = 0{,}12\left(\frac{T}{300}\right)^{0,065}$, $\alpha_e = 0{,}72\left(\frac{T}{300}\right)^{0,065}$.

O Mecanismo de degradação da mobilidade por espalhamento de rede ou por fônons μ_{pse}, μ_{psh}, considera colisões entre portadores e as vibrações da rede cristalina (SAH et al., 1981) e é dado pelas equações (19) e (20).

$$\mu_{psh} = \frac{1}{\left(\frac{1}{\mu_{0ha}.\left(\frac{T}{300}\right)^{-\alpha h}} + \frac{1}{\mu_{0hb}.\left(\frac{T}{300}\right)^{-\beta h}}\right)} \tag{19}$$

$$\mu_{pse} = \frac{1}{\left(\frac{1}{\mu_{0ea}.\left(\frac{T}{300}\right)^{-\alpha e}} + \frac{1}{\mu_{0eb}.\left(\frac{T}{300}\right)^{-\beta e}}\right)} \tag{20}$$

μ_{0ea} = 4195 cm^2/Vs, μ_{0eb} = 2153 cm^2/Vs, μ_{0ha} = 2502 cm^2/Vs, μ_{0hb} = 591 cm^2/Vs, $\alpha_e = \alpha_h$ = 1,5, β_e = 3,13 e β_h = 3,25.

Os diversos mecanismos de degradação agem independentemente e tem a mesma dependência energética e, para que seja possível equacionar os diversos tipos de efeitos ocasionados pela variação da mobilidade no interior de um semicondutor em sua rede cristalina, é utilizada a regra de Mathiessen (GUTIERREZ-D; DEEN; CLAEYS, 2001), onde a mobilidade de baixo campo μ_0 se torna a resultante dos diversos efeitos de espalhamento aos quais está submetida. As equações (21) e (22) definem a regra de Mathiessen para lacunas e elétrons, respectivamente.

$$\mu_{0h} = \frac{1}{\frac{1}{\mu_{cch}} + \frac{1}{\mu_{psiih}} + \frac{1}{\mu_{nih}}} \tag{21}$$

$$\mu_{0e} = \frac{1}{\frac{1}{\mu_{cce}} + \frac{1}{\mu_{psiie}} + \frac{1}{\mu_{nie}}} \tag{22}$$

μ_{cce} é a mobilidade dos elétrons devido ao espalhamento portador-portador e μ_{cch} a mobilidade das lacunas devido ao espalhamento portador-portador.

Aplicando baixos valores de V_{GF} e V_{DS}, faz com que a mobilidade independa desses valores. Com valores mais altos de V_{GF}, os portadores são atraídos para a interface do transistor e, devido sua rugosidade, a mobilidade é degradada. Com o aumento de V_{DS}, aumenta o campo elétrico horizontal e, devido a velocidade de saturação dos portadores, a mobilidade efetiva se degradada. A mobilidade efetiva considerando a degradação devido ao campo elétrico, é dada pela equação (23) (VEERARAGHAVAN; FOSSUM, 1988).

$$\mu_{eff} = \frac{\mu_0}{1 + \alpha_s |E_{eff}|} \tag{23}$$

α_s é o coeficiente de espalhamento e E_{eff} é o campo elétrico efetivo nas posições horizontal e vertical.

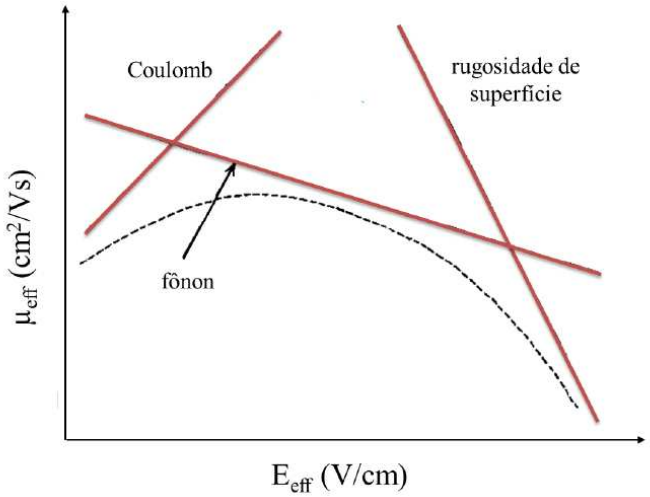
A equação (24) é a equação mais usual para definção da mobilidade efetiva devido ao campo elétrico vertical, sendo válida para $V_{GS} \geq V_{TH}$. Este modelo reprenta uma simplificação do modelo físico observado na curva de μ_{eff} em função da sobretensão de condução (V_{GT}) que permite a extração dos coeficientes da mobilidade de degradação da mobilidade (θ_1 e θ_2) (COLINGE; COLINGE, 2005).

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_{GS} - V_{TH}) + \theta_2(V_{GS} - V_{TH})^2} \tag{24}$$

Embora a regra de Mathiessen não seja exatamente o que ocorre na realidade, ela serve como uma boa aproximação para a extração da mobilidade efetiva (HAARTMAN, et al., 2007), quando envolvidas baixas tensões de dreno e porta. A Figura 12 apresenta Mobilidade efetiva em função do campo elétrico, destacando os mecanismos de espalhamento por Coulomb ($\mu_{Coulomb}$), para baixos valores de E_{eff} que ocorre devido a impurezas no substrato, cargas nos estados de interface e cargas armadilhadas no óxido de porta, compreendendo os mecanismos de espalhamento de impurezas neutras e ionizadas descritos anteriormente, sendo o mecanismo dominante que afeta a mobilidade na camada de inversão quando o campo elétrico é muito baixo. O espalhamento por fônon (μ_{ps}), apresentado anteriormente pelas equações (19) e (20) próximo a mobilidade máxima e o espalhamento por rugosidade de superfície (μ_{sr}) para valores mais altos de E_{eff} (TAKAGI, et al., 1994). A regra de Mathiessen continua válida para tais mecanismos e é apresentada pela equação (25).

$$\mu_{eff} = \frac{1}{\frac{1}{\mu_{Coulomb}} + \frac{1}{\mu_{ps}} + \frac{1}{\mu_{sr}}} \tag{25}$$

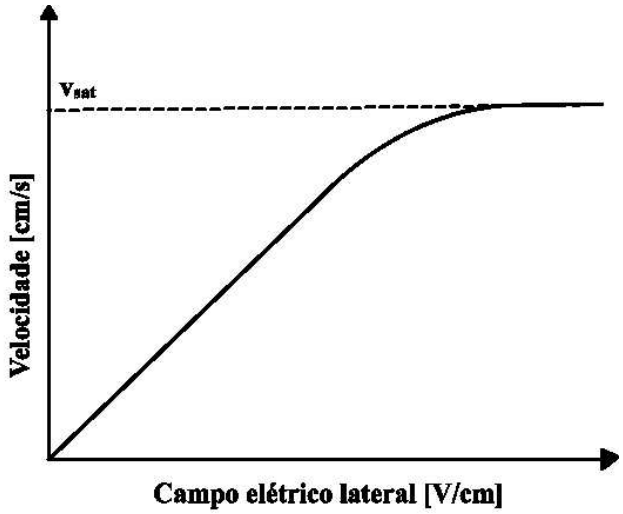
Figura 12 - Mobilidade efetiva em função do campo elétrico, destacando os mecanismos de espalhamento.



Fonte: (PAZ, 2018)

Sob a influência de um campo elétrico horizontal, a mobilidade é reduzida devido a velocidade de saturação. A velocidade de deriva (v) é a velocidade que os elétrons fluem horizontalmente da fonte para o dreno com um certo campo elétrico horizontal (ε_y) e é dada pela equação (10). Porém, quando é aplicado um alto campo elétrico, essa equação deixa de ser verdadeira, pois, os elétrons fluem com uma velocidade constante máxima, denominado velocidade de saturação (v_{sat}) (COLINGE, et al., 2002). A Figura 13, apresenta tal comportamento.

Figura 13 - Velocidade de saturação dos portadores, quando aplicado um campo elétrico horizontal.



Fonte: (PAZ, 2014).

Uma das expressões que define a velocidade de deriva dos portadores, é dada por (26) (CANALI, et al., 1945). No caso do silício, a velocidade de saturação varia de 5.10^6 até 10^7 cm/s, na camada de inversão.

$$v = v_{sat} \frac{\left|\varepsilon_y\right| / \varepsilon_{crit}}{\left[1 + \left(\left|\varepsilon_y\right| / \varepsilon_{crit}\right)^{\beta}\right]^{1/\beta}} \tag{26}$$

ε_{crit} é o campo elétrico horizontal critico, ß é um parâmetro de ajuste, normalmente variando entre 1 e 2 (CANALI et al., 1945).

A equação (27) define a mobilidade efetiva, considerando o campo eletrico horizontal (INIGUEZ, et al., 1999).

$$\mu_{eff} = \frac{\mu_0}{\left[1 + \left(\frac{\mu_0 . V_{DS}}{L.v_{sat}}\right)^{\beta}\right]^{1/\beta}} \tag{27}$$

Para que seja considerado tanto o campo elétrico vertical como o campo elétrico horizontal, substitui-se μ_0 da equação (27) pela mobilidade que inclui o campo elétrico vertical dado na equação (24).

2.5.3 Transcondutância e a razão g_m/I_{DS}

A transcondutância (g_m) relaciona a corrente de dreno (I_{DS}) com o controle de porta. É através dela que se observa a eficiência de um transistor. A transcondutância é dada pela equação (28).

$$g_m = \frac{dI_{DS}}{dV_{GS}} \tag{28}$$

As equações (29) e (30) apresentam a transcondutancia para o transistor operando em triodo (29) e saturação (30) obtidas a partir das equações (1) e (2) para corrente de dreno (I_{DS}).

$$g_m = \frac{W.\mu_{eff}.C_{ox}}{L}.V_{DS} \tag{29}$$

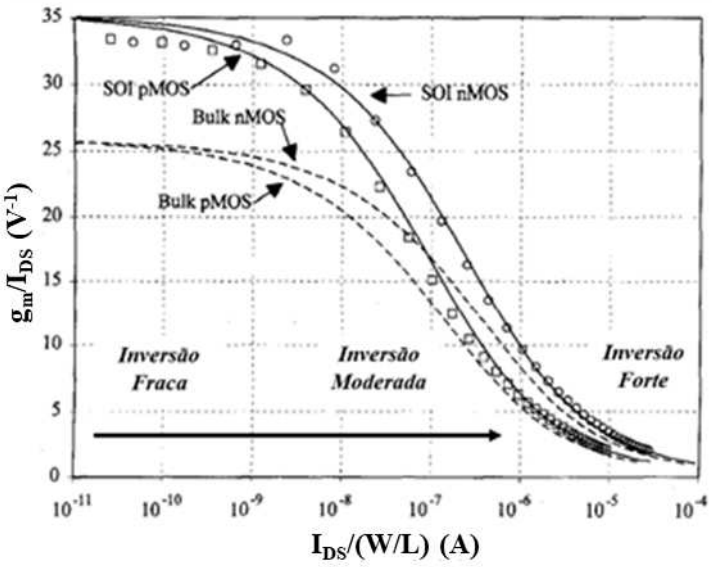
$$g_m = \frac{W.\mu_{eff}.C_{ox}}{L.(1+\alpha)}.(V_{GF} - V_{TH}) \tag{30}$$

Com o intuíto de medir a eficácia do transistor em traduzir corrente elétrica em transcondutância e também associar a amplificação do dispositivo com sua potência dissipada, é associada a razão da transcondutância sobre a corrente de dreno (g_m/I_{DS}) com a corrente de dreno normalizada (I_{DS}/[W/L]) (SILVEIRA, et al., 1996), estabelecendo uma característica universal de todos transistores pertencentes ao mesmo processo.

A Figura 14 representa a curva calculada através do método proposto em (VITTOZ, 1994) de g_m/I_{DS} em função da corrente normalizada de dreno I_{DS} para transistores SOI nMOS e pMOS totalmente depletado de filme fino e transistores nMOS e pMOS do tipo bulk. Em inversão fraca, a relação g_m/I_{DS} atinge seu valor máximo pela equação (31) (VITTOZ, 1994). Para transistores com um bom acoplamento entre a porta e o canal, como é o caso dos transistores SOI, o fator de corpo (n) tende a ser próximo a unidade e a relação g_m/I_{DS} atinge seu valor máximo de $\frac{q}{k.T} = 38{,}6V^{-1}$, como é possível observar na Figura 14 para os transistores SOI. Com o incremento de I_{DS}, tem-se os transistores operando desde inversão fraca e moderada até inversão forte.

$$\frac{g_m}{I_{DS}}(máx) = \frac{q}{n.k.T} \tag{31}$$

Figura 14 - Curva calculada e experimental de g_m/I_{DS} em função da corrente normalizada de dreno I_{DS} para transistores SOI nMOS e pMOS totalmente depletado de filme fino e transistores nMOS e pMOS do tipo bulk. Calculado: linha sólida contínua (SOI nMOS) e linhas tracejadas (nMOS e pMOS do tipo bulk). Experimental: círculos (SOI nMOS) e quadrados (SOI pMOS).



Fonte: "adaptado de" (SILVEIRA, et al., 1996).

2.5.4 Inclinação de sublimiar (S)

A inclinação de sublimiar (S) é definida como a variação mínima do valor de porta (V_{GF}) que deve ser aplicado em um transistor operando na região de sublimiar, para que se tenha o acréscimo de uma década na corrente elétrica entre fonte e dreno (I_{DS}) (COLINGE, et al., 2005). Quanto menor for essa inclinação, mais rápido será o dispositivo. Sua equação é dada por (32).

$$S = \frac{dV_{GS}}{d(logI_{DS})} \tag{32}$$

Na região de sublimiar, a circulação da corrente elétrica no canal do transistor é dada predominantemente pelo mecanismo de difusão. A partir da expressão de corrente de difusão (SZE, et al., 2007), obtém-se a equação (33) dependente apenas da temperatura e do fator de corpo (n) (BREWS, 1979).

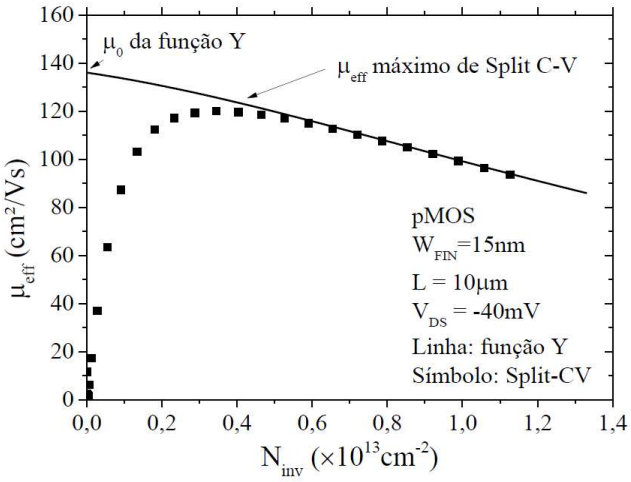
$$S = \frac{k.T}{q}.\ln 10.(n) \tag{33}$$

Os transistores multiplas portas construidos a partir da tecnologia SOI, assim como o transistor SOI planar, chegam a inclinações de sublimiar muito próximas ao teórico de 60mV/dec em temperatura ambiente (300K), por possuírem fator de corpo próximo a unidade (Akarvardar et al., 2007).

2.6 TÉCNICA PARA A EXTRAÇÃO DA MOBILIDADE

Dois métodos para extração da mobilidade foram utilizados nesse trabalho: o método Split-CV (OHATA, et al., 2007) (CRISTOLOVEANU, et al., 2017) (ROMANJEK, et al., 2004) e o método Y-function (GHIBAUDO, 1988), que serão abordados a seguir.

Figura 15 - μ_{eff} em função de N_{inv} extraído através dos métodos Y-Function e Split C-V.



Fonte: (PAZ, 2018).

2.6.1 Split-CV

O método *Split C-V* (OHATA, et al., 2007) é utilizado em dispositivos com área de porta suficientemente grande para que seja possível a extração da capacitância entre a porta e o canal (C_{GC}) em função da tensão aplicada a mesma (V_{GS}), sendo válido para baixas tensões de dreno (V_{DS}). Com a curva C-V obtida, é possível calcular as cargas na camada de inversão (Q_{inv}), através da equação (34). De posse de Q_{inv}, é possível calcular a mobilidade efetiva para cada valor de V_{GS} através da equação (35).

$$Q_{inv} = \int_{-\infty}^{V_{GS}} \frac{C_{GC}}{W_{eff}.L} dV \tag{34}$$

$$\mu_{eff} = \frac{L}{W_{eff}} . \frac{I_{DS}}{Q_{inv}.V_{DS}} \tag{35}$$

2.6.2 Y-Function

A diminuição da área de porta, dificulta a extração da curva C-V, impossibilitando a utilização do método Split C-V e favorecendo o uso do método Y-function para transistores MOSFETS de dimensões nanométricas, utilizando-se apenas das curvas de I_{DS} em função de V_{GS}. O método descrito através da equação (36). Através das equações (24), (36) e os dados experimentais de I_{DS} x V_{GS}, após iterações numéricas, é possível obter μ_0, θ_1, θ_2 e V_{TH}. De posse desses valores, é possível chegar a mobilidade efetiva dada em (24). O método Y-Function não considera o mecanismo de espalhamento da mobilidade por Coulomb, se diferenciando do modelo Split-CV para baixos valores de concentração de portadores na camada de inversão (N_{inv}), conforme apresentado na Figura 15.

$$Y = \frac{I_{DS}}{\sqrt{g_m}} \approx V_{GT}. \sqrt{\frac{\mu_0. C_{ox}. W_{eff}. V_{DS}}{L.\left(1 + \theta_2. {V_{GT}}^2\right)}} \tag{36}$$

2.7 RUÍDO

O ruído é uma perturbação indesejável que ocorre na tensão e corrente elétrica, impedindo o bom funcionamento dos circuitos eletrônicos. O ruído pode ser proveniente de perturbações externas tais como, a presença de luz onde os fótons podem fazer com que os portadores migrem da camada de valência para camada de condução, gerando um aumento repentino na corrente elétrica, através dos campos eletromagnéticos existentes em linhas de transmissão AC, em fontes de alimentação chaveadas, transmissores de rádio frequência, entre

outros (MOTCHENBACHER, et al., 1993). Pode também ser proveniente da própria estrutura do semicondutor devido a diversos fatores, tais como, o material utilizado e suas concentrações de dopantes, a tecnologia, projeto, construção entre outros (MOTCHENBACHER, et al., 1993). O ruído proveniente de meios externos pode ser minimizado ou até mesmo eliminado através de filtros, um leiaute adequado e blindagens. Já o ruído produzido pelo próprio dispositivo não pode ser eliminado, apenas minimizado. Será visto mais adiante, que as polarizações as quais são submetidos os dispositivos, também interferem diretamente no ruído.

As equações (37), (38) e (39) descrevem como um sinal elétrico flutua devido ao ruído. A corrente total I(t) que atravessa o semicondutor pode ser descrita como a corrente média DC ($\bar{I}$) somada com sua componente flutuante AC $i_n(t)$, que é o ruído. Abordagem similar pode ser estendida para tensão elétrica V(t) e potência P(t):

$$I(t) = \bar{I} + i_n(t) \tag{37}$$

$$V(t) = \overline{V} + v_n(t) \tag{38}$$

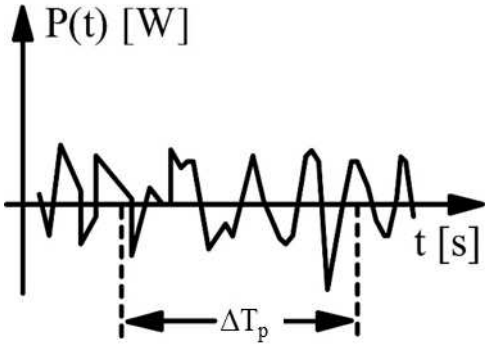
$$P(t) = \overline{P} + p_n(t) \tag{39}$$

Como o valor de $I_n(t)$ é de natureza aleatória para qualquer intervalo de tempo, ficaria muito complexo prever seu valor instantâneo no domínio do tempo. Por esse motivo, o ruído é descrito como médias, conforme será abordado a seguir.

O ruído é caracterizado por ser uma pequena flutuação de grandeza microscópica no sinal elétrico, descrito como médias ao longo do tempo, no domínio do tempo (t). Sua análise é melhor descrita no domínio da frequência (ω), onde torna-se possível conhecer sua contribuição para cada intervalo de frequência. Devido sua aleatoriedade, o ruído não permite a obtenção de uma função f(t), sendo necessário ferramentas matemáticas probabilísticas para extrair funções de auto correlação (ALENCAR, 2009), para que seja possível converter o ruído do domínio do tempo para o domínio da frequência utilizando a transformada de Fourier (IRWIN, 2002). A seguir, será apresentado o processo de conversão do ruído no domínio para o para o domínio da frequência.

Considerando apenas a componente AC do sinal analisado em função do tempo, o ruído se comporta conforme descrito na Figura 16.

Figura 16 - Ruído em um condutor ou semicondutor em função do tempo.



Fonte: Autor

ΔT_p é um intervalo de tempo qualquer estipulado.

A potência média entregue a uma carga pode ser descrita através da equação (40) para sinais contínuos, sendo a potência média o próprio valor instantâneo. Para sinais periódicos, a potência média é dada pela equação **Erro! Fonte de referência não encontrada.**.

$$P = R.I^2 = \frac{V^2}{R} \tag{40}$$

R é a resistência elétrica.

$$P_{med} = \frac{1}{T_p}\int_0^{T_p} P(t).dt \tag{41}$$

Para sinais não periódicos, como é o caso do ruído, são utilizados valores eficazes ou RMS, para tensões e correntes elétricas. As equações (42) e (43) demonstram os valores RMS para tensão e corrente elétrica, respectivamente, que foram obtidas através da igualdade entre as equações (40) e (41).

$$V_{RMS}^2 = \frac{1}{T_p}\int_0^{T_p} V^2(t).dt \tag{42}$$

$$I_{RMS}^2 = \frac{1}{T_p}\int_0^{T_p} I^2(t).\,dt \tag{43}$$

Utilizando as equações (42) e (43) para grandes intervalos de tempo (ΔT), com o intuito de se obter o valor mais próximo da realidade, tem-se a densidade de tensão e corrente elétrica, dada pelas equações (44) e (45).

$$V_{RMS}^2 = \lim_{T_p\to\infty}\frac{1}{T_p}\int_0^{T_p} V^2(t).\,dt \tag{44}$$

$$I_{RMS}^2 = \lim_{T_p\to\infty}\frac{1}{T_p}\int_0^{T_p} I^2(t).\,dt \tag{45}$$

Para aplicar a transformada de Fourier e converter a densidade de potência, tensão ou corrente do domínio do tempo para o domínio da frequência é necessário primeiramente se obter a função de autocorrelação.

O teorema Wiener-Khintchin relaciona a função de autocorrelação com a densidade espectral de ruído na potência, sendo a ponte para a transformação no domínio do tempo (t) para o domínio da frequência (ω) em sinais aleatórios (ALENCAR, 2009).

A partir do teorema de Wiener-Khintchin, é possível determinar a transformada de Fourier para o ruído (ALENCAR, 2009), dado pela equação (46).

$$S(\omega) = \int_{-\infty}^{+\infty} R(\tau).\,e^{-j.\omega.\tau}.\,dt \tag{46}$$

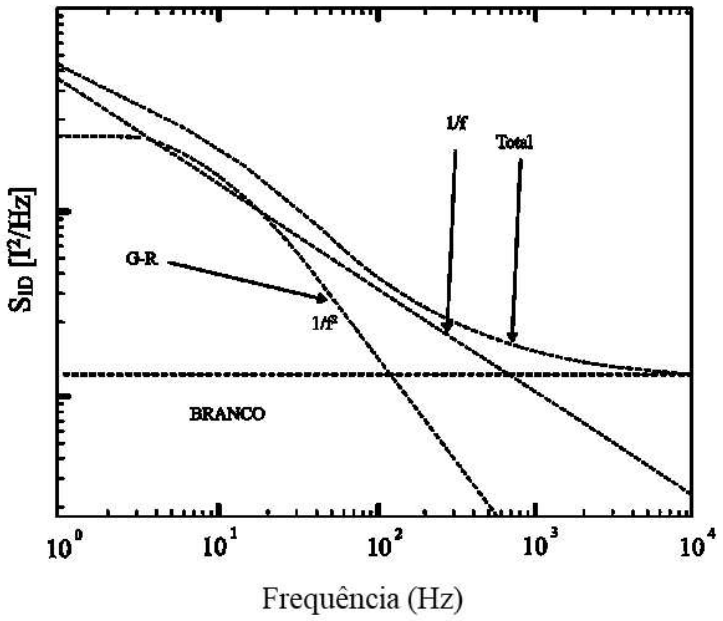
Sendo sua anti transformada a própria função de autocorrelação, dada pela equação (47).

$$R(\tau) = \frac{1}{2.\pi}\int_{-\infty}^{+\infty} S(\omega).\,e^{-j.\omega.\tau}.\,d\omega \tag{47}$$

R(τ) é a função de autocorrelação.

O ruído pode ser do tipo branco, estendendo-se por todo espectro de frequências, ou de baixa frequência, tendo sua densidade espectral de potência (*Power Spectrum Density - PSD*) limitada em frequência (HAARTMAN, et al., 2007). Ambos ruídos têm sua importância, dependendo do tipo de aplicação. No caso desse trabalho, foi dada ênfase ao ruído de baixa frequência do tipo "*flicker*", com seu decaimento em frequência proporcional a $1/f^{\gamma}$. A Figura 17 apresenta a densidade espectral de ruído na corrente elétrica (S_{ID}) em função da frequência, onde mostra a contribuição de cada tipo de ruído no espectro de frequências. Nessa curva, é possível observar que o ruído do tipo $1/f^{\gamma}$ para baixas frequências ($f \leq 10KHz$) é o ruído dominante no espectro de frequências e o ruído de maior interesse nesse trabalho. Os tipos de ruído são descritos a seguir.

Figura 17 - Densidade espectral de ruído na corrente elétrica (S_{ID}) em função da frequência.



Fonte: "adaptado de" (HAARTMAN, et al., 2007).

2.7.1 Ruído branco

O ruído do tipo branco, possui sua densidade espectral de potência (PSD) estendida por toda faixa de frequências, sendo eles, o ruído térmico e o ruído *shot*. Esses ruídos possuem grande importância na área de telecomunicações, com frequências mais altas, na faixa de MHz e até mesmo GHz.

2.7.1.1 Ruído Térmico

O ruído térmico, foi descoberto primeiramente por J. B. Johnson e teoricamente explicado por H. Nyquist em 1928 (HAARTMAN, et al., 2007). Comumente chamado de "*Nyquist noise*" ou "*Johnson noise*" (MOTCHENBACHER; CONNELLY, 1993), o ruído térmico tem sua origem com a vibrações aleatórias provenientes de excitações térmicas dos portadores de carga no interior do material.

A energia térmica adquirida pelos portadores em temperaturas acima de 0K, fazem com que as estruturas atômicas vibrem surgindo uma pequena corrente elétrica flutuante. Embora a corrente média ao longo do tempo, seja igual a zero, instantaneamente essas flutuações faz com que se origine o ruído. A equação (48) define a densidade espectral de ruído térmico na corrente elétrica. Nessa equação, é possível observar a dependência do ruído térmico com a temperatura. O ruído térmico é encontrado em todo resistor ou partes resistivas sem a necessidade de polarização.

$$S_{ID_{term}} = \frac{4.\mathrm{k.T}}{R} \tag{48}$$

S_{IDterm} é a densidade espectral de ruído térmico na corrente elétrica, k a constante de Boltzmann, T a temperatura absoluta e R a resistência do canal do transistor.

2.7.1.2 Ruído Shot

O Ruído *Shot* tem sua origem em regiões onde o fluxo da corrente elétrica não segue um fluxo contínuo de cargas, mas em pacotes de cargas elétricas que são pulsadas no interior do condutor ou resistor. Esse tipo de ruído se torna importante nos casos em que os portadores de cargas necessitam atravessar alguma barreira, assim como em válvulas termiônicas, barreiras schottky e junções PN. Ao travessar a barreira de potencial, os elétrons assumem formas descontínuas, fazendo com que existam flutuações na corrente elétrica. Sua densidade espectral de ruído é dada pela equação (49).

$$S_{ID_{shot}} = 2.\mathrm{q.I} \tag{49}$$

S_{IDshot} é a densidade espectral de ruído shot na corrente elétrica, q é a carga elementar do elétron e I é a corrente elétrica que atravessa a seção transversal do condutor / semicondutor.

2.7.2 Ruído de baixa frequência

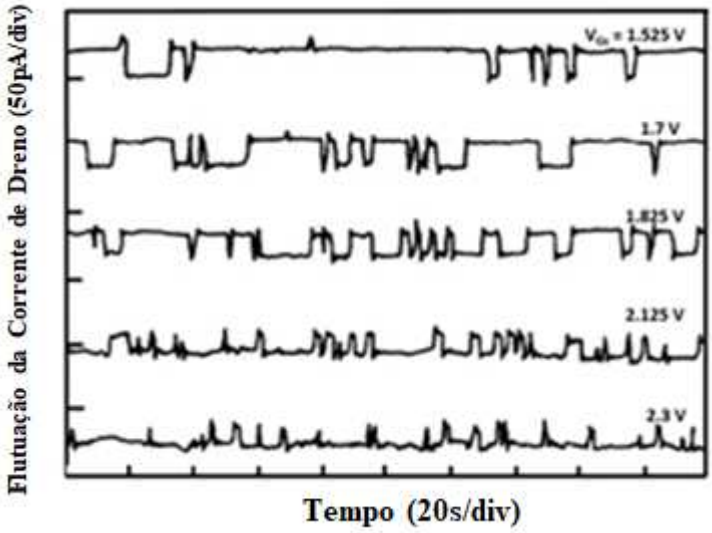
O ruído de baixa frequência, possui sua densidade espectral de potência (PSD) limitada em frequência, sendo eles, o ruído RTS/RTN, o ruído de geração e recombinação com decaimento proporcional a $1/f^2$ e o ruído "*flicker*", com decaimento proporcional à 1/f, alvo de análise nesse trabalho.

2.7.2.1 Ruído RTS/RTN

A primeira publicação de estudos envolvendo o ruído RTS (*Random Telegraph Signal*) ou RTN (*Random Telegraph Noise*) foi feita em 1984 por (RALLS, et al., 1984) em dispositivos submicrométricos com áreas inferiores a $1\mu m^2$. Esses dispositivos permitiram analisar o efeito de um número reduzido de armadilhas devido sua pequena área, sendo possível extrair não só o nível energético das armadilhas, constantes de armadilhamento e desarmadilhamento, como também a posição física delas com alta resolução (SIMOEN, et al., 2016). O ruído RTS é compreendido como sendo o componente básico que compõe o ruído $1/f^{\gamma}$, que será visto mais adiante.

O ruído RTS consiste em chaveamentos temporais discretos em dois níveis (nível alto (τ_H) e nível baixo (τ_L)) na corrente elétrica envolvendo uma pequena quantidade de armadilhas. Tais chaveamentos fazem com que a corrente elétrica atinja dois ou mais estados, conforme pode ser visto na Figura 18.

Figura 18 - RTS em um transistor MOS com área de $0{,}4\mu m^2$, aplicando diversas tensões de porta com V_{DS}=40mV e T=295K.



Fonte: "Adaptado de" (SIMOEN, et al., 2016).

Quando o elétron é aprisionado, a corrente elétrica tem uma diminuição súbita durante um determinado tempo τ_L e o contrário, quando o elétron é liberado, a corrente tem um aumento durante um determinado tempo τ_H. Tanto τ_L como τ_H tem forte dependência com a tensão aplicada à porta, à tensão de dreno e à tensão aplicada ao substrato, como é o alvo de estudo desse trabalho (HAARTMAN, et al., 2007).

A densidade espectral do ruído RTS na corrente elétrica, é dada pela equação (50).

$$S_{ID_{RTS}} = \frac{4.(\Delta I)^2}{(\tau_L + \tau_H).\left[\left(\frac{1}{\tau_L} + \frac{1}{\tau_H}\right)^2 + (2.\pi.f)^2\right]} \tag{50}$$

ΔI é a amplitude do pulso.

2.7.2.2 Ruído de geração e recombinação (g-r)

O ruído de geração e recombinação (g-r), diferentemente do ruído 1/f′, tem sua origem bem definida, proveniente da captura e emissão aleatória de portadores no interior do semicondutor (SIMOEN, et al., 1999), onde tal ruído consiste na oscilação dos níveis energéticos dos portadores, fazendo com que eles migrarem da camada de valência para camada de condução e vice-versa (GUTIERREZ-D, et al., 2001), (HAARTMAN, et al., 2007). O ruído

g-r possui uma forte dependência com a frequência. Seu espectro possui um "*plateau*", seguido por um decaimento equivalente a $1/f^2$. A equação que define a densidade espectral de ruído g-r na corrente elétrica é dada por (51).

$$S_{ID_{g-r}} = \sum_{i=1}^{m} \left(\frac{A.\tau_{GRi}}{1 + (2.\pi.f.\tau_{GRi})^2} \right) \tag{51}$$

$S_{IDg\text{-}r}$ é a densidade espectral de ruído de Geração e Recombinação na corrente elétrica, $A = \overline{4.\Delta N^2}$, sendo $\overline{\Delta N^2}$ a variância dada por: $\frac{1}{\Delta N^2} = \frac{1}{N} = \frac{1}{N_{T,completo}} + \frac{1}{N_{T,vazio}}$, sendo N a quantidade total de armadilhas, $N_{t,completo}$ as armadilhas completas próximas ao nível de Fermi e $N_{t,vazio}$ são as armadilhas vazias próximas ao nível de Fermi.

A constante de tempo de geração e recombinação τ_{GR} é definida pela equação (51).

$$\frac{1}{\tau_{GR}} = \frac{1}{\tau_c} + \frac{1}{\tau_e} \tag{52}$$

τ_c é a constante de tempo de captura e τ_e é a constante de tempo de emissão, obtida através da estatística de Shockley-Read-Hall (SRH) (SHOCKLEY, et al., 1952), dada pelas equações (53) e (54), respectivamente.

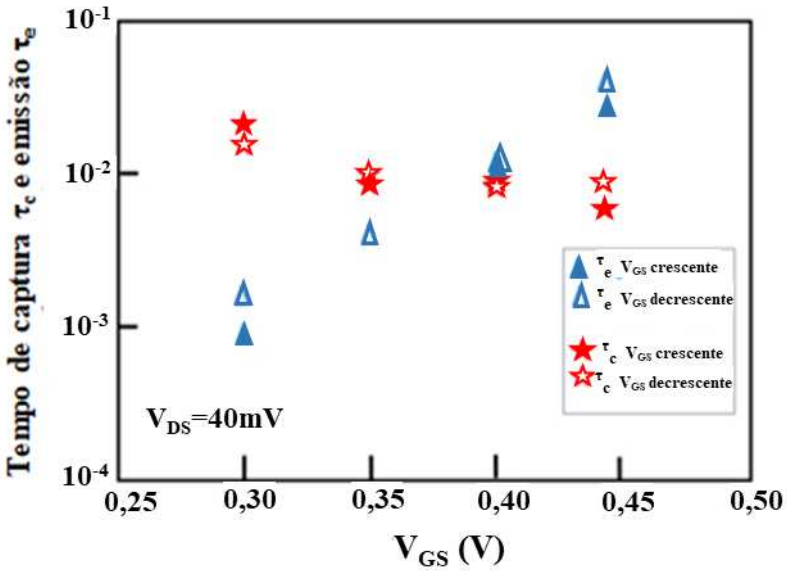
$$\tau_c = \frac{1}{\sigma_T.V_{th}.n_e} \tag{53}$$

$$\tau_e = \frac{\tau_c}{g}.e^{\left(-\frac{E_T - E}{k.T}\right)} \tag{54}$$

σ_T é a frequência de corte da armadilha, V_{th} é a velocidade térmica média, n_e a densidade de elétrons, E_T é o potencial de Fermi na superfície e g a degeneração, normalmente com seu valor sendo 1 para elétrons.

Normalmente é observado que τ_c varia inversamente com a tensão aplicada à porta, ou seja, diminui com o aumento de V_{GS}, e é pouco dependente da temperatura, conforme pode ser observado na Figura 19. O contrário ocorre para τ_e, que tem redução exponencial com a temperatura e aumenta com o aumento de V_{GT} (HAARTMAN, et al., 2007), (SIMOEN, et al., 2016).

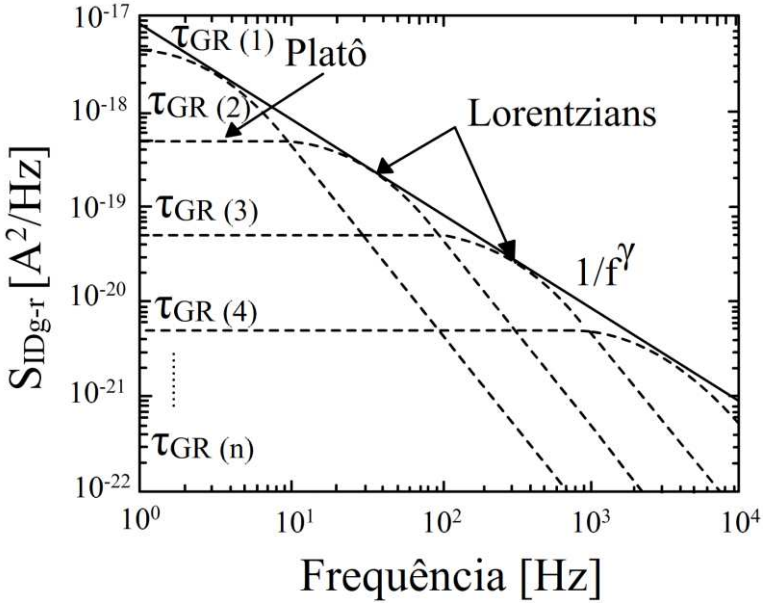
Figura 19 - Tempo de emissão e captura em função de V_{GS} com V_{DS}=40mV.



Fonte: "Adaptado de" (AMARASINGHE, et al., 2000).

Cada armadilha é representada por um "lorentzian", que corresponde ao ruído de geração e recombinação (g-r). A soma de um número grande de armadilhas independentes, compõe o ruído $1/f^{\gamma}$, conforme pode ser observado na Figura 20. É possível observar nessa figura que o aumento na constante de tempo τ_{GR}, acarreta na redução da frequência de canto (f_c) e consequentemente na redução do expoente gama (γ) que compõe e ruído $1/f^{\gamma}$.

Figura 20 - Densidade espectral de ruído de Geração e Recombinação na corrente elétrica (S_{IDGR}) em função da frequência, considerando diversos τ_{GR}.



Fonte: Adaptado de " (HAARTMAN, et al., 2007)".

2.7.2.3 Ruído Flicker

O ruído de baixa frequência (LFN "*Low Frequency Noise*"), denominado "*flicker*", possui um decaimento inversamente proporcional a frequência e equivalente a $1/f^{\gamma}$. O expoente gama (γ) que compõe o ruído $1/f^{\gamma}$ é responsável pela modificação da inclinação da curva de ruído, onde γ pode variar entre 0,7 e 1,3 (HAARTMAN, et al., 2007). O aumento de γ provoca o aumento da inclinação da curva, o contrário ocorre com sua diminuição. Mais adiante será apresentado sua contribuição no espectro de frequências.

Desde meados do século XIX, onde foram verificados pela primeira vez perturbações geradas nas tensões e correntes elétricas em válvulas elétricas (ZIEL, 1954), o LFN começou a ter sua notoriedade. O estudo do LFN tem sido cada vez mais utilizado como ferramenta de diagnóstico para verificação da qualidade das estruturas e, para obtenção de alguns parâmetros elétricos devido à dificuldade de extraí-los em dispositivos que não possuem contato de corpo em tecnologias nanométricas (VANDAMME, et al., 1994).

Em transistores MOS, esses distúrbios são atrelados à flutuação na condutividade (σ) no interior do canal do transistor. A equação (55) expressa condutividade. É possível observar nessa equação, a dependência que a condutividade tem em relação a quantidade de portadores no canal (N) e a mobilidade efetiva (μ_{eff}).

$$\sigma = q.N.\mu_{eff} \tag{55}$$

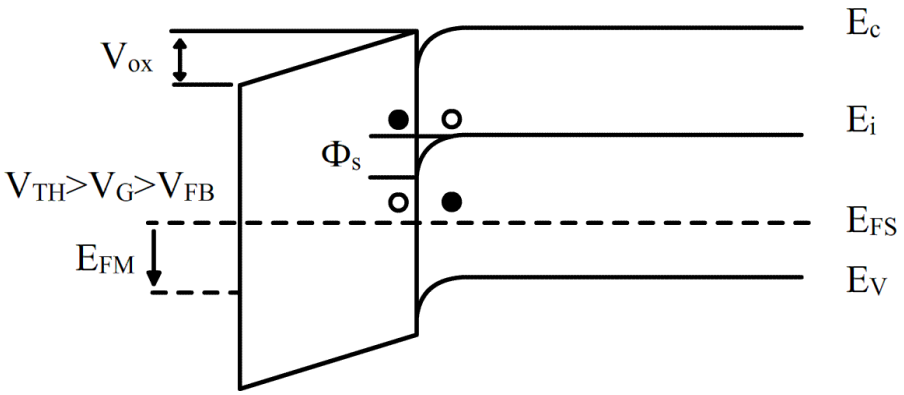
q é a carga elementar do elétron, N é o número de portadores no canal, sendo ($N = C_{ox}.V_{GS}.W_{eff}.L/q$) (VANDAMME, et al., 1994).

A Figura 21 apresenta o armadilhamento (círculos com preenchimento) e desarmadilhamento (círculos sem preenchimento) de portadores, através do diagrama de faixas de energia de um transistor MOS em depleção. A variação do número de portadores no canal (N), causada pelo armadilhamento e desarmadilhamento na interface, faz com que o potencial de superfície Φ_s oscile, onde $\Phi_s = V_{GS}-V_{OX}- \Phi_{ms}$, sendo V_{OX} a queda de potencial no óxido e $\Phi_{ms}= \Phi_{si}- \Phi_m$ a diferença de função trabalho entre metal de porta e semicondutor. A oscilação de Φ_s faz com que module a densidade cargas no canal, dando origem ao ruído S_{VG} (densidade espectral de ruído na tensão elétrica originado a partir da flutuação da tensão de porta induzida pelas armadilhas na região de canal). A (56) relaciona V_{GS} com Φ_s em um transistor MOS convencional.

$$V_{GS} = \frac{Q_{si}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} + \Phi_S + \Phi_{MS} \tag{56}$$

Q_{ss} é o valor efetivo das cargas na interface, Q_{si} as cargas na inversão, dado por: $Q_{si} = C_{ox}(V_{GS} - V_{TH} - n.V)$, sendo V o potencial ao longo do canal.

Figura 21 - Diagrama de faixas de energia de um transistor MOS convencional considerando o armadilhamento e desarmadilhamento de portadores.



Fonte: Autor.

Através da equação (55), é possível observar que tanto as oscilações de N como as de μ_{eff} interferem na condutância, fazendo com que ela oscile também. Duas teorias a respeito da origem do ruído $1/f^{\gamma}$ têm sido largamente estudadas na literatura. A teoria proposta inicialmente por McWhorter, chamada de Δn ou CNF (*Carrier Number Fluctuation*) (MCWHORTER, 1955), onde é atribuído através de medidas experimentais em dispositivos de germânio que o ruído é proveniente das interações entre cargas elétricas localizadas na interface óxido/canal através do mecanismo de armadilhamento e desarmadilhamento. Já a teoria proposta por Hooge, chamada de $\Delta\mu$ ou CMF (*Correlated Mobility Fluctuation*), atribui a origem do ruído à variação na mobilidade dos portadores no canal do transistor (HOOGE, 1969).

Estudos posteriores, inicialmente proposto por (MIKOSHIBA, 1982), mostraram que nem a teoria CNF e nem a CMF abrangem todos os tipos de transistores e suas regiões de operação e que a soma de ambos os efeitos pode ocorrer em um mesmo transistor (CNF+CMF). Porém, um dos grandes desafios no estudo do ruído, está em analisar tais efeitos separadamente (HUNG, et al., 1990). Em 1991, em transistores MOS submicrométricos com áreas bem inferiores a $1\mu m^2$, foi possível uma melhor avaliação dos diversos mecanismos que compõe o ruído através da análise do ruído RTS (*Random Telegraph Signal*). Tal estudo permitiu avaliar o ruído produzido por uma única armadilha, onde essa armadilha é considerada como única componente dos lorentzians que compõem o ruído de Geração e Recombinação (g-r). Tais estudos permitiram chegar à conclusão que as interações de cargas elétricas entre óxido de porta e canal causam além da variação de N, variações na mobilidade (HUNG, et al., 1990) (GHIBAUDO, et al., 1991). O modelo posterior ao modelo de Mikoshiba, proposto por Hung "*Unified Model*" e Ghibaudo consideram ambos os efeitos (CNF)+(CMF). Tais modelos são considerados até então o estado da arte no estudo do modelo de ruído *flicker* (SIMOEN, et al., 2016).

2.7.2.3.1 Modelo CMF

O modelo CMF proposto por Hooge, atribui a origem do ruído à flutuação na mobilidade, sendo sua densidade espectral de ruído na tensão ($S_{VG1/f}$) e na corrente elétrica ($S_{ID1/f}/I_{DS}^2$) dado pelas equações (57) e (58), respectivamente.

$$S_{VG}=\frac{\alpha_H}{f^{\gamma}.N}.\frac{{I_{DS}}^2}{{g_m}^2} \tag{57}$$

$$\frac{S_{ID}}{I_{DS}^2} = \frac{\alpha_H}{f^{\gamma}.N} \tag{58}$$

α_H é o parâmetro de Hooge, dado por: $\alpha_H = \alpha_{latt}.\left(\frac{\mu}{\mu_{latt}}\right)$, sendo α_{latt} constante no valor de 2.10^{-3}, μ a mobilidade do portador e μ_{latt} a mobilidade considerando o espalhamento de rede. Durante um bom tempo α_H foi considerado como sendo uma constante, mas já é entendido que ele varia em uma faixa bem larga entre ~10^{-3} a ~10^{-10} (OMURA, 2013).

Em inversão forte, as cargas de inversão reduzem para $Q_{inv} \approx C_{ox}.(V_{GS} - V_{TH})$, e a relação $\frac{I_{DS}}{g_m} = (V_{GS} - V_{TH}).[1 + \Theta(V_{GS} - V_{TH})]$, que resulta na equação (59), sendo possível observar que S_{VG} varia linearmente com o aumento da tensão de porta V_{GS}, considerando $\Theta \approx 0$ (GHIBAUDO, et al., 1991).

$$S_{VG} = \frac{q.\alpha_H}{f.W.L.C_{ox}}.(V_{GS} - V_{TH}).[1 + \Theta(V_{GS} - V_{TH})]^2 \tag{59}$$

Θ é o fator de atenuação da mobilidade.

2.7.2.3.2 Modelo CNF

O modelo CNF proposto inicialmente por McWhorter, atribui a origem do ruído ao armadilhamento e desarmadilhamento de portadores na interface óxido/canal. Um modelo geral para o ruído CNF, considerando a geração e recombinação por uma carga é dado por (60), sendo a constante de tempo de armadilhamento e desarmadilhamento dado por (61) (HAARTMAN, et al., 2007):

$$S_{Q_{ox}} = \frac{q^2}{W^2.L^2}.\Delta N_{ox}^2.\frac{\tau}{1 + (2.\pi.f.\tau)^2} \tag{60}$$

$$\tau = \tau_0(E)e^{(\alpha_t.z)} \tag{61}$$

$S_{Q_{ox}}$=$S_{V_{fb}}.C_{ox}{}^{2}$, z é a profundidade efetiva das armadilhas no óxido de porta, $\tau_0(E)$ a constante elástica de tempo de armadilhamento e desarmadilhamento do portador na interface em (z=0) equivalente a 10^{-10}s para a interface Si-SiO_2, (SIMOEN, et al., 1999), $\alpha_t = \frac{8.\lambda_t}{k.T}$ é o coeficiente de tunelamento para o qual usualmente é utilizado o valor de $10^8 cm^{-1}$ no caso do silício (SIMOEN, et al., 2007).

A variância (ΔN_{ox}^2) em (60), considerando apenas uma armadilha é dada em (62).

$$\overline{\Delta N_{ox}^2} = \left(1 - f(E)\right)^2 . f(E) + \left(0 - f(E)\right)^2 . \left(1 - f(E)\right) = f(E).\left(1 - f(E)\right) \qquad (62)$$

A variância ΔN_{ox}^2 devido a energia de armadilha (E) é calculada a partir da probabilidade da armadilha estar ocupada, dada pela distribuição da função de Fermi-Dirac (f(E)), conforme pode ser visto abaixo (HAARTMAN, et al., 2007).

$$\mathrm{f}(E) = \frac{1}{\left(1 + e^{\left(E - E_{fn,p}\right)}\right)} \qquad (63)$$

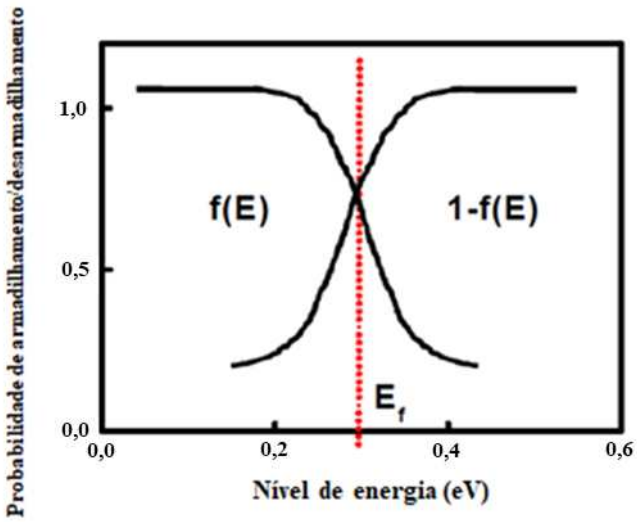
A equação (64), apresenta a densidade espectral de ruído, considerando uma distribuição de cargas em volume e energia.

$$S_{Q_{ox}} = \frac{q^2}{W^2.L^2} \int_{E_v}^{E_c} \int_0^W \int_0^L \int_0^{t_{ox}} 4.\mathrm{N_{it}}(\mathrm{E,x,y,z}).\mathrm{f}(E).\left(1 - f(E)\right).\frac{\tau(\mathrm{x,y,z,E})}{1 + \left(2.\pi.\mathrm{f}.\tau(x,y,z,E)\right)^2}.\mathrm{dx.dy.dz.dE} \qquad (64)$$

O produto de $\mathrm{f(E)}.\left(1 - \mathrm{f(E)}\right)$ tem seu maior valor próximo ao nível de quase-Fermi, conforme pode ser visto na Figura 22 e pode ser substituído por $-\mathrm{k.T.}\frac{\mathrm{df(E)}}{\mathrm{d(E)}}$. Considerando a distribuição da densidade efetiva de armadilhas (N_{it}) uniforme em toda área de porta, a equação (64) pode ser reescrita como sendo:

$$S_{Q_{ox}} = \frac{q^2 k.T}{W^2.L^2} \int_0^{t_{ox}} 4.\mathrm{N_{it}}(\mathrm{z}).\frac{\tau(\mathrm{z})}{1 + \left(2.\pi.\mathrm{f}.\tau(z)\right)^2}.\mathrm{dz} \qquad (65)$$

Figura 22 - Produto de $f(E).\left(1-f(E)\right)$.



Fonte: "Adaptado de" (CHEN, 2010).

Conforme dito anteriormente, a equação (65) leva em consideração que as armadilhas no óxido têm uma distribuição espacial uniforme próxima à interface e que somente as armadilhas com níveis energéticos dentro de poucos k.T irão contribuir para o ruído.

Utilizando o modelo de superposição do ruído de geração e recombinação apresentado em (HAARTMAN, et al., 2007), a equação (64) pode ser evoluída em (66).

$$S_{vfb}=\frac{k.T.q^2.N_{it}}{\alpha_t.f^{\gamma}.W.L.C_{ox}{}^2} \tag{66}$$

S_{vfb} é a densidade espectral de ruído em faixa plana, α_t é uma constante de tunelamento e N_{it} são as armadilhas na interface. Em um óxido com distribuição homogenia de armadilhas, espera-se que o expoente $\gamma \approx 1$ (SIMOEN, et al., 1999).

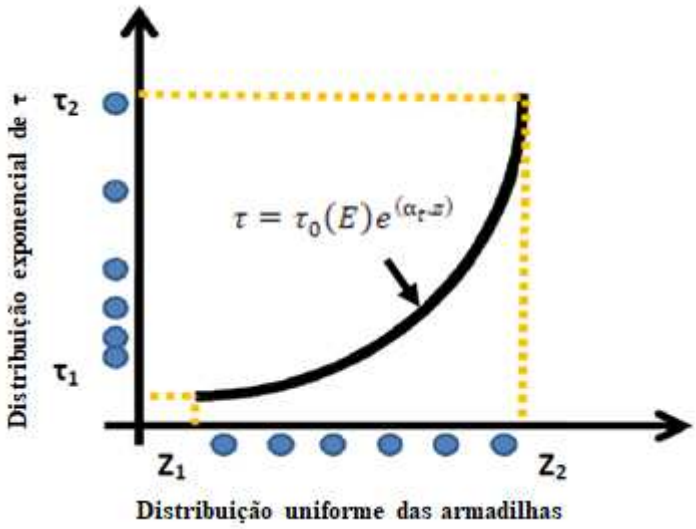
Segundo a teoria CNF, o ruído induzido na porta (S_{VG}) pelo processo de armadilhamento e desarmadilhamento de cargas livres que tunelam na interface entre óxido de porta e canal, é independe da tensão aplicada à porta (V_{GF}), mas inversamente proporcional ao quadrado da capacitância do óxido de porta por unidade de área (C_{ox}).

Considerando um tunelamento de portadores totalmente elástico, isto é, com $\tau_0(E) = 10^{-10}$s para a interface Si/SiO_2 (HAARTMAN, et al., 2007), pode se definir a profundidade efetiva das armadilhas no óxido de porta através da equação (67).

$$z=\alpha_t.\, ln\left(\frac{1}{2.\pi.f.\tau_0}\right) \tag{67}$$

Na prática, considerando uma variação da frequência entre 0,01Hz à 10MHz, que consiste em uma variação na profundidade do óxido de z=0 até z=3nm. Acredita-se, no caso do silício, que apenas as armadilhas que se encontram à uma profundidade z<3nm irão contribuir no ruído, pois, as mais próximas a z=0 serão muito rápidas para adicionar ruído e as acima de z=3nm serão muito lentas. (HAARTMAN, et al., 2007). Conforme pode ser observado na Figura 23, a probabilidade de um elétron penetrar dentro do oxido diminui exponencialmente com a distância da interface.

Figura 23 - Distribuição exponencial de τ em função da distribuição uniforme de armadilhas.



Fonte: "Adaptado de" (CHEN, 2010).

A quantidade de armadilhas (N_{TRAP}) capaz de gerar o ruído $1/f^{\gamma}$, pode ser determinada pela equação (68) (HAARTMAN, et al., 2007).

$$N_{TRAP} = 4.k.T.W.L.N_{it}.z \tag{68}$$

2.7.2.3.3 Modelo CNF+CMF

O modelo proposto por (HUNG, et al., 1990), considera que o processo de armadilhamento e desarmadilhamento de cargas está intimamente ligado como nível de Fermi

dos portadores no canal e a energia da densidade de armadilhas na interface (GHIBAUDO, et al., 1991). O modelo tem início na análise da seção de um transistor, em um eixo de coordenadas, considerando o volume da região do óxido de porta como sendo uma porção infinitesimal dx.dy.dz onde, a parte infinitesimal de x que caminha da região de fonte para a região de dreno, dy é a profundidade e dz a altura. Aplicando-se tensão positiva na porta de um transistor nMOS, conforme dito na seção 2.1, para valores baixos de V_{DS}, surge uma região de depleção. A partir da equação da condutividade (55), pode ser obtida e representada em (69).

$$dR = \frac{1}{\mu_{eff}.q.N(x)}.\frac{dx}{z.W} \tag{69}$$

$$dV = I_{DS}.dR = E(x).dx \tag{70}$$

dR representa uma parte infinitesimal de resistência do canal sendo dR=1/dσ.

A partir da sobreposição das equações (69) e (70), chega-se na expressão para a corrente elétrica dada por (71).

$$I_{DS} = E(x).\mu_{eff}.q.N(x).W \tag{71}$$

A resultante fracional das alterações da corrente elétrica é dada por (72).

$$\frac{\delta I_{DS}}{I_{DS}} = -\left[\frac{1}{dN}.\frac{\delta dN}{\delta dN_{it}} \pm \frac{1}{d\mu_{eff}}.\frac{\delta d\mu_{eff}}{\delta dN_{it}}\right].\delta dN_{it} \tag{72}$$

$dN = N.W.dx$, $dN_{it} = N_{it}.W.dx$, $\frac{1}{\mu_{eff}} = \frac{1}{\mu_{oxf}} + \frac{1}{\mu_n} = \frac{1}{\mu_n} + \alpha_{sch}.N_{it}$, sendo μ_{oxf} o espalhamento da mobilidade limitado pelas cargas no óxido, μ_n o espalhamento da mobilidade limitada por outros mecanismos, α_{sch} é o coeficiente de espalhamento da ordem de $2{,}4.10^{-15}$ Vs/C (HUNG, et al., 1990) e $\frac{\delta\mu_{eff}}{\delta N_{it}} = -\frac{\alpha_{sch}.\mu_{eff}{}^2}{W.dx}$. A taxa $\frac{\delta dN}{\delta dN_{it}}$ é o coeficiente da flutuação no canal que em inversão moderada até inversão forte, considerando ($N>10^{11}cm^{-2}$) tem seu valor

próximo à unidade. O sinal da mobilidade em (72) dependerá se a armadilha está neutra ou carregada quando preenchida.

Através de manipulações matemáticas apresentadas em (HUNG, et al., 1990), a equação (72) pode ser reescrita como sendo (73).

$$S_{\Delta I_{DS}}(x,f) = \left[\frac{\mathrm{I_{DS}}}{\Delta \mathrm{N}}.(1 \mp \alpha_{\mathrm{sch}}.\mu_{\mathrm{eff}}.\mathrm{N})\right].^2 S_{\Delta N_{it}}(x,f) \tag{73}$$

$S_{\Delta N_{it}}$ é a raiz quadrada média (RMS) da densidade espectral de potência da flutuação do número de armadilhas ocupadas em uma área W.dx.

A equação (74) define a densidade espectral de ruído na corrente elétrica (ZIEL, 1954).

$$S_{ID} = \frac{1}{L^2}\int_0^L S_{\Delta I_{DS}}(x,f).\Delta x.dx = \frac{k.T.{I_{DS}}^2}{\alpha_t.f.W.L^2}.\int_0^L N_{it}.\left[\frac{1}{N(x)} \pm \alpha_{\mathrm{sch}}.\mu_{\mathrm{eff}}\right]^2.dx \tag{74}$$

Aplicando-se a sobreposição da equação (73) em (74), tem se (75) (HUNG, et al., 1990).

$$S_{ID} = \frac{k.T.{I_{DS}}^2}{\alpha_t.f^{\gamma}.W.L}.\left[\frac{1}{N(x)} \pm \alpha_{\mathrm{sch}}.\mu_{\mathrm{eff}}\right]^2.N_{it}\,(E_{FN}) \tag{75}$$

Dividindo S_{ID}, dado pela equação (75), pelo quadrado da transcondutância, onde $g_m = dI_{DS}/dV_{GS} = W.\mu_{eff}.C_{ox}.V_{DS}/L$, tem-se S_{VG}, dado por (76).

$$S_{VG} = \frac{k.T.q^2}{\alpha_t.f^{\gamma}.W.L.{C_{ox}}^2}.[1 \pm \alpha_{\mathrm{sch}}.\mu_{\mathrm{eff}}.N]^2.N_{it}(E_{FN}) \tag{76}$$

O artigo (GHIBAUDO, et al., 1991), posterior ao (HUNG, et al., 1990), argumenta que o ruído tem uma relação bem mais complexa com o armadilhamento das cargas na camada de inversão e tem como objetivo generalizar o modelo unificado (*Unified Model*) proposto por K. K. Hung. Os artigos publicados até então, por (REIMBOLD, 1984) e pelo próprio Ghibaudo

(GHIBAUDO, 1984), davam ênfase para o transistor operando em inversão fraca, com tensões abaixo de subliminar onde era possível observar os "*plateaus*" que compõe o ruído g-r e, mais especificamente, quando a densidade espectral de ruído de corrente é proporcional ao quadrado da condutância (GHIBAUDO, 1984).

O artigo de Ghibaudo de 1991, propõe uma investigação mais detalhada da flutuação dos portadores. Deve-se considerar que flutuação das cargas no óxido podem afetar diretamente a mobilidade na inversão. Caso a mobilidade dos portadores seja intimamente ligada com as cargas no óxido, onde a flutuação das cargas no óxido (δQ_{ss}), faz com que induza uma flutuação extra na corrente de dreno. A equação (77), proposta por Ghibaudo, descreve a flutuação na corrente elétrica, considerando ambos CNF+CMF.

$$\delta I_{DS} = \delta V_{FB}.\frac{dI_{DS}}{dV_{FB}}\bigg|\mu_{eff} = const + \delta\mu_{eff}.\frac{dI_{DS}}{d\mu_{eff}}\bigg|V_{FB} = const \tag{77}$$

Por generalidade, é atribuído a mobilidade como sendo: $\frac{1}{\mu_{eff}} = \alpha_{sc}.Q_{ss} + \frac{1}{\mu_{eff0}}$ onde μ_{eff0} é constante ou função das cargas na inversão, campo elétrico, ou da tensão aplicada a porta, α_{sc} é o parâmetro de espalhamento por Coulomb o da ordem de 10^4Vs /C (GHIBAUDO, et al., 1991), que permite obter a corrente elétrica na região ôhmica. Usando $I_{DS} = \frac{W}{L}.\mu_{eff}.Q_i.V_{DS}$, sendo Q_i a carga absoluta na inversão, obtém-se a equação (78) que representa as flutuações de I_{DS}.

$$\delta I_{DS} = -g_m.\delta V_{FB} \pm \alpha_{sc}.I_{DS}.\mu_{eff}.\delta Q_{SS} \tag{78}$$

As equações (79) e (80) apresentam esse modelo para ruído na corrente elétrica e tensão elétrica.

$$\frac{S_{ID}}{{I_{DS}}^2} = \left(1 \pm \alpha_{sc}.\mu_{eff}.C_{ox}.\frac{I_{DS}}{g_m}\right)^2.\frac{{g_m}^2}{{I_{DS}}^2}.S_{V_{FB}} \tag{79}$$

$$S_{V_G} = \left(1 \pm \alpha_{sc}.\mu_{eff}.C_{ox}.\frac{I_{DS}}{g_m}\right)^2.S_{V_{FB}} \tag{80}$$

É possível observar em (80) que se a influência do armadilhamento de desarmadilhamento de portadores na mobilidade for fraca ($\alpha_{sc} \approx 0$), $S_{V_G} \approx S_{V_{FB}}$ e $\frac{S_{ID}}{{I_{DS}}^2} \approx \frac{{g_m}^2}{{I_{DS}}^2}.S_{V_{FB}}$. Caso contrário, μ_{eff} não pode ser negligenciado. S_{V_G} pode ser bem diferente de $S_{V_{FB}}$ e $\frac{S_{ID}}{{I_{DS}}^2}$ pode não variar com $\frac{{g_m}^2}{{I_{DS}}^2}$.

Considerando os efeitos no ruído devido a densidade espectral em ambas as interfaces, que é o caso da tecnologia SOI de camada fina e principalmente aplicações onde utiliza-se tensões aplicadas ao substrato, como é o caso desse trabalho, as equações (79) e (80) podem ser reescritas como sendo:

$$\frac{S_{ID}}{{I_{DS}}^2} = \left(1 \pm \alpha_{sc1}.\mu_{eff}.C_{ox1}.\frac{I_{DS}}{g_{m1}}\right)^2.\frac{{g_{m1}}^2}{{I_{DS}}^2}.S_{V_{FB1}} + \left(1 \pm \alpha_{sc2}.\mu_{eff}.C_{ox2}.\frac{I_{DS}}{g_{m2}}\right)^2.\frac{{g_{m2}}^2}{{I_{DS}}^2}.S_{V_{FB2}} \quad (81)$$

$$S_{V_G} = \left(1 \pm \alpha_{sc1}.\mu_{eff}.C_{ox1}.\frac{I_{DS}}{g_{m1}}\right)^2.S_{V_{FB1}} + \left(1 \pm \alpha_{sc2}.\mu_{eff}.C_{ox2}.\frac{I_{DS}}{g_{m2}}\right)^2.S_{V_{FB2}} \quad (82)$$

$S_{V_{FB1}}$ é o ruído induzido em faixa plana, g_{m1} a transcondutância e α_{sc1} é o parâmetro de espalhamento por Coulomb referentes a interface superior e $S_{V_{FB2}}$, g_{m2} e α_{sc2} os parâmetros referentes a interface inferior.

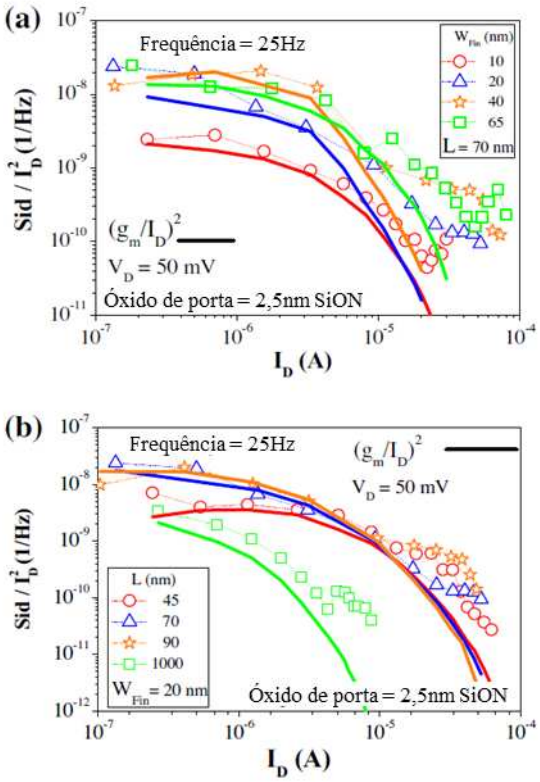
O coeficiente de espalhamento por Coulomb (α_{sc}), que foi definido anteriormente como sendo da ordem de 10^4Vs /C é fortemente impactado pela mobilidade efetiva apresentado anteriormente, como sendo $\frac{1}{\mu_{eff}} = \alpha_{sc}.Q_{ss} + \frac{1}{\mu_{eff0}}$. Já é encontrado na literatura (THEODOROU, et al., 2012) (ZAFARI, et al., 2008), sendo também alvo de estudo nesse trabalho, que μ_{eff} é afetado pelas tensões aplicadas ao substrato, podendo fazer com que α_{sc},

que antes era visto como uma constante, possa variar bastante (THEODOROU, et al., 2012), afetando o ruído induzido na porta até mesmo em faixa plana.

2.8 RUÍDO EM TRANSISTORES DE MÚLTIPLAS PORTAS

Em (DE ANDRADE, et al., 2015) foi estudado experimentalmente o ruído de baixa frequência em transistores FinFET, fabricados em substratos convencionais, canal N de porta tripla, com diversos W_{fin} e diversos L. A Figura 24 apresenta a densidade espectral de ruído normalizado (S_{ID}/I_{DS}^2) em função da corrente de dreno (I_{DS}) com f=25Hz para os transistores FinFET com diferente largura de fin (a) e comprimento de canal (b). Essa figura apresentou uma boa correlação entre as curvas normalizadas de S_{ID}/I_{DS}^2 (Símbolos) e as curvas de $(g_m/I_{DS})^2$ (Linhas contínuas), levando em consideração os diversos W_{fins} (10nm, 20nm, 40nm e 65nm), Figura 24A, e também para os diversos comprimentos de canal (45nm, 70nm, 90nm e 1000nm) Figura 24B, demonstrando a boa relação com o modelo (CNF) para esses dispositivos.

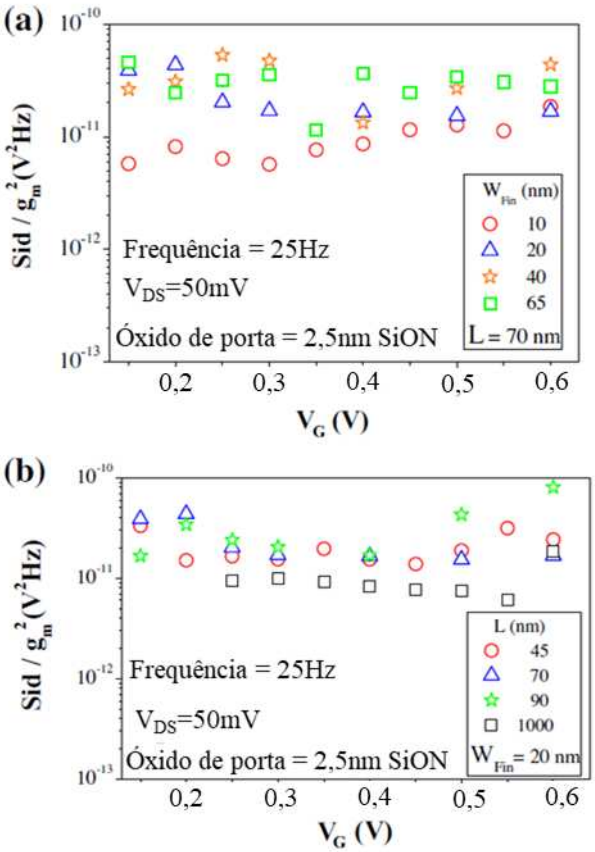
Figura 24 - Densidade espectral de ruído normalizado (S_{ID}/I_{DS}^2) em função da corrente de dreno (I_{DS}) com f=25Hz para os transistores FinFET com diferente largura de fin (a) e comprimento de canal (b).



Fonte: "Adaptado de" (DE ANDRADE, et al., 2015).

A Figura 25 apresenta a densidade espectral de ruído (S_{ID}/g_m^2) ou S_{VG} em função da tensão aplicada a porta (V_G) com *f*=25Hz para transistores FinFET com diferentes larguras de canal, (Figura 25A) e diferentes comprimentos de canal (Figura 25B). Essa figura apresenta uma discreta variação de S_{VG} com as diversas tensões aplicadas a porta, considerando os diversos W_{fin}, e os diversos L, corroborando para a origem do ruído devido ao armadilhamento e desarmadilhamento de portadores na interface Si/SiO_2. Esse trabalho conclui dizendo que a origem do ruído nos FinFETs é devido a variação do número de portadores no canal (CNF).

Figura 25 - Densidade espectral de ruído (S_{ID}/g_m^2) em função da tensão aplicada a porta (V_G) com *f*=25Hz para FinFET *Bulk* com diferente largura de fin (a) e comprimento de canal (b).



Fonte: "Adaptado de" (DE ANDRADE, et al., 2015).

2.9 RUÍDO EM NANOFIOS TRANSISTORES MODO INVERSÃO

Em (KOYAMA, et al., 2013) foram apresentadas medidas de ruído em nanofios transistores SOI de SiNW (*Silicon Nanowire*) com a largura de fin partindo de W=10nm à W=10µm, comprimento de canal (L) partindo de 10nm à 100nm, t_{oxf}=1,25nm, t_{si}=11nm,

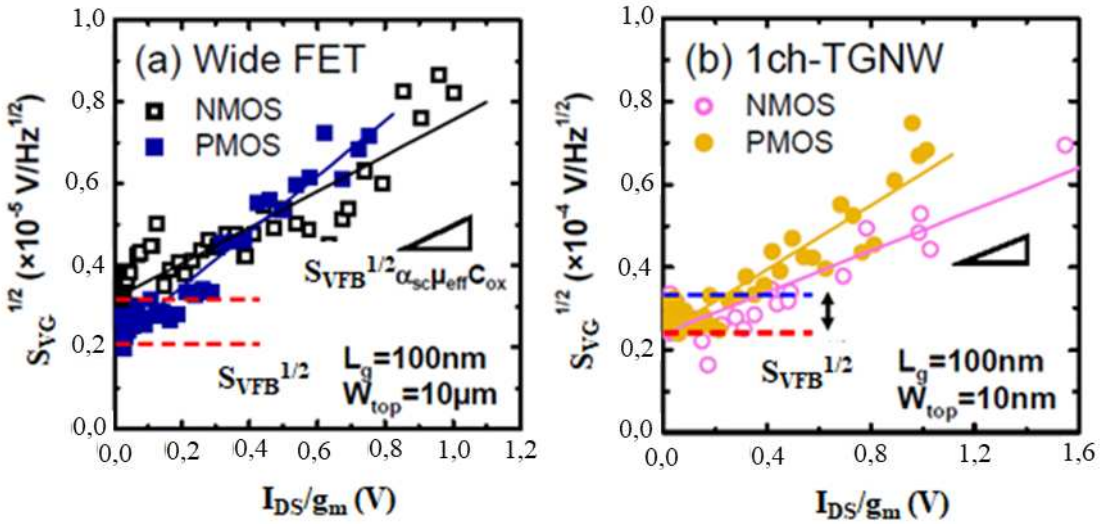
t_{oxb}=145nm em dispositivos de único canal e de 50 canais em paralelo, operando na região triodo com V_{DS}=40mV.

A Figura 26 apresenta a curva de $S_{VG}^{1/2}$ em função de I_{DS}/g_m, variando V_G desde inversão fraca até a inversão forte. As linhas contínuas representam a regressão linear das medidas. Para valores mais baixos de I_{DS}/g_m, S_{VG} é praticamente constante. Nessa região, o termo $(1+\alpha_{sc}.\mu_{eff}.)$ reduz a 1, valendo o modelo CNF. Nesse caso, a equação (79) apresentada na seção 2.7.2.3.3 pode ser expressa por (83) com constante de proporcionalidade β. Nessa região, é extraído o ruído de tensão elétrica em faixa plana (S_{vfb}).

$$\frac{S_{ID}}{{I_{DS}}^2} \approx \beta \left(\frac{g_m}{I_{DS}}\right)^2 \approx \left(\frac{g_m}{I_{DS}}\right)^2 .S_{vfb} \tag{83}$$

Acima da tensão de faixa plana, a linha contínua que representa $S_{VG}^{1/2}$ em função de I_{DS}/g_m variando V_g, apresenta crescimento linear, desde inversão fraca até a inversão forte, confirmando a degradação da mobilidade por efeito Coulomb e que a relação $\alpha_{sc}.\mu_{eff}$ são constantes para toda faixa. Esse resultado não está de acordo com as teorias apresentadas até então, uma vez que a variação de μ_{eff} não é constante para o dispositivo operando de inversão fraca à inversão forte (HUNG, et al., 1990). Ao contrário, μ_{eff} diminui em inversão forte, devido à rugosidade da superfície (KOYAMA, et al., 2012). O incremento de V_G, faz com que a condução se aproxime da interface óxido/silício, onde a rugosidade existente degrada a mobilidade. O coeficiente de degradação α_{sc} também sofre redução em inversão forte.

Figura 26 - (Símbolos) $S_{VG}^{1/2}$ em função das características de I_{DS}/g_m e (linhas) a regressão linear para extração de S_{VG} em faixa plana a parâmetro de espalhamento por Coulomb $\alpha_{sc}.\mu_{eff}$ em ambos, tipo n e tipo p (a) largo e (b) 1 canal-TGNW FETs.



Fonte: "adaptado de" (KOYAMA, et al., 2012).

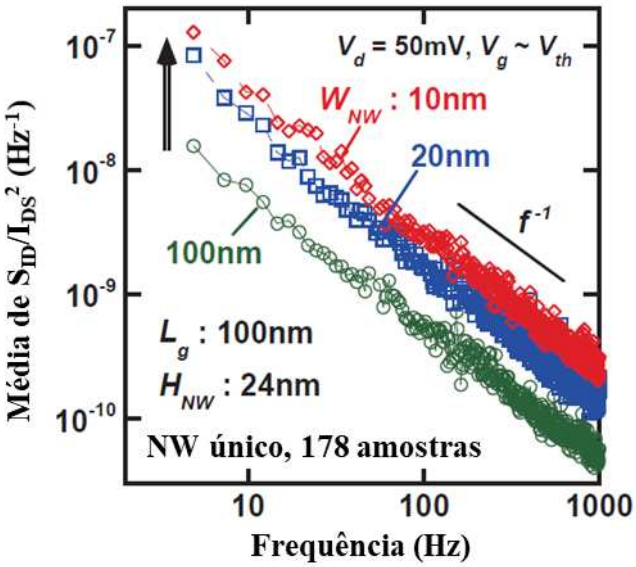
O artigo conclui dizendo que o ruído de baixa frequência nesses transistores tem uma boa relação com o modelo de ruído originário da variação do número de portadores considerando a variação na mobilidade (CNF+CMF).

2.9.1 Estudo do ruído considerando as variações na geometria

Em (SAITOH, et al., 2013) é feito um estudo sistemático da dependência do comprimento de canal no ruído 1/*f* e na amplitude do ruído RTN em nanofios transistores SOI com diversas larguras aleta (W_{fin}), diversos comprimentos de canal (L), e diversas alturas de aleta (H_{fin}), diferentes dopagens e orientações cristalográficas. Foram medidos 178 dispositivos em um *wafer* de 300mm.

A Figura 27 apresenta a curva de S_{ID}/I_{DS}^2 com $V_G \approx V_{TH}$ em nanofios transistores de canal único, com dopagens próximas ao valor intrínseco com L_g=100nm e H_{NW}=24nm. Nesta curva, foi possível verificar o aumento do ruído normalizado com a diminuição de W_{NW} de acordo com a teoria (HUNG, et al., 1990), apresentado na seção 2.7.2.3.2. Onde L_g é o comprimento do canal do nanofio transistor, W_{NW} é a largura do canal e H_{NW} é a altura.

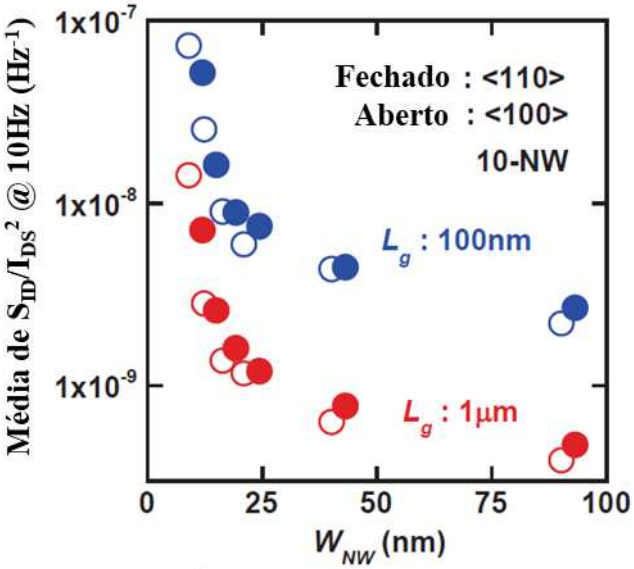
Figura 27 - Curva de S_{ID}/I_{DS}^2 em função da frequência com $V_G \approx V_{TH}$ em nanofios transistores sem dopagem com L=100nm e H_{fin}=24nm.



Fonte: "Adaptado de" (SAITOH, et al., 2013).

A Figura 28 apresenta a curva de S_{ID}/I_{DS}^2 em função de W_{fin} com L_g de 100nm e 1µm, com 10 canais em paralelo. É possível observar nessa figura, o aumento do ruído com a redução de W_{fin} e L, conforme pode ser observado nas equações apresentadas na teoria na seção 2.7.2, reforçando o que foi apresentado anteriormente.

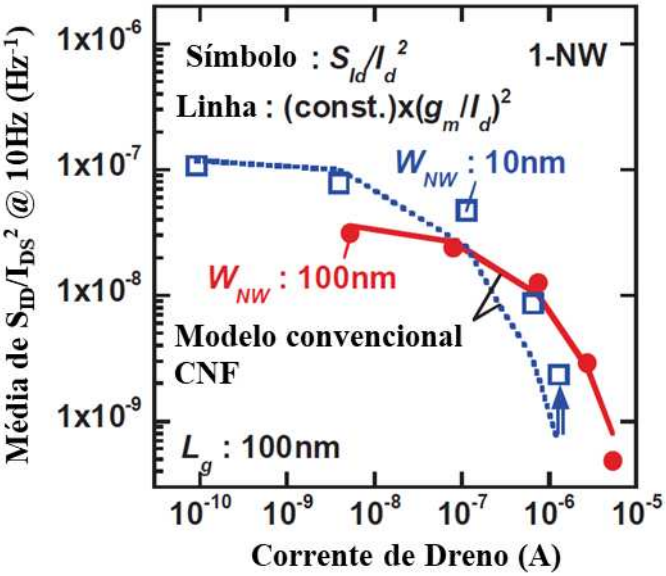
Figura 28 - Curva de S_{ID}/I_{DS}^2 em função de W_{fin} com L_g de 100nm e 1µm de canal único e 10 canais.



Fonte: "Adaptado de" (SAITOH, et al., 2013).

A Figura 29 apresenta a Curva de S_{ID}/I_{DS}^2 em função da corrente de dreno com L=100nm e W_{fin} de 10nm e 100nm. Nessa curva, a densidade espectral de ruído normalizado apresentou uma boa correlação com a transcondutância g_m (Linhas tracejadas), concluindo que a origem do ruído devido a variação do número de portadores no canal CNF (ΔN).

Figura 29 - Curva de S_{ID}/I_{DS}^2 em função da corrente de dreno com L=100nm e W_{fin} de 10nm e 100nm.



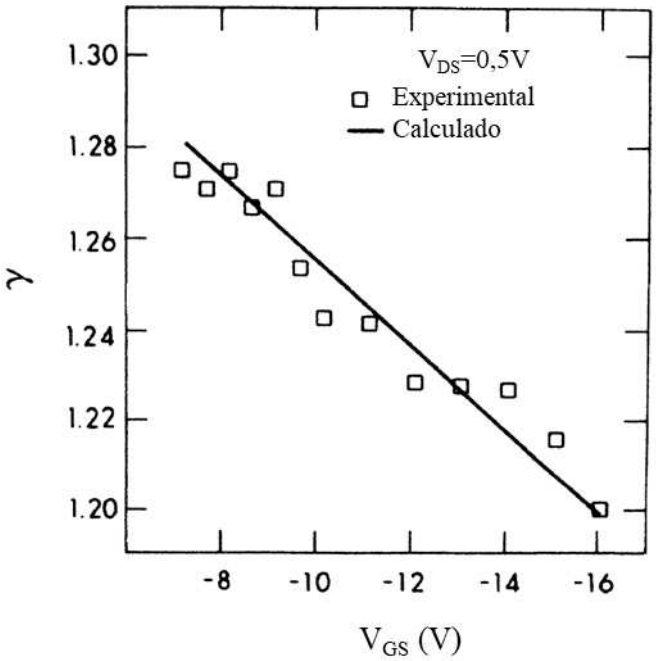
Fonte: "Adaptado de" (SAITOH, et al., 2013).

2.9.2 Expoente gama (γ)

O expoente gama (γ) que compõe o ruído $1/f^{\gamma}$ é responsável pela modificação da inclinação da curva de ruído, conforme dito anteriormente. Em um primeiro estudo mais aprofundado (SURYA, et al., 1986), levando em consideração transistores p-MOSFETs, foi possível observar a diminuição de γ com o aumento de V_G (V_G mais negativo no caso do p-MOSFET utilizado) com pode se observar na Figura 30.

A diminuição de γ é atribuída a perda de energia das armadilhas mais profundas (maiores z) com o aumento de V_G onde tais armadilhas são responsáveis pelas constantes de tempo mais longas (SIMOEN, et al., 2007). A diminuição da inclinação da curva, faz com que o ruído diminua em baixas frequências, conforme foi observado por (SURYA, et al., 1986) e, também na parte experimental deste trabalho, que será visto posteriormente.

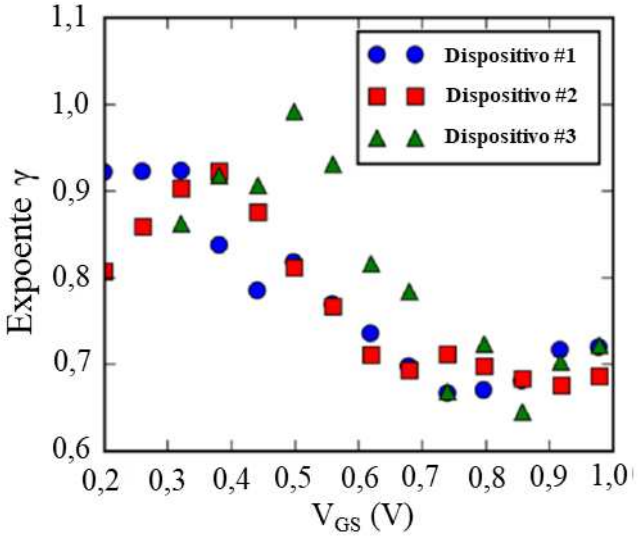
Figura 30 - Dados experimentais do expoente γ no ruído $1/f^{\gamma}$ em função da tensão de porta. A linha sólida representa o valor teórico.



Fonte: "Adaptado de" (SURYA, et al., 1986).

O artigo em (THEODOROU, et al., 2017) também analisa gama em nanofios transistores MOS com L=10nm e L=100nm e W_{eff}=520nm e 2,62µm. A Figura 31 apresenta a curva de γ extraída em função da tensão de porta V_G partindo de 0,2V à 1V. Nessa curva, é possível observar uma diminuição de γ com o aumento de V_G. Para valores mais elevados de V_G, γ=0,7, indicando que a densidade das armadilhas não apresenta uniformidade com a profundidade, conforme sugerira a equação proposta por McWhorter apresentada na seção 2.7.2.3.2. Ela é maior próxima a interface e vai diminuindo para dentro do óxido de porta (JAYARAMAN, et al., 1989). As armadilhas menos energéticas estão praticamente distribuídas uniformemente com inversão fraca e com γ=0,9. Enquanto as armadilhas mais energéticas estão mais concentradas próximo a interface com γ=0,7. O artigo conclui dizendo que todos os dispositivos responderam de forma semelhante.

Figura 31 - Extração do expoente γ em função da tensão aplicada à porta para todos os nanofios transistores medidos.

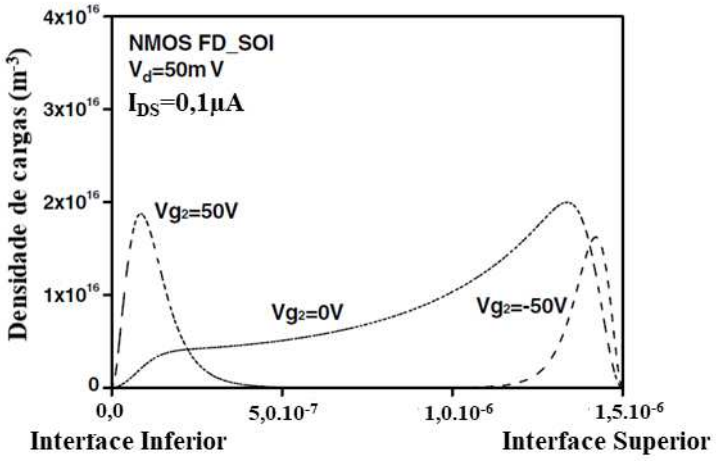


Fonte: "Adaptado de" (THEODOROU, et al., 2017).

2.9.3 Estudo do ruído aplicando tensões ao substrato

Em (ZAFARI, et al., 2007), foi analisado o ruído de baixa frequência em transistores SOI de múltiplas portas aplicando diferentes tensões a porta e ao substrato, dando ênfase aos efeitos de acoplamento capacitivo desse transistor e levando em consideração que o efeito de acoplamento é o único parâmetro que afeta o ruído para as diferentes tensões aplicadas ao substrato. Este artigo, a partir da análise de distribuição da densidade de elétrons no interior do canal (Figura 32), conclui dizendo que as tensões positivas aplicadas ao substrato, atraem a condução para próximo a interface inferior da aleta, sendo a densidade espectral de ruído preponderante no transistor, a gerada pelas armadilhas de interface nessa região. O oposto ocorre com tensões negativas aplicadas ao substrato.

Figura 32 - Distribuição da densidade de elétrons em função do filme de silício de um FD N-MOSFET com t_{si}=15nm para V_{G2}= -50V, 0V, 50V.

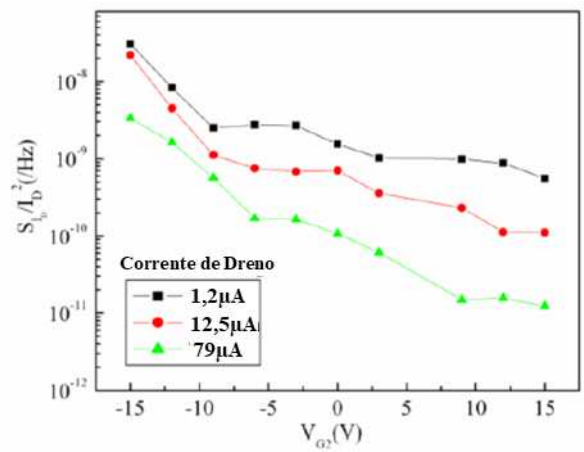


Fonte: "Adaptado de" (ZAFARI, et al., 2007).

Em (THEODOROU, et al., 2012), foi estudado o ruído de baixa frequência de um transistor SOI planar totalmente depletado da tecnologia de 28nm, espessura da camada de silício de t_{si}=7nm e de óxido enterrado de camada fina (t_{oxb}=25nm). Nesse artigo, através comparações entre resultados simulados e experimentais, foi relacionado uma forte dependência do ruído de baixa frequência com as polarizações das interfaces superiores (Si/High-K dielétrico) e inferior (Si/SiO_2), justificadas pelos efeitos de acoplamento capacitivo, assim como verificado em (ZAFARI, et al., 2007) e os efeitos dos espalhamentos da mobilidade por efeito Coulomb. Foi visto que a principal dependência está entre a distância do centroide da distribuição de cargas em relação as interfaces, que são controladas pelas tensões aplicadas na interface frontal e traseira e como essas distâncias afetam o coeficiente do espalhamento da mobilidade por Coulomb (α_{sc}).

A Figura 33 apresenta o fator de acoplamento (c_1), dado pela equação (84) de um transistor SOI, totalmente depletado em relação as diversas tensões aplicadas ao substrato. Foi visto que essa relação fica em torno de 100 para a interface traseira em depleção com inversões fracas (V_{G2}>0), indo essa relação para em torno de 10^4 para valores fortes de acumulação (V_{G2}<<0). Na situação de forte de acumulação, o ruído proveniente da segunda interface pode ser praticamente eliminado. Foi verificado também a independência de c_1 em relação a correntes de dreno, principalmente para as baixas correntes.

Figura 33 - Fator de acoplamento c_1 e dependência de V_{G1} em V_{G2} para várias correntes.

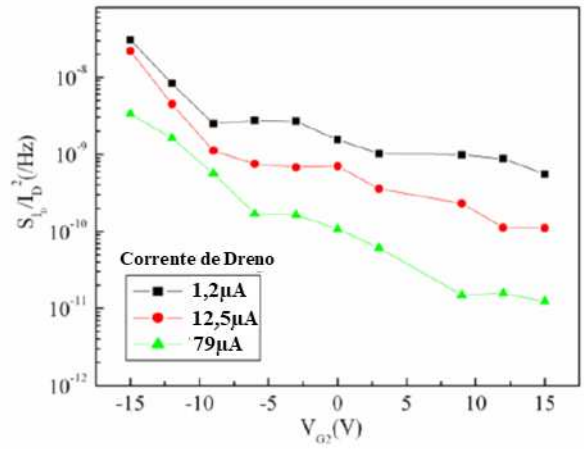


Fonte: "Adaptado de" (THEODOROU, et al., 2012).

$$c_1 = \frac{\left(\frac{g_{m1}}{I_{DS}}\right)^2}{\left(\frac{g_{m2}}{I_{DS}}\right)^2} \tag{84}$$

A Figura 34 apresenta o ruído normalizado (S_{ID}/I_{DS}^2) em função de V_{G2} para diferentes correntes de dreno. Nessa figura, é possível observar o aumento do ruído para tensões negativas aplicadas ao substrato e tendo seu valor ainda mais intensificado nas tensões ainda mais negativas, mostrando a forte influência dos efeitos de acoplamento e sendo ainda mais expressivo para as maiores correntes de dreno. Comportamento semelhante ao da Figura 33, para as tensões negativas.

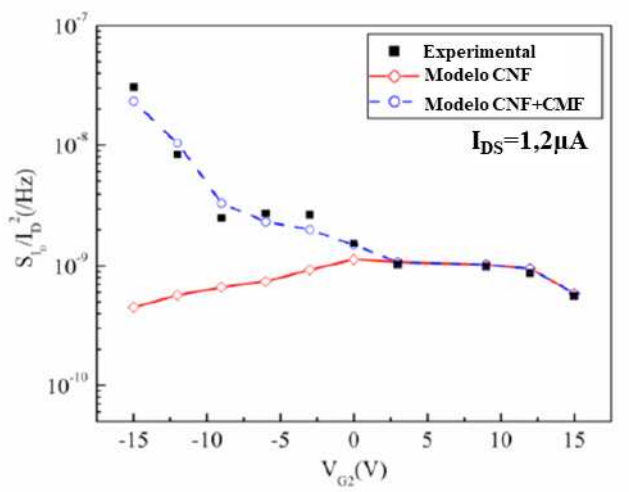
Figura 34 - Ruído normalizado (S_{ID}/I_{DS}^2) em função de V_{G2} para diferentes correntes de dreno.



Fonte: "Adaptado de" (THEODOROU, et al., 2012).

O modelo CNF apresentado na Figura 35, considerando a interface traseira em acumulação forte, sem o modelo correlacionado (CNF+CMF), não explica o aumento de ruído para as tensões negativas aplicadas ao substrato como foi possível ver na Figura 34 nas curvas de S_{ID}/I_{DS}^2. Porém, observando a Figura 35, considerando o modelo CNF+CMF, as curvas apresentaram uma boa correlação. Para tensões positivas, o comportamento do ruído seguiu o modelo puramente CNF considerando negligível os efeitos de corpo nesses transistores.

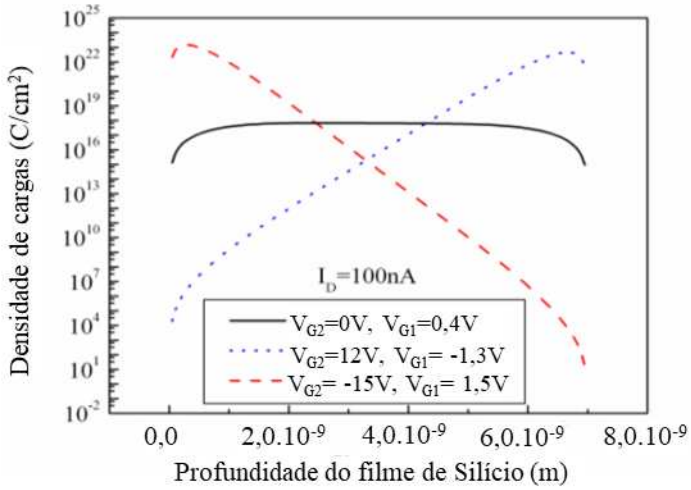
Figura 35 - Comparação da curva experimental de S_{ID}/I_{DS}^2 em função de V_{G2} com os resultados do modelo CNF para constante S_{vfb1} e S_{vfb2} e com resultado do modelo CNF+CMF com o parâmetro RCS.



Fonte: “Adaptado de” (THEODOROU, et al., 2012).

A Figura 36 apresenta a simulação da densidade de cargas em função da profundidade do filme de silício para uma corrente constante de dreno, mostrando uma forte dependência da densidade de cargas com as tensões aplicadas ao substrato.

Figura 36 - Resultados simulados da densidade de cargas em função da profundida do filme de silício com diferentes tensões aplicadas ao substrato e considerando uma corrente de dreno constante.



Fonte: "Adaptado de" (THEODOROU, et al., 2012).

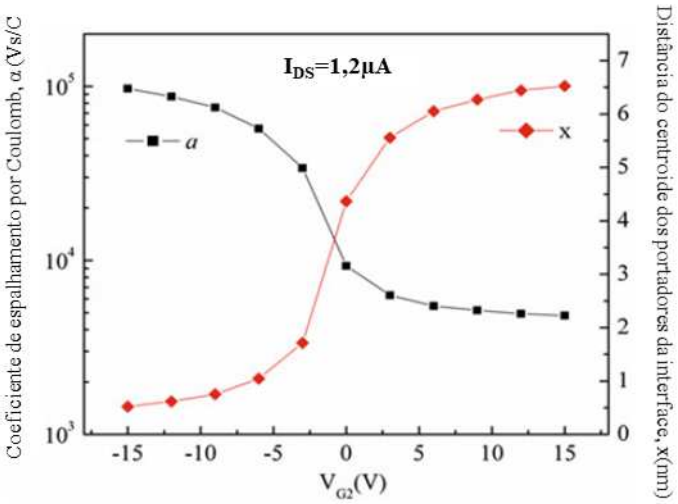
A equação (85) (PLANES, et al., 2012), considera o espalhamento remoto por Coulomb (*RCS – Remote Coulomb Scattering*) foi utilizada para explicar os efeitos de corpo que provocaram o aumento do ruído para tensões negativas conforme abordado acima.

$$\alpha_{sc} = \frac{\alpha_0}{\left(1 + \frac{x}{\lambda_C}\right)^2} \tag{85}$$

$\alpha_0 = 10^5 Vs/C$ aproximadamente, no caso dos dispositivos estudados, x é a distância do centroide dos portadores em relação as interfaces e $\lambda_C = 1{,}2.10^{-9} m$.

A Figura 37 foi obtida através da equação (85) e mostra os resultados calculados para a distribuição do centroide de portadores na distância x e o coeficiente de espalhamento por Coulomb α em função da tensão aplicada ao substrato V_{G2}, com a corrente de dreno constante. Como pode ser observado nessa figura, a forte dependência de α com a distância x. Isto é, α atinge seus maiores valores próximo a interface frontal (x≈0,5nm) e seus menores valores próximo a interface traseira (x≈6,5nm).

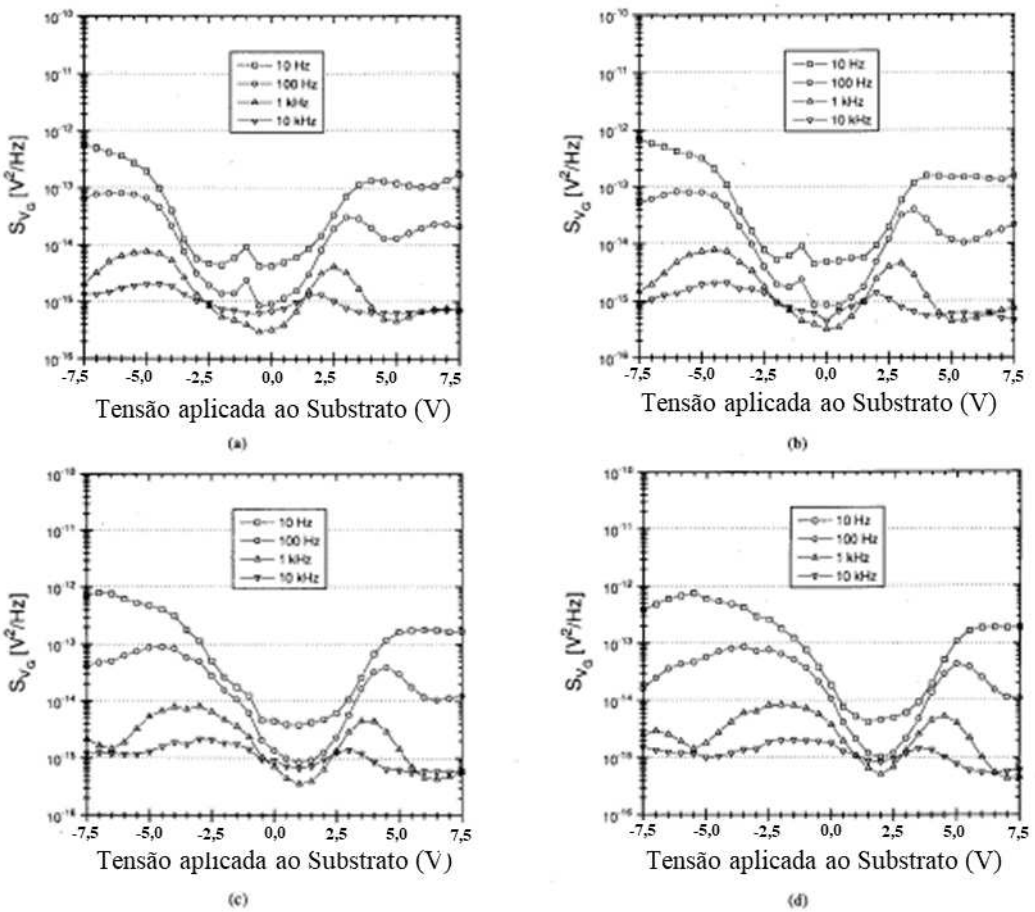
Figura 37 - Resultados calculados para a distribuição do centroide de portadores na distância x e o coeficiente de espalhamento por Coulomb α_{sc} em função da tensão aplicada ao substrato V_{G2}, com a corrente de dreno constante.



Fonte: "Adaptado de" (THEODOROU, et al., 2012).

Em (MATLOUBIAN, 1994), um estudo de ruído de baixa frequência, aplicando tensões ao substrato em transistores SOI pMOSFET's, totalmente depletados e com várias concentrações de dopantes. Os transistores possuem espessura do óxido frontal t_{oxf}=20nm, óxido traseiro t_{oxb}=350nm e filme de silício de t_{si}=100nm. Transistores com óxido de porta superior e óxido de porta inferior de 1μm e filme de silício de 100nm também foram utilizados. Os transistores possuem quatro tipos de implantes A: $1x10^{11}P/cm^2$, B: $2\text{-}4x10^{15}cm^3$, C: $1{,}6x10^{11}P/cm^2$ e C: $4{,}8x10^{11}P/cm^2$ de forma a obter diversas tensões de limiar. A Figura 38 apresenta esses dispositivos. Nela, é possível observar para todos os implantes, o aumento do ruído. Tanto para tensões negativas, como para tensões positivas. Isso ocorreu pelo fato de tensões negativas deslocarem a condução para próximo da interface superior onde existe a interação com as armadilhas nessa região. O mesmo ocorre na interface inferior para tensões positivas. O menor nível de ruído acontece para tensões de substrato próximas de zero. Nessa região, a densidade de elétrons está em sua maioria no interior do filme de silício, sendo esse governado pelo ruído de geração e recombinação. O ruído apresenta sua maior magnitude em tensões negativas, onde a qualidade da interface é inferior.

Figura 38 - Curva de S_{VG} em função da tensão aplicada ao substrato para transistores SOI PMOSFET's com W/L=100/10, V_{DS}= -1,0V e V_{GS} ajustado para uma corrente de dreno de 10µA. Todos os dispositivos são em SIMOX wafer com 350nm de óxido enterrado e filme de silício de 100nm. As doses implantadas no canal são (a) $1{,}0.10^{11}$, (b) sem aplicação, (c) $2{,}6.10^{11}$ e (d) $4{,}8.10^{11}$.

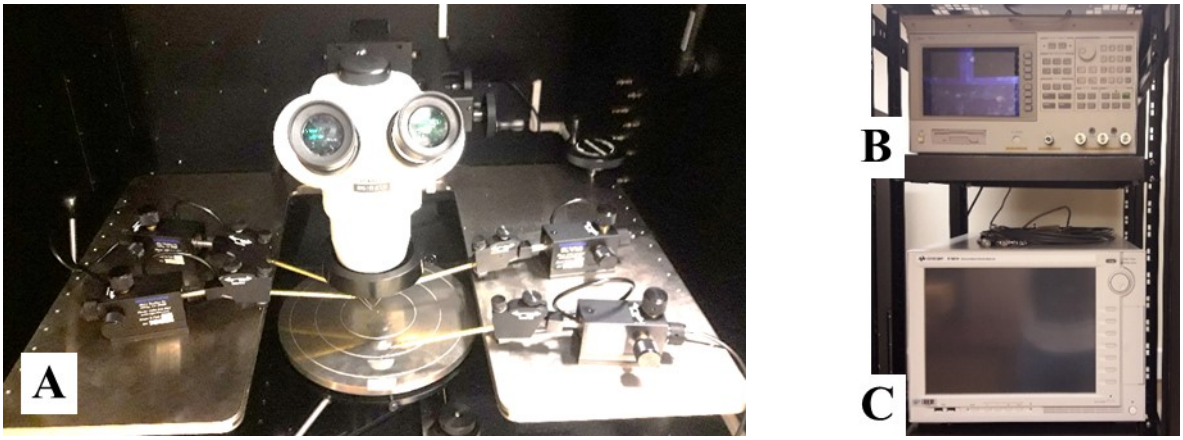


Fonte: "Adaptado de" (MATLOUBIAN, 1994).

3 RESULTADOS EXPERIMENTAIS

Este capítulo apresenta os resultados experimentais extraídos de nanofios transistores de múltiplas portas em formato Ω, múltiplos canais (nanofios transistores com 10 canais em paralelo) e canal único, totalmente depletados, canal n operando em modo inversão, fabricados no CEA-LETI. As medidas experimentais foram realizadas utilizando o microprovador Signatone (Figura 39A) para posicionamento da amostra e acesso aos terminais do nanofio transistor, o Analisador de espectro Agilent 4395A (Figura 39B) para a obtenção do ruído, o analisador de dispositivos semicondutores Keysight B1500A (Figura 39C) para aquisição das curvas DC e o amplificador de baixo ruído SR560 da Stanford Reasearch para o isolamento e amplificação do sinal AC (ruído). Todos equipamentos disponíveis no laboratório de medidas do Centro Universitário FEI. A configuração dos equipamentos é apresentada a seguir.

Figura 39 - Microprovador Signatone (A), Analisador de espetro Agilent 4395A (B) e equipamento Keysight B1500A (C).



Fonte: Autor

A Tabela 1 apresenta os dispositivos utilizados nas medidas experimentais. Os dispositivos mencionados na tabela *Tabela 1* foram polarizados na região triodo com V_{DS}=50mV e foram aplicadas diversas tensões de porta e substrato.

Tabela 1 - Nanofios transistores utilizados nas medidas DC e de ruído.

L (nm)	W_{fin} (nm)	V_{GT} (mV)	V_{BS} (V)	Canais
200	15	0 a 800	-100 a 100	1
400	15	0 a 800	-40 a 40	1
1000	15	0 a 800	0	1
1000	45	0 a 800	-40 a 40	1
10000	20	0 a 200	-40 a 40	10
10000	45	0 a 200	-40 a 40	10
10000	65	0 a 200	0	10
10000	105	0 a 200	-40 a 40	10

Fonte: Autor

3.1 NANOFIOS TRANSISTORES UTILIZADOS NAS MEDIDAS EXPERIMENTAIS

Tanto nas simulações, como nas medidas experimentais, conforme dito anteriormente, foi utilizado nanofios transistores SOI com óxido de porta composto de HfSiON/TiN e espessura t_{oxf}=1,4nm, espessura da camada de silício t_{si}=H_{fin}=11nm, dopagem do canal próximo ao intrínseco de $1\times10^{15}cm^{-3}$ e espessura do óxido enterrado t_{oxb}=145nm.

Os transistores medidos em laboratório possuem diversos comprimentos de canal (L=200nm, L=400nm, L=1µm e L=10µm) e diversas larguras com W_{fin} variando de 15nm a 105nm.

3.2 MÉTODO DE EXTRAÇÃO DO RUÍDO

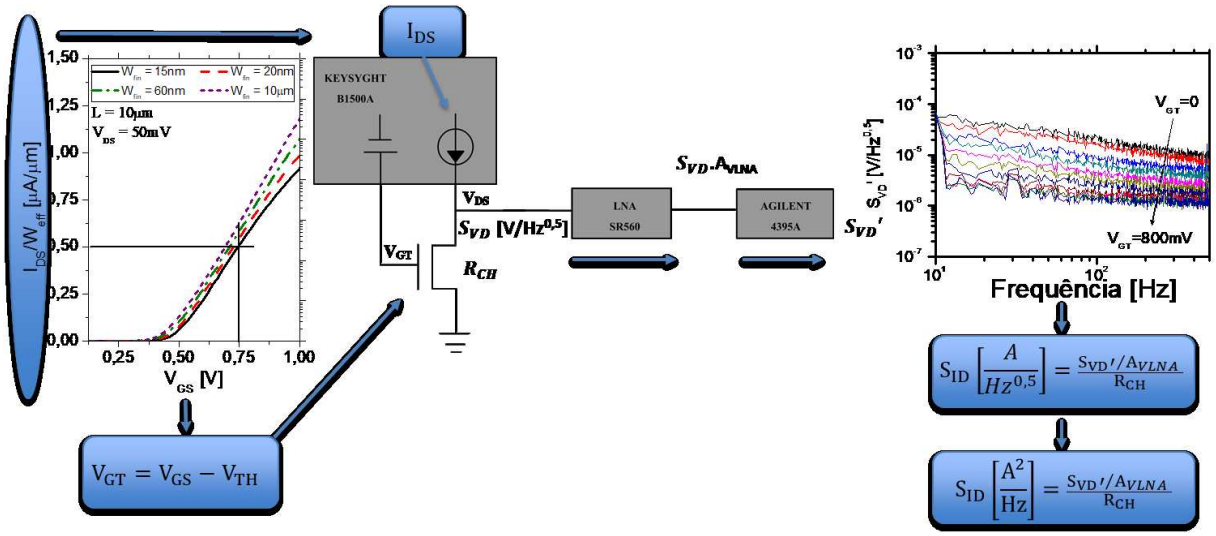
Para a extração do ruído, foi utilizado a configuração dos equipamentos conforme pode ser visualizado na Figura 40. O equipamento Keysight B1500 foi utilizado para a polarização DC do nanofio transistor, o amplificador de baixo ruído (LNA SR560) foi utilizado para amplificar a oscilação do sinal (ruído) que se sobrepõe à tensão DC e também remover o nível DC do sinal. A oscilação é quem determina o ruído no domínio do tempo gerado pelo nanofio transistor. O analisador de espectro Agilent 4395A foi utilizado para converter a oscilação AC no domínio do tempo, para o domínio da frequência de forma a facilitar o estudo do ruído e saber em quais frequências o ruído é mais dominante.

Para as medidas de ruído, os dispositivos foram polarizados na região triodo com V_{DS}=50mV. A polarização na região triodo foi escolhida de forma a evitar os efeitos

indesejáveis de segunda ordem promovidos pela região onde ocorre o "pinch-off". A tensão aplicada a porta (V_{GT}) é fixada para cada medida de ruído e, para que o sinal se estabilize, é aguardado em média 200 segundos. Diversas medidas de ruído foram efetuadas com V_{GT} variando desde a inversão fraca com V_{GT}=0mV até a inversão forte com V_{GT}=800mV em grande parte dos nanofios transistores. A oscilação da tensão no canal do transistor no domínio do tempo para cada V_{GT} é amplificada e transformada para o domínio da frequência, resultando na densidade espectral de ruído entre o dreno e a fonte (S_{VD}) que é dada em $V/Hz^{0,5}$ pelo analisador de espectro. O ruído resultante, é obtido através de medias que o próprio analisador de espectro executa entre diversas amostras do mesmo sinal. No caso das medidas efetuadas nos nanofios transistores desse trabalho, o ruído resultante foi extraído após 20 medias, garantindo uma boa estabilidade do sinal.

De posse de S_{VD}, dado pelo próprio analisador de espectro, através de manipulações matemáticas são obtidos S_{ID}, S_{ID}/I_{DS}^2 e S_{VG} ($S_{VG}= S_{ID}/g_m^2$). Onde, dependendo do caso, facilita a interpretação e análise do ruído. Abaixo, a Figura 40 representa o processo completo de extração do ruído.

Figura 40 - Processo de extração da densidade de ruído no canal do transistor S_{VD} e obtenção da densidade espectral de ruído na corrente elétrica (S_{ID}).

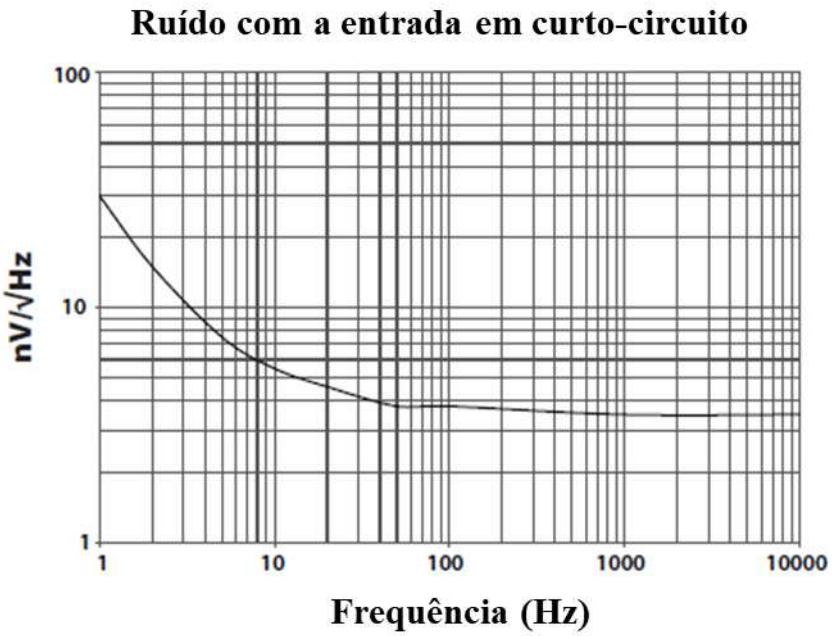


Fonte: Autor

R_{CH} é a resistência elétrica do canal, A_{VLNA} é o ganho do LNA e S_{VD}' é a densidade espectral de ruído no canal amplificado.

Pelo fato de ruído ser de uma grandeza microscópica, algumas considerações foram levadas para sua extração de forma confiável. A Figura 41 apresenta o ruído de entrada do amplificador de baixo ruído SR560 @ 100MΩ da Stanford Research em função da frequência. É possível observar na Figura 41, um ruído base da ordem de $\frac{4nV}{\sqrt{Hz}}$ @ 500Hz, onde elevando os termos do numerador e denominador ao quadrado fica em $4.10^{-18}\frac{V^2}{Hz}$. O ruído do LNA é bem inferior ao ruído dos dispositivos medidos que é da ordem de $10^{-8}\frac{V^2}{Hz}$, conforme será visto a diante na Figura 43.

Figura 41 - Ruído de entrada do amplificador de baixo ruído SR560 da Stanford Research.



Fonte: (SYSTEMS, 2013).

A Figura 42, apresenta as especificações de ruído base do analisador de espectro 4395A da Agilent. Utilizando a equação (86) @ 97dBc (Figura 42) e considerando a impedância de saída do equipamento de R=50Ω, chega-se em um ruído base de $S_{VD} = 10^{-12}\frac{V^2}{Hz}$, o que é mais de uma ordem de grandeza menor que o ruído dos dispositivos medidos que é de $10^{-8}\frac{V^2}{Hz}$. O ruído base medido pode ser observado mais adiante na Figura 43.

$$P_{dBc} = 10\log\frac{\frac{V^2}{R}}{1mW} \tag{86}$$

P_{dBc} é a densidade espectral de ruído de potência relativo a largura da banda, dada em $dBc/Hz^{0,5}$

Figura 42 - Especificações do ruído base do analisador de espectro Agilent 4395A.

Noise sidebands

(Carrier Frequency: 10 MHz, 100 MHz, 500 MHz)

Offset from carrier	Noise sidebands
≥ 1 kHz	< –97 dBc/Hz
≥ 100 kHz	< –110 dBc/Hz

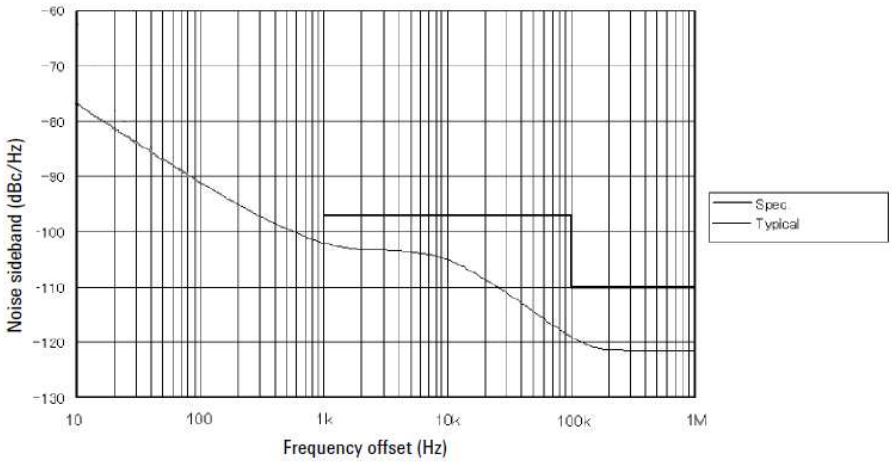
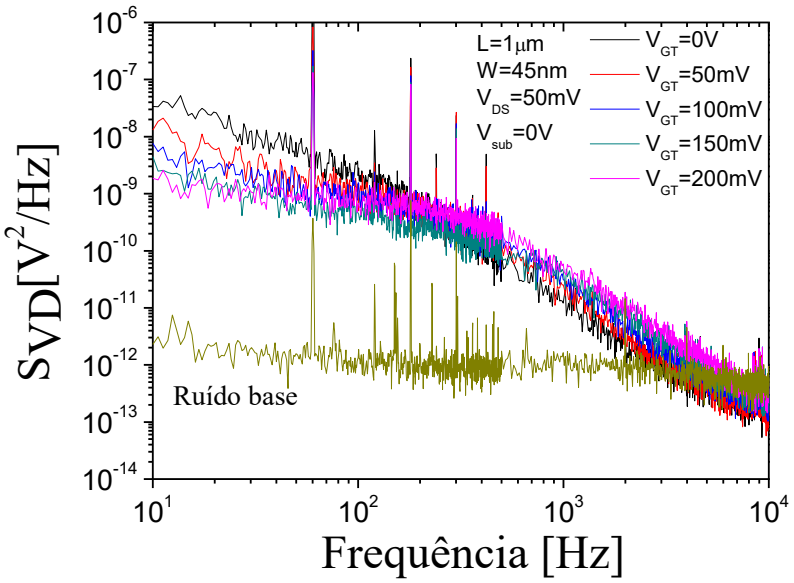


Figure 1-3. Noise sidebands

Fonte: (TECHNOLOGIES, 2021).

A Figura 43 apresenta a densidade espectral de ruído S_{VD} em função da frequência para o nanofio transistor com L=1µm, W_{fin}=45nm e diversos V_{GT} (de 0 a 200mV em passos de 50mV), que é o ruído entre dreno e fonte extraído pelo analisador de espectro em $V/Hz^{0,5}$. Essa curva também apresenta o ruído base extraído do equipamento. Para baixas frequências, (f<500Hz), onde é o foco para análise do ruído $1/f^{\gamma}$, é possível observar uma diferença de mais de uma ordem de grandeza entre o ruído medido e o ruído base.

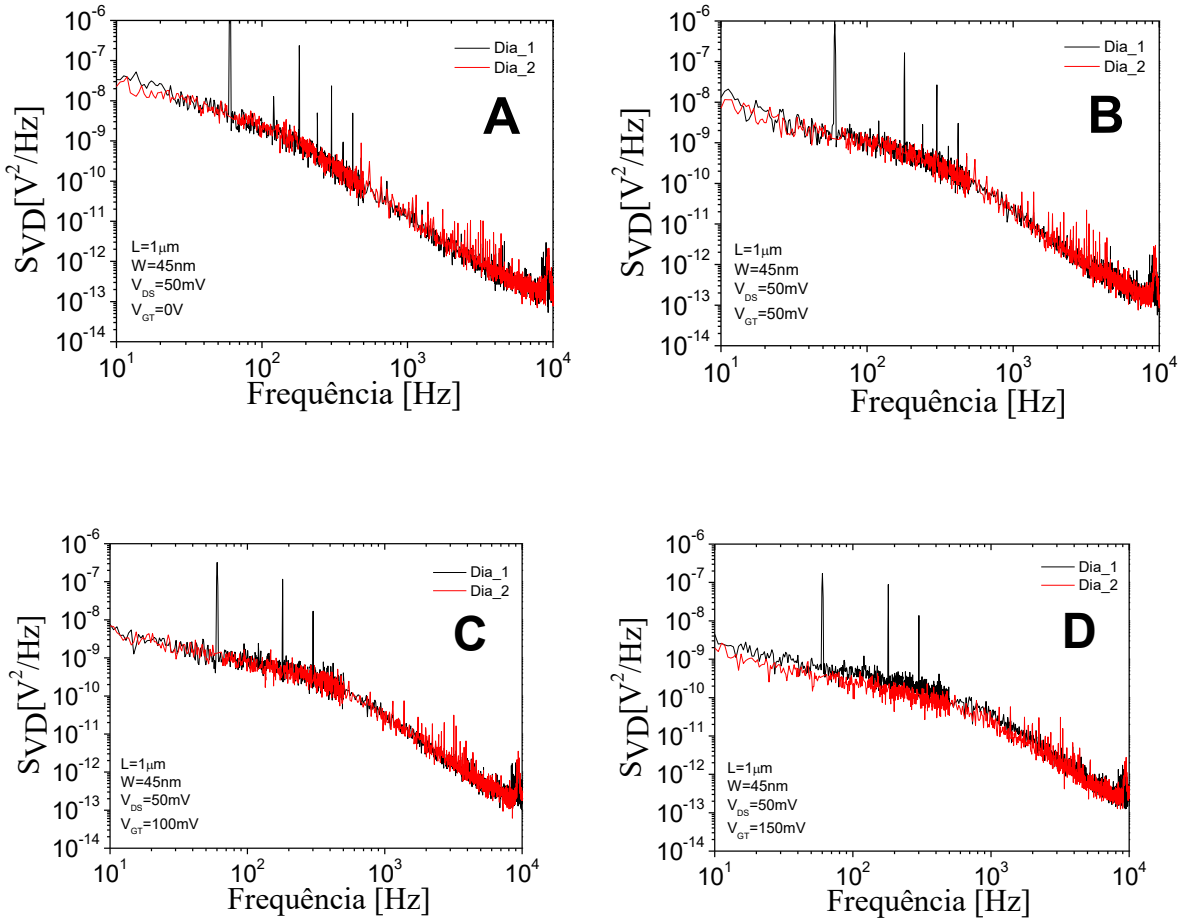
Figura 43 - Densidade espectral de ruído S_{VD} em função da frequência para o nanofio transistor com L=1µm, W_{fin}=45nm e diversos V_{GT}'s (de 0 a 200mV em passos de 50mV).



Fonte: Autor

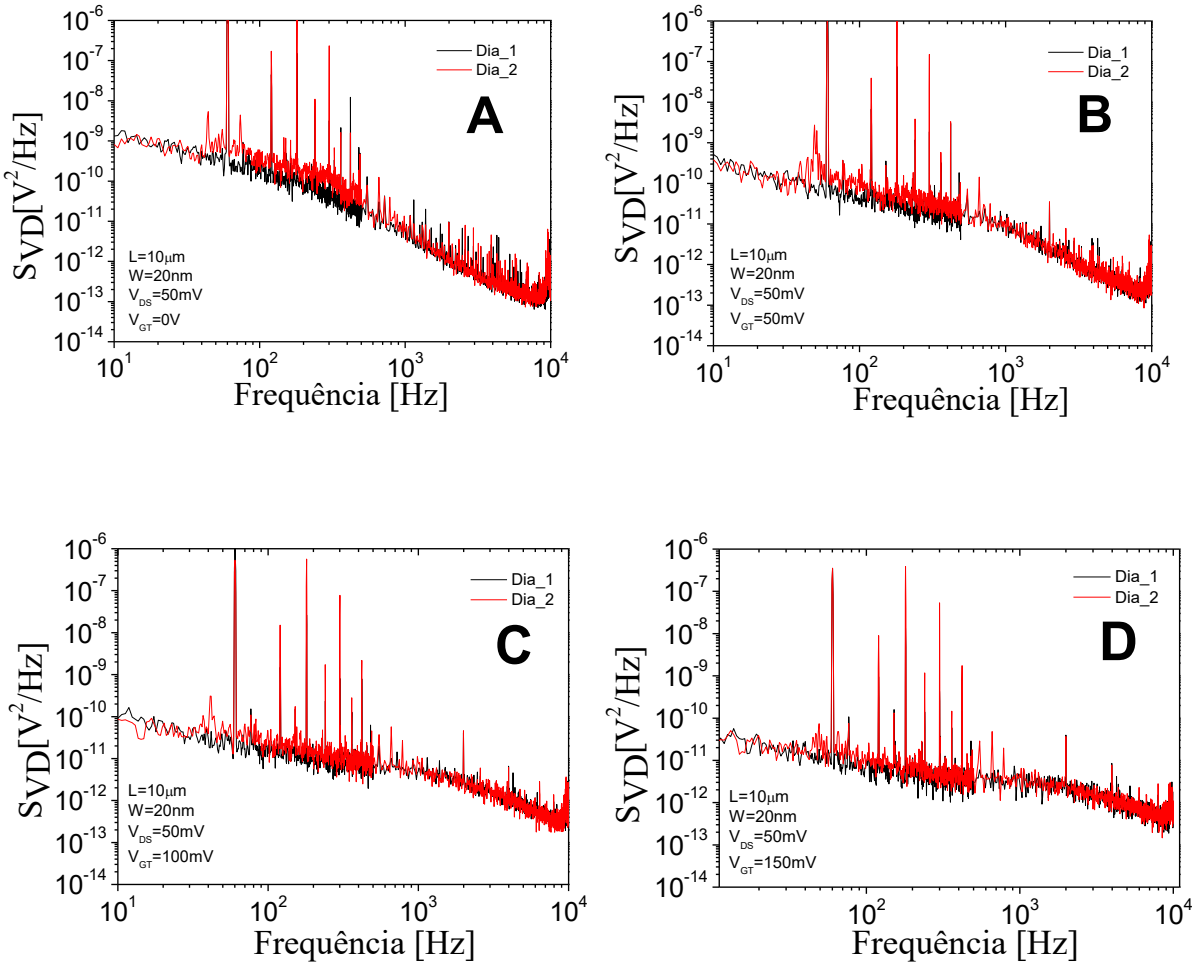
As Figura 44 e 45 apresentam medidas experimentais efetuadas em dois dias diferentes (Dia_1 - linha contínua preta e Dia_2 - Linha contínua vermelha) com nanofios transistores com diferentes comprimentos de canal (L=1µm (Figura 44) e L=10µm (Figura 45), diferentes W_{fin} (W_{fin}=45nm (Figura 44) e W_{fin}=20nm (Figura 45)), e diversas tensões aplicadas à porta (V_{GT}=0V (A), V_{GT}=50mV (B), V_{GT}=100mV (C) e V_{GT}=150mV (D)). Nessas curvas, é possível observar uma boa correlação entre as medidas, tanto para para baixas frequências ($f \leq 500$Hz) como para as frequências mais altas ($500 < f \leq 10$KHz). Também é possível observar nas figuras, a redução de S_{VD} com o aumento de V_{GT} devido ao aumento da relação I_{DS}/g_m e a redução na mobilidade efetiva (μ_{eff}).

Figura 44 - Medidas experimentais efetuadas em diferentes dias (Dia_1 - linha contínua preta e Dia_2 - Linha contínua vermelha) de S_{VD} em função da frequência, para o nanofio transistor com L=1µm, W_{fin}=45nm, V_{BS}=0V e V_{GT} variando de 0V a 150mV em passos de 50mV.



Fonte: Autor

Figura 45 - Medidas experimentais efetuadas em diferentes dias (Dia_1 - linha contínua preta e Dia_2 - Linha contínua vermelha) de S_{VD} em função da frequência, para o nanofio transistor com L=10µm, W_{fin}=20nm, V_{BS}=0V e V_{GT} variando de 0V a 150mV em passos de 50mV.

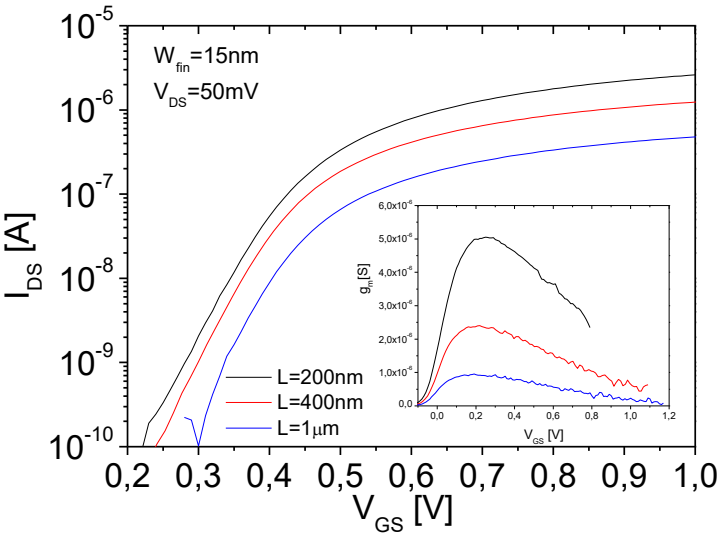


Fonte: Autor

3.3 MEDIDAS EXPERIMENTAIS DC COM O SUBSTRATO ATERADO

A Figura 46 apresenta as curvas de dreno (I_{DS}) em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva auxiliar) com L=200nm, L=400nm, L=1µm e W_{fin}=15nm com V_{BS}=0V. Esta figura destaca a região de sublimiar (eixo y a esquerda) com valores de 65mV/dec, muito próximos ao teórico de 60mV/dec. A redução de W_{fin} promove uma redução na corrente devido a degradação da mobilidade efetiva uma vez que a mobilidade dos elétrons é favorecida no plano da superfície de topo, (100), promovendo uma menor contribuição à medida que os nanofios transistores ficam mais estreitos. O mesmo pode ser observado nas curvas de transcondutância.

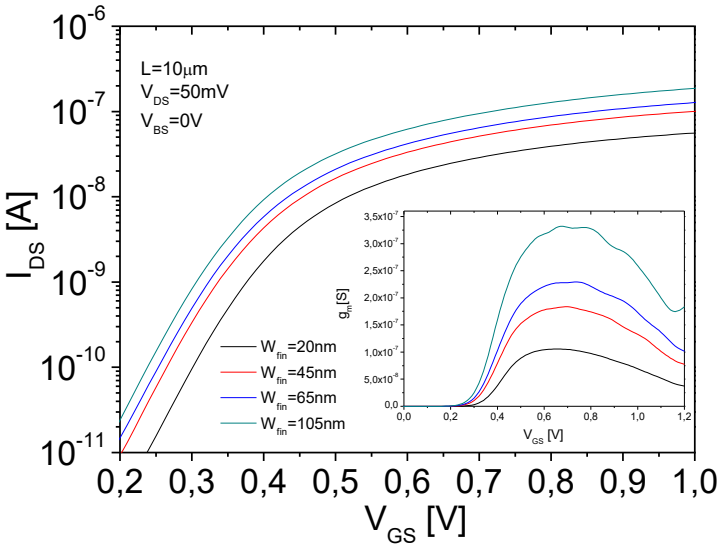
Figura 46 - Curva experimental de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva interna) com L=200nm, L=400nm e L=1µm e W_{fin} =15nm.



Fonte: Autor

A Figura 47 apresenta a curva experimental de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva interna) com L=10µm e diversos W_{fins} (20nm, 45nm, 65nm e 105nm). Nessa figura, é possível observar a degradação da corrente de dreno para os menores fins. Isso ocorre pelo fato de o plano de topo contribuir menos na condução, degradando mobilidade e por consequência a corrente de dreno.

Figura 47 - Curva experimental de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva interna) com L=10µm e diversos W_{fins} (20nm, 45nm, 65nm e 105nm).



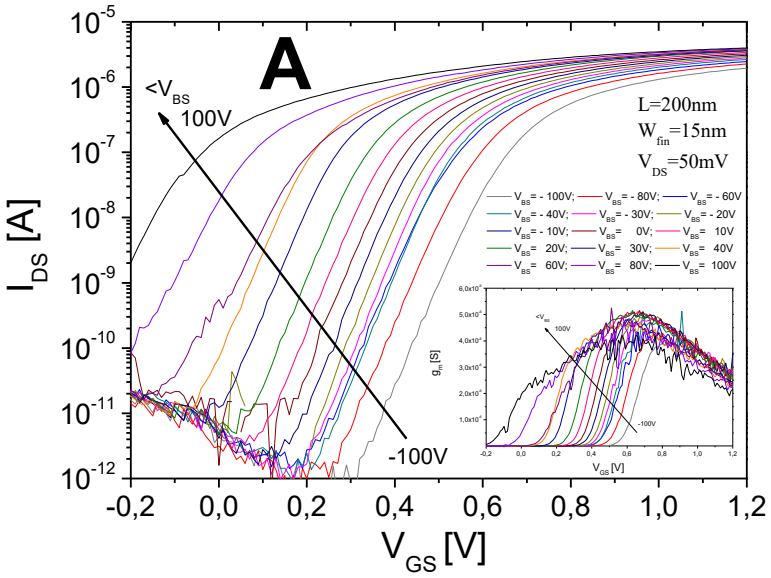
Fonte: Autor

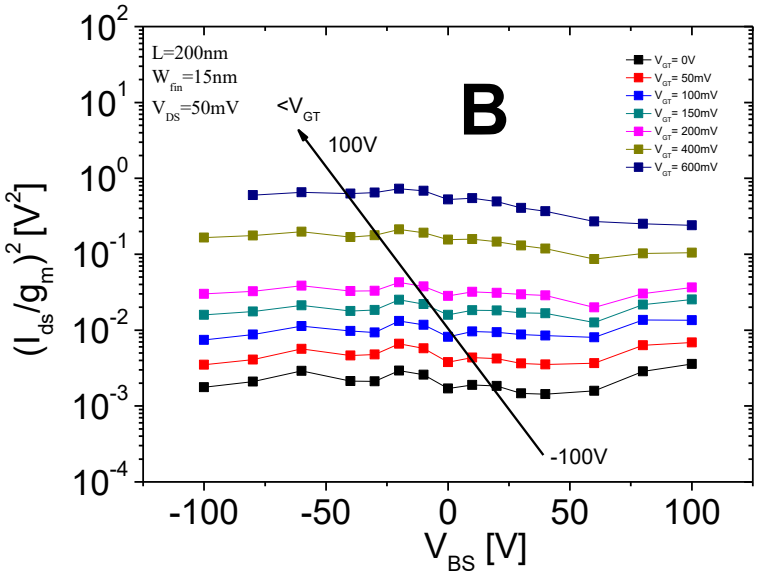
3.4 MEDIDAS EXPERIMENTAIS DC CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO

A aplicação de uma tensão ao substrato, possível em transistores construídos em tecnologia SOI, permite a melhora na modulação do comprimento de canal (CLM), onde tal modulação, é responsável pela degradação do desempenho dos dispositivos em aplicações analógicas. Aplicar tensões ao substrato, também melhora a condutância de saída e o ganho intrínseco do transistor (DORIA, et al., 2017).

A Figura 48A apresenta as características DC de corrente de dreno em função da tensão aplicada à porta do nanofio transistor com L=200nm e W_{fin}=15nm, mostrando um bom acoplamento de interface, que é descrito em (84) (THEODOROU, et al., 2012), onde demonstra o impacto de cada interface no acoplamento. É possível verificar a influência do acoplamento de interface mais claramente na Figura 49A (curva principal) através do comportamento de V_{TH} em função de V_{BS}. A Figura 49B apresenta bem claramente a dependência do acoplamento de interface com W_{fin}. A Figura 48B apresenta a relação de $(I_{DS}/g_{m1})^2$ em função da tensão aplicada ao substrato referente a interface frontal. Nessa figura, claramente é possível observar a fraca dependência de $(I_{DS}/g_{m1})^2$ com as tensões aplicadas ao substrato.

Figura 48 - Curva experimental de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) e g_m em função de V_{GS} (curva interna) com L=200nm, W_{fin} =15nm e diversas tensões aplicadas ao substrato (A) e a relação de $(I_{DS}/g_{m1})^2$ em função da tensão aplicada ao substrato (B).



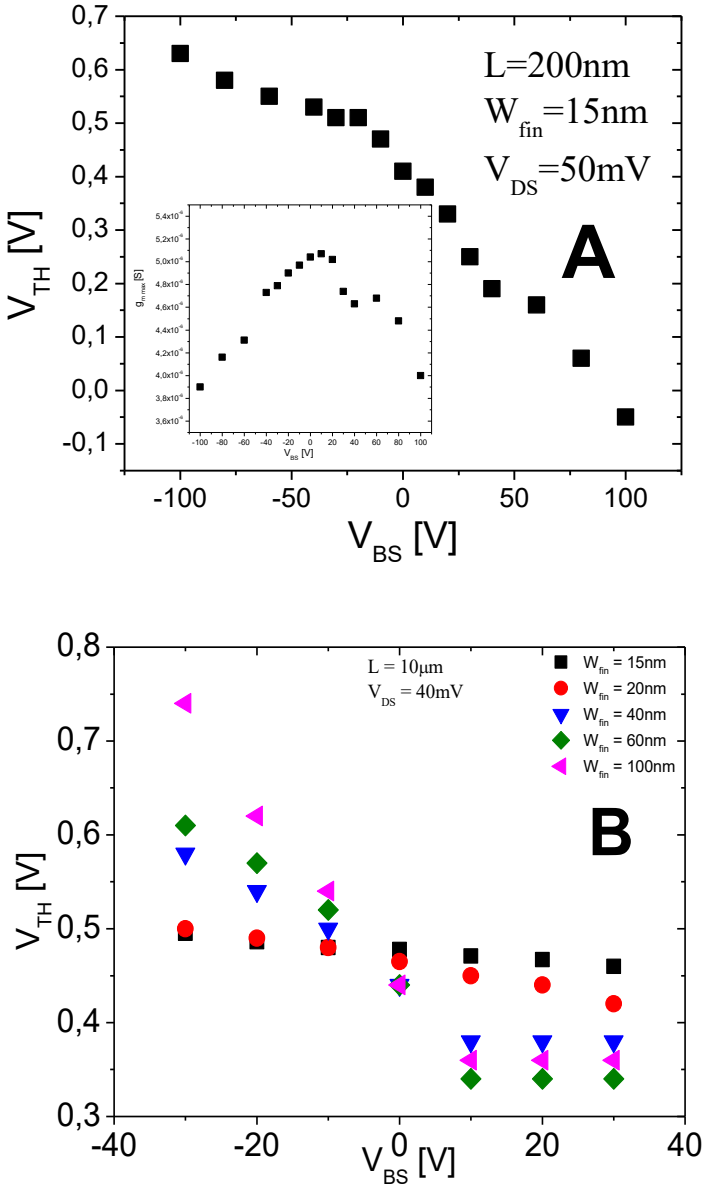


Fonte: Autor

A Figura 49 apresenta a curva de V_{TH}, obtida através do método da segunda derivada (d^2I_{DS}/dV_{GS}) em função da tensão aplicada ao substrato para diversos W_{fins} (15nm, 20nm, 40nm, 60nm e 100nm). É possível observar nessa figura uma maior influência de V_{BS} em V_{TH} para os maiores W_{fins}. Embora os transistores estudados sejam do formato Ω onde se espera um maior controle eletrostático, as linhas potenciais geradas pela tensão aplicada à segunda interface, é capaz de alcançar o canal alterando V_{TH}. Para os NWFETs maiores que 20nm, a condução traseira aparece nas tensões positivas em V_{BS} e V_{TH} se torna constante. Espera-se um aumento de V_{TH} com a diminuição de W_{fin}, conforme pode ser observado na Figura 49.

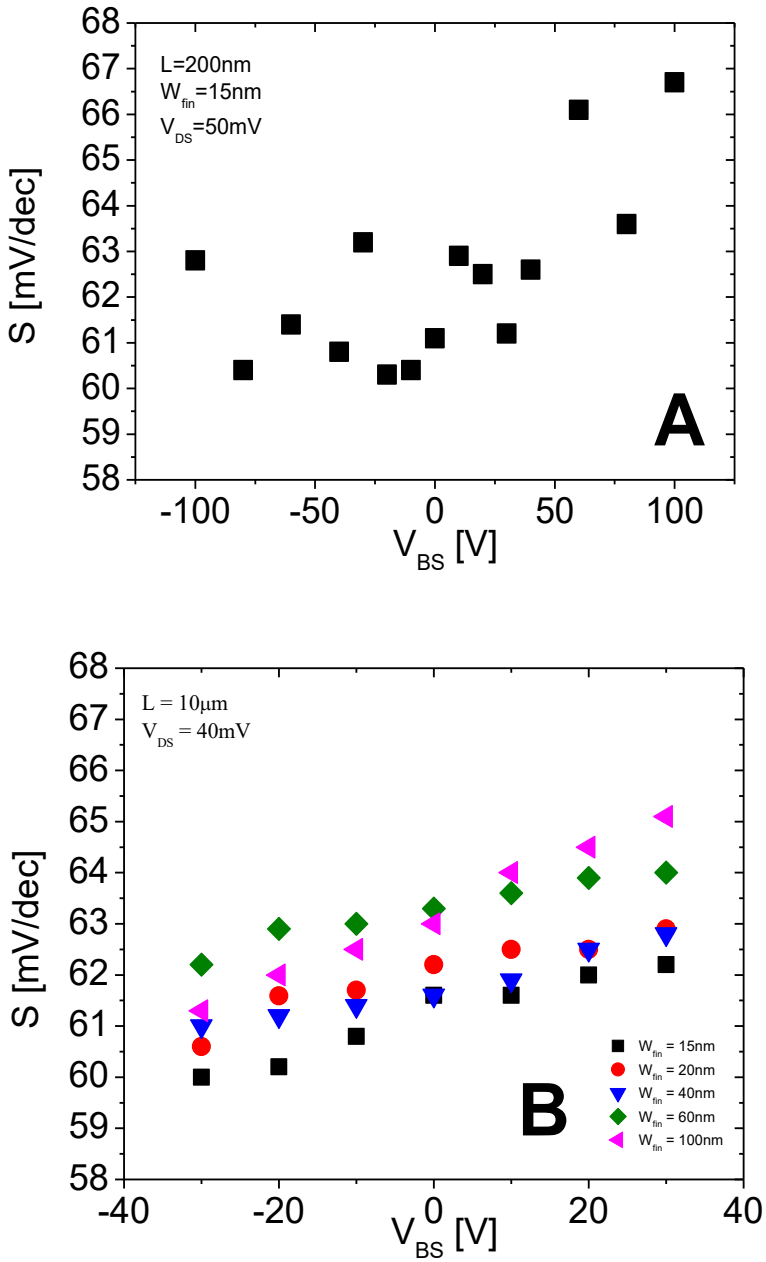
A Figura 50 apresenta a curva de S em função de V_{BS}. É possível observar nessas curvas, valores bem próximos ao teórico de 60mV/dec, reforçando um bom acoplamento eletrostático. E ainda é mais próximo para os menores W_{fins} também devido ao melhor acoplamento eletrostático. Com o aumento de V_{BS}, a inclinação de sublimiar vai se degradando devido a degradação da mobilidade.

Figura 49 - Curva extraída de V_{TH} em função de V_{BS} com L=200nm e W_{fin} =15nm (curva principal fig. A) e $g_{m,máx}$ em função de V_{BS} (curva interna fig. A) e L=10µm e W_{fin} (15nm, 20nm, 40nm, 60nm e 100nm) (B).



Fonte: Autor

Figura 50 - Inclinação de sublimiar em função de V_{BS} com L=200nm, W_{fin} =15nm (A) e L=10µm, W_{fin} (15nm, 20nm, 40nm, 60nm e 100nm) (B).

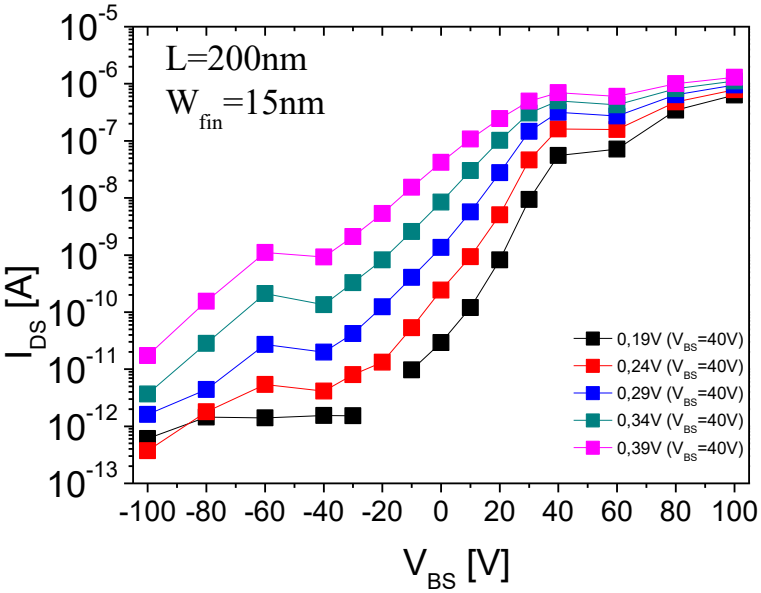


Fonte: Autor

A Figura 51 apresenta a corrente de dreno (I_{DS}) em função da tensão aplicada ao substrato fixando algumas tensões de porta. No caso da Figura 51 foram fixadas as tensões de porta que representam V_{BS}=40V partindo desde a tensão de limiar para esse V_{BS} (V_{TH}=0,19V/ V_{GT}=0V) até 0,39V que representa V_{GT}=200mV. Nessa curva, é possível observar correntes bem baixas de dreno, da ordem de 10^{-11}A para os V_{BS} negativos. Para tensões positivas de V_{BS}, considerando que a tensão aplicada a porta encontra se abaixo da tensão de limiar do transistor sem aplicar tensões ao substrato (V_{BS}=0V) que é de (V_{TH}=0,41V), então, pode se dizer que a

condução está ocorrendo a partir da segunda interface e sendo assim, é possível analisar os efeitos provenientes da segunda interface no ruído.

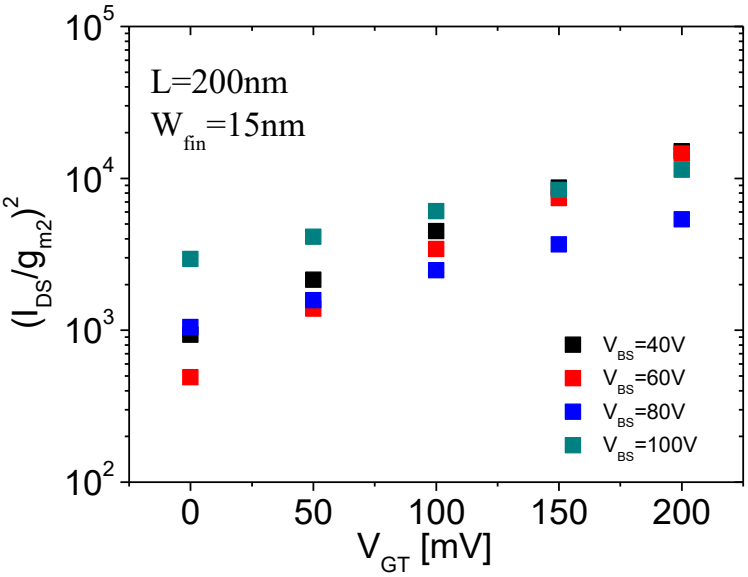
Figura 51 - Corrente de dreno (I_{DS}) em função da tensão aplicada ao substrato com L=200nm e W_{fin}=15nm.



Fonte: Autor

A Figura 52 apresenta a relação $(I_{DS}/g_{m2})^2$ em função de V_{GT} considerando tensões aplicadas ao substrato (V_{BS}=40V, 60V e 100V). A transcondutância g_{m2} foi obtida a partir da derivada da corrente de dreno com a tensão aplicada ao substrato (dI_{DS}/dV_{BS}). Os valores de V_{BS} positivos apresentados na Figura 52 foram escolhidos de forma que sua excursão entre V_{GT}=0mV à V_{GT}=200mV não ultrapasse a tensão de limiar do transistor em V_{BS}=0V que é de 0,41V. Nessa figura, foi possível observar uma contribuição bem maior da relação de $(I_{DS}/g_{m2})^2$ considerando tensões positivas aplicadas ao substrato em relação a $(I_{DS}/g_{m1})^2$ apresentado na Figura 48, onde a condução da corrente elétrica ocorre praticamente na interface frontal.

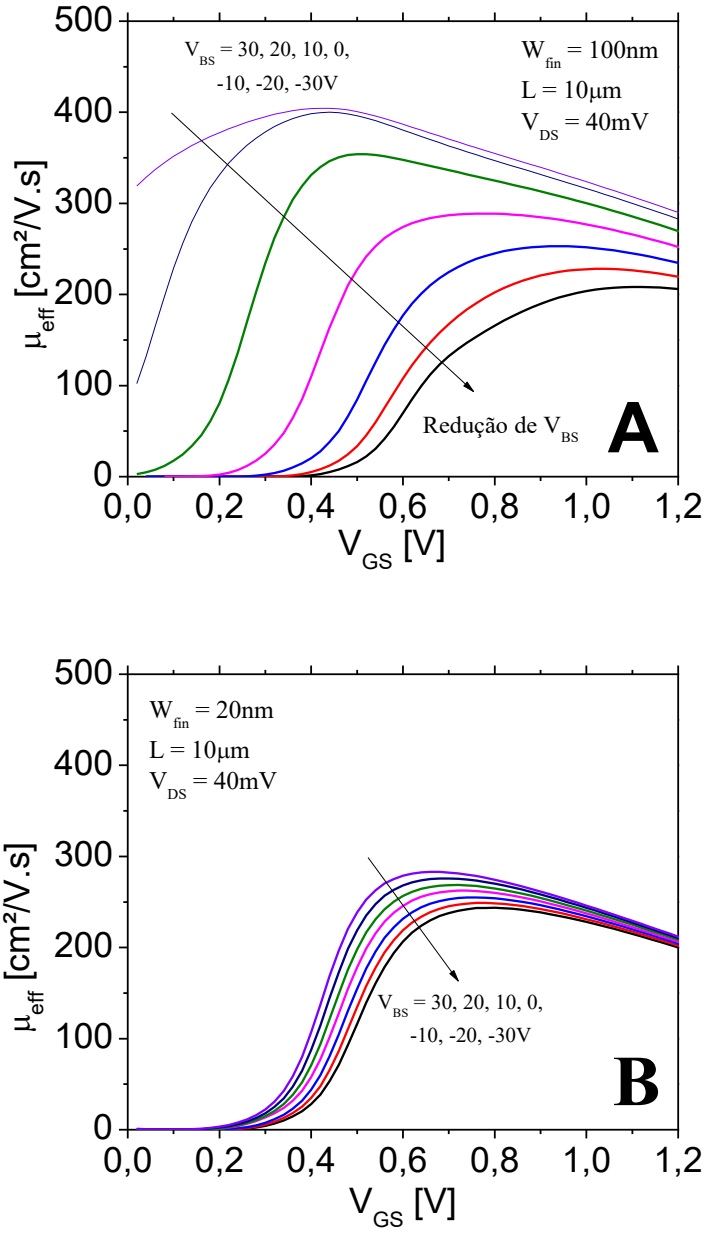
Figura 52 - Relação $(I_{DS}/g_{m2})^2$ em função de V_{GT} considerando tensões aplicadas ao substrato (V_{BS}=40V, 60V e 100V).

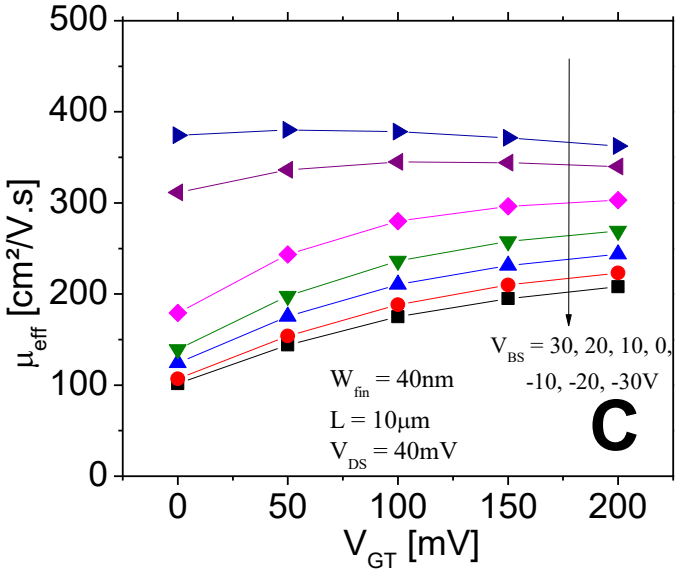


Fonte: Autor

A Figura 53 apresenta a μ_{eff} extraída pelo método de Split-CV sob diversas polarizações de substrato. Com foi observado em (RUIZ, et al., 2013), a mobilidade efetiva varia com V_{BS} em transistores de porta tripla devido a mudança da posição de inversão do canal ao longo do filme de silício. É possível observar que há uma redução da mobilidade com a redução de V_{BS}. Para valores positivos de V_{BS}, a inversão do canal chega próximo ao centro do silício, o que reduz a interferência da interface nos mecanismos de degradação, aumentando a mobilidade dos elétrons. Para valores negativos de V_{BS}, as cargas são empurradas para a interface o que faz com que a mobilidade se degrade. O aparecimento de uma condução significante na interface traseira limita o aumento da mobilidade, como observado na Figura 53A, para altos valores de V_{BS}. De acordo com a equação (80) apresentada na seção 2.7.2.3.3, com a redução da mobilidade que acontece para valores negativos de V_{BS}, é esperado uma redução no ruído. Por outro lado, essa redução da mobilidade ocorre devido a condução estar bem próxima à interface rugosa, o que prejudica o ruído devido as armadilhas nessa região. Ambos os efeitos opostos devem sofrer influências com V_{BS}. Além do mais, o aparecimento de uma condução na segunda interface também propicia o aumento do ruído.

Figura 53 - Mobilidade efetiva em função de V_{GS} para W_{fin}=100nm (A) e W_{fin}=20nm (B) e mobilidade efetiva em função de V_{GT} para W_{fin}=40nm (C). Os nanofios transistores apresentam L=10µm e V_{BS} variando de -30V a 30V em passos de 10V em 10V com V_{DS}=40mV.

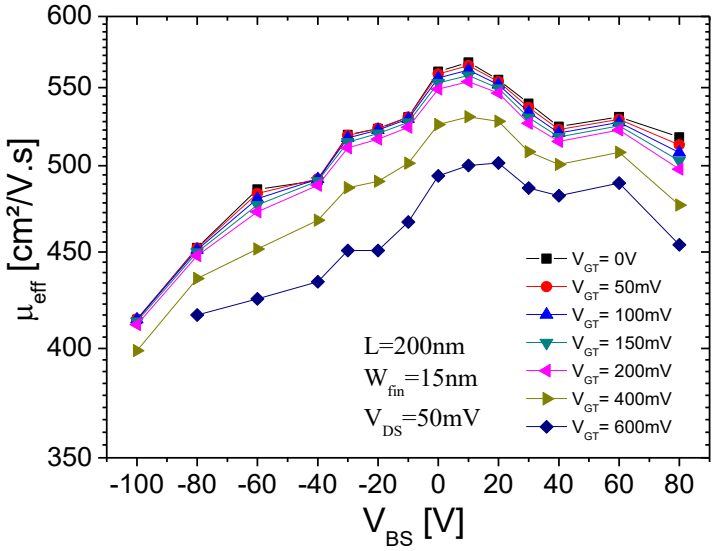




Fonte: Autor

A mobilidade efetiva em função da tensão aplicada ao substrato (Figura 54) foi extraída através do Y-function, apresentado na seção 2.6.2. Através dessa curva, é possível observar a redução na mobilidade tanto para valores positivos de V_{BS} quanto para valores negativos. Tal característica, conforme apresentado na equação (80), faz com que diminua o ruído com a diminuição de μ_{eff}.

Figura 54 - Mobilidade efetiva em função de V_{BS} (A) com L=200nm, W_{fin} =15nm e diversas tensões aplicadas ao substrato.



Fonte: Autor

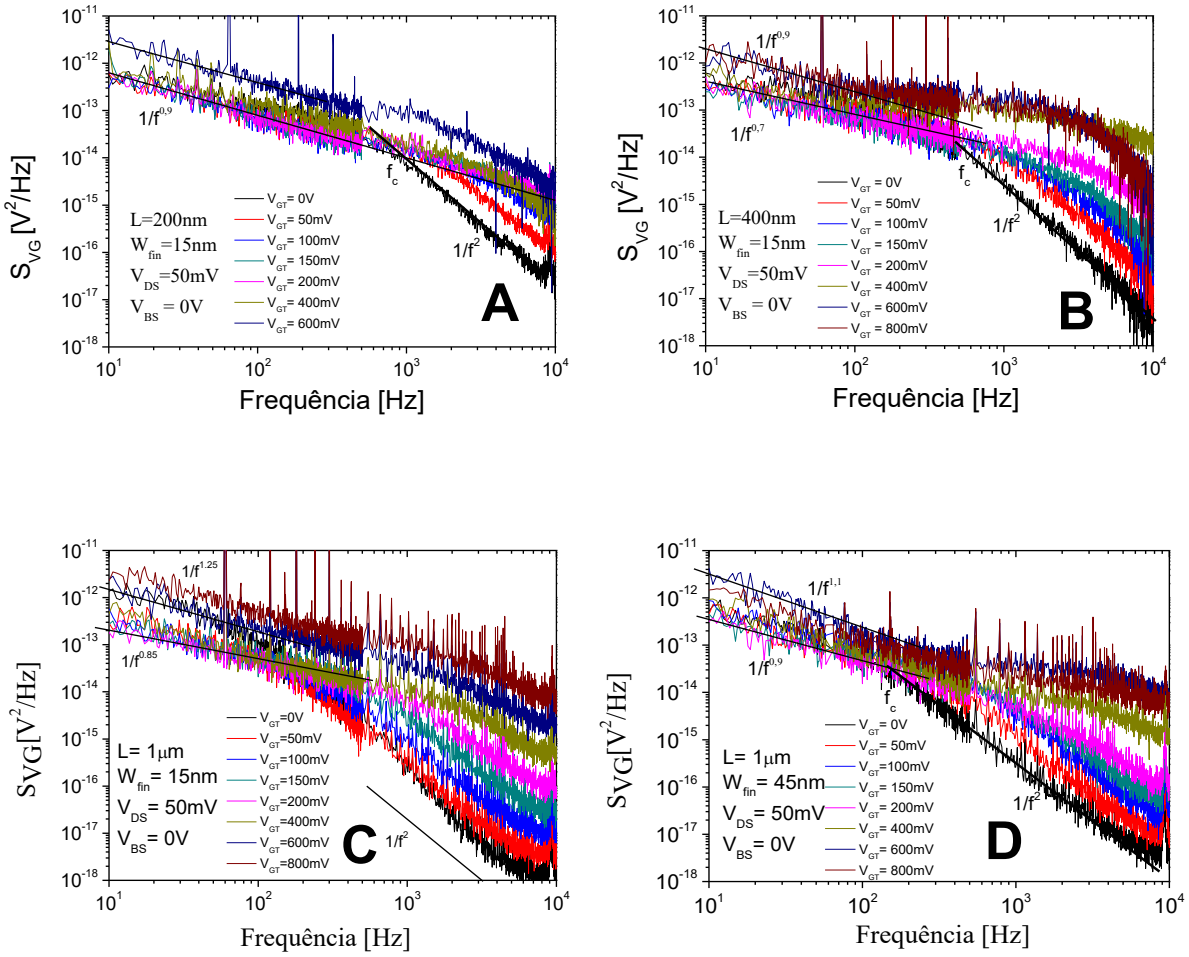
3.5 MEDIDAS EXPERIMENTAIS DE RUÍDO COM O SUBSTRATO ATERRADO

A Figura 55A apresenta a curva experimental de S_{VG} em função da frequência para o nanofio transistor com L=200nm e W_{fin}=15nm, considerando diversas tensões de porta (V_{GT} de 0mV a 600mV) e sem considerar tensões aplicadas ao substrato (V_{BS}=0). Nessa curva, é possível observar um decaimento proporcional a $1/f^{\gamma}$ para as frequências mais baixas (f<1kHz). Acima dessa frequência, o ruído $1/f^{\gamma}$ é sobreposto pelo ruído de geração e recombinação com decaimento proporcional à $1/f^2$. Considerando a análise no ruído $1/f^{\gamma}$, que é o foco desse trabalho, é possível observar que para menores valores de V_{GT} (V_{GT} entre 0 e 200mV), o ruído tem uma leve variação, mostrando uma fraca dependência com a tensão aplicada a porta, de acordo com a origem do ruído devido a variação do número de portadores no canal (Δn). Para maiores valores de V_{GT} (400mV e 600mV), já é possível observar uma maior variação no ruído, que ocorre devido a influência da variação na mobilidade. Na curva, também é possível notar um aumento na frequência de canto (f_c) como o aumento de V_{GT}, conforme pode ser observado também nas curvas simuladas. Tal característica ocorre pelo fato de com o aumento de V_{GT}, a condução vai caminhando para mais próximo ao óxido onde acaba sofrendo a interferência das armadilhas mais profundas, sendo tais armadilhas as mais lentas, conforme abordado na seção 2.7.2.3.2. Nessa figura não foi possível observar uma grande variação de gama (γ) com o aumento de V_{GT}.

Um segundo transistor com um maior comprimento de canal (L=400nm) e W_{fin}=15nm (Figura 55B) e uma maior excursão de V_{GT} (0mV a 800mV) foi medido de forma a comparar os resultados obtidos. Esse transistor, apresentou resultados bem semelhantes ao transistor da Figura 55A. Para V_{GT}<200mV, foi possível observar um aumento discreto no ruído com V_{GT} decorrente de uma possível variação na mobilidade ou de um aumento na densidade de armadilhas em função da profundidade do óxido de porta, conforme será apresentado mais adiante. Nesta figura, também foi possível observar para maiores valores de V_{GT} (V_{GT}>400mV), que o ruído $1/f^{\gamma}$ é sobreposto pelo ruído g-r para frequências acima de 50Hz, onde na região entre 100Hz<f<1kHz existe um platô correspondente ao ruído de geração e recombinação.
Uma outra medida, considerando um comprimento de canal ainda maior (L=1µm), variando W_{fin} com 15nm (Figura 55C) e W_{fin}=45nm (Figura 55D) e considerando uma larga excursão de V_{GT} (de 0mV a 800mV). É possível observar na Figura 55C, a mudança da inclinação do fator γ com o incremento de V_{GT}. O fator γ mudou de 1,25 para V_{GT} = 0mV para 0,85 para V_{GT} = 200mV. O expoente γ indica se as armadilhas estão localizadas dentro do dielétrico de porta,

próximo à interface ou dentro da região de depleção. Para $\gamma \leq 1$, as armadilhas encontram-se dentro do dielétrico de porta para $\gamma > 1$ as armadilhas estão localizadas dentro da região de depleção *(HAARTMAN, et al., 2007)*. A Tabela 2 apresenta o fator gama (γ) extraído das figuras.

Figura 55 - Curva experimental de S_{VG} em função da frequência com L=200nm e W_{fin}=15nm (A), L=400nm e W_{fin}=15nm (B), L=1µm e W_{fin}=15nm (C), L=1µm e W_{fin}=45nm (D) com V_{BS}=0V.



Fonte: Autor

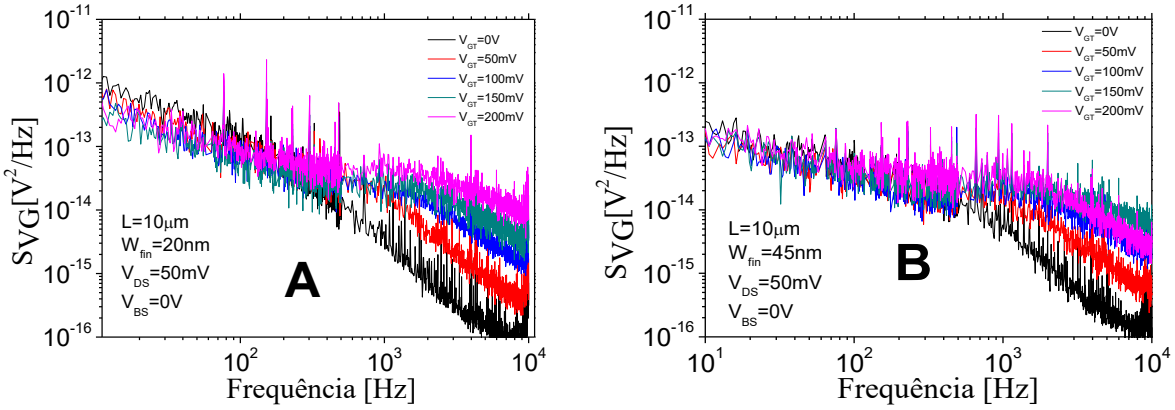
Tabela 2 - Fator de inclinação gama (γ) que compõe o ruído 1/f.

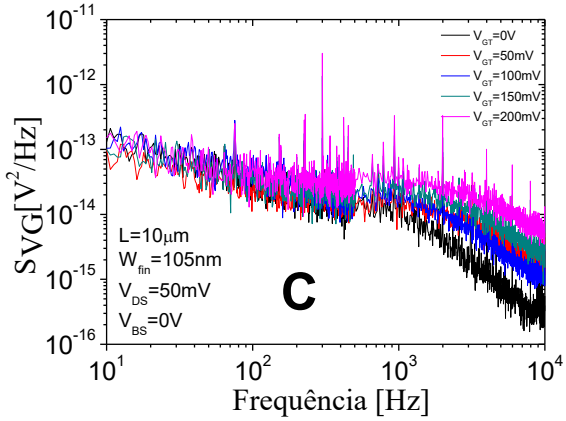
L (nm)	W_{fin} (nm)	γ com o aumento de V_{GT}
200	15	0,9
400	15	0,9 a 0,7
1000	15	1,25 a 0,85
1000	45	0,9 a 1,1

Fonte: Autor

A Figura 56 apresenta a curva experimental de S_{VG} em função da frequência, considerando dispositivos com comprimentos de canais mais largos (L=10µm), diversas larguras de canais, W_{fin} (20nm (A), 45nm (B) e 105nm (C)) e V_{GT} variando de 0mV a 200mV. Nessas curvas foi possível observar que o ruído teve uma discreta variação com V_{GT} em baixas frequências (f<500Hz) e a redução de γ (Figura 56A) as Figura 56B e Figura 56C não apresentaram a redução de γ com V_{GT}. O fato da discreta variação do ruído com V_{GT}, mostra uma boa correlação com o modelo Δn.

Figura 56 - Curva experimental de S_{VG} em função da frequência com L=10µm, W_{fin}=20nm (A), W_{fin}=45nm (B), W_{fin}=105nm (C) e V_{GT} variando de 0mV a 200mV em passos de 50mV e V_{BS}=0V.

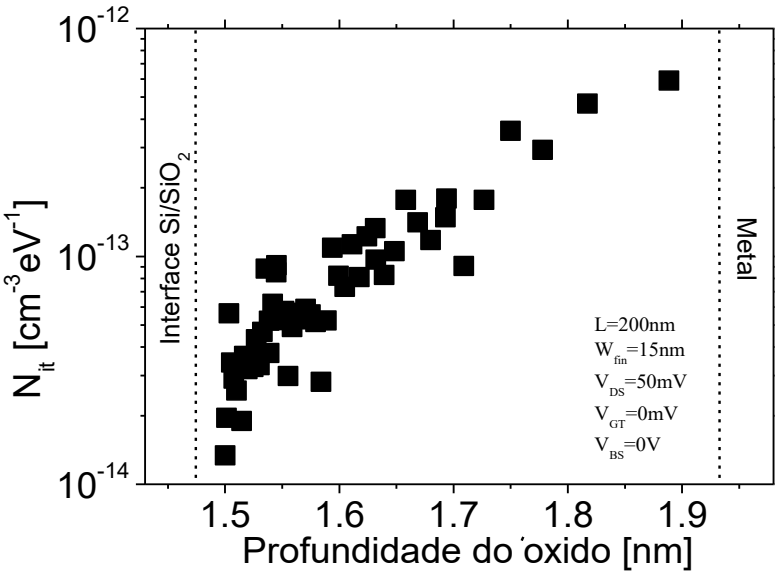




Fonte: Autor

A Figura 57 apresenta a distribuição da densidade efetiva de armadilhas (N_{it}) em função da profundidade do óxido de porta extraída, considerando uma excursão de frequências entre 10Hz a 500Hz, resultando em uma profundidade de armadilhas entre 1,5 a 1,9nm. As armadilhas mais profundas são as armadilhas de menor frequência e as mais próximas a interface Si/SiO_2 são as armadilhas de maior frequência. A *Figura 57* foi extraída, isolando N_{it} da equação (66) e superpondo na equação (67). Nessa figura, é possível observar que a densidade de armadilhas aumenta ao ponto que a frequência diminui.

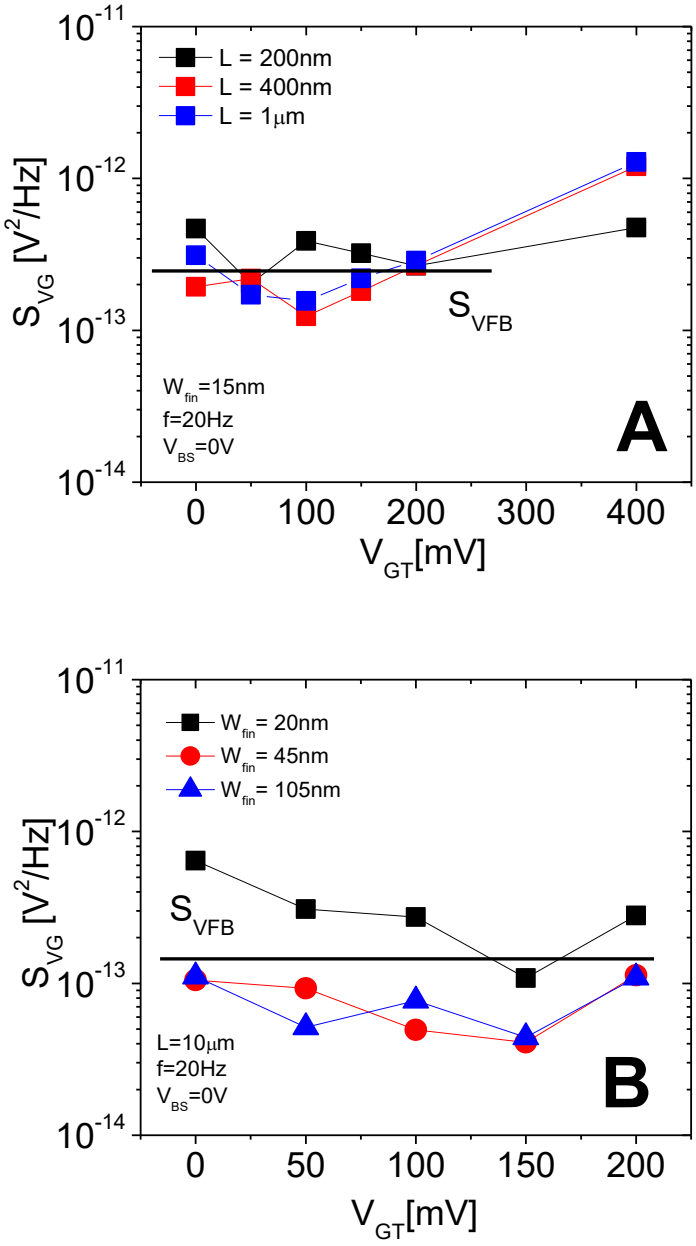
Figura 57 - Densidade efetiva de armadilhas em função da profundidade do óxido de porta com V_{DS}=50mV, L=200nm, W_{fin}=15nm, f=100Hz e V_{BS} variando de -40V a 40V em passos de 20V.



Fonte: Autor

A Figura 58 apresenta a curva experimental de S_{VG} em função de V_{GT} com L=200nm, 400nm e 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 400mV (A) e Curva experimental de S_{VG} em função de V_{GT} com L=10µm e W_{fin}=20nm, 45nm e 105nm com V_{GT} variando de 0mV a 200mV (B), onde é possível observar, para uma frequência fixa (f=20Hz), a variação discreta do ruído com as tensões aplicadas a porta.

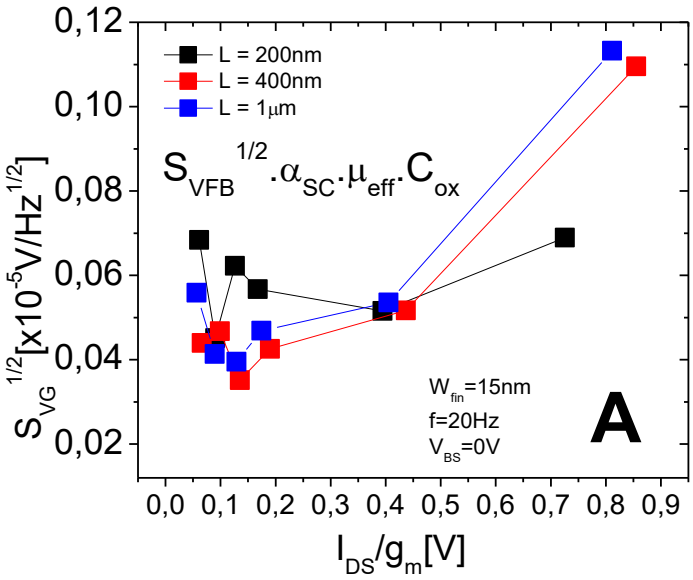
Figura 58 - Curva experimental de S_{VG} em função de V_{GT} com L=200nm, 400nm e 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 400mV (A) e Curva experimental de S_{VG} em função de V_{GT} com L=10µm e W_{fin}=20nm, 45nm e 105nm com V_{GT} variando de 0mV a 200mV (B).

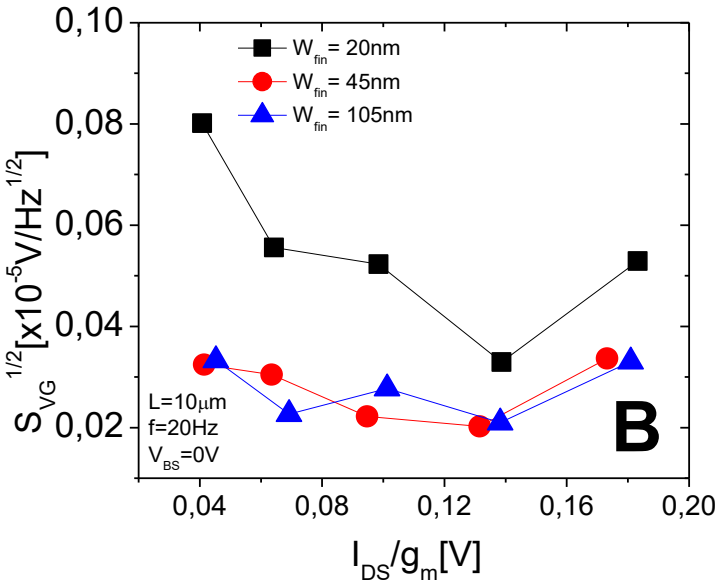


Fonte: Autor

A Figura 59 apresenta a curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m, onde com o auxílio da equação (80) é possível a analisar a influência do termo $S_{V_{FB}}^{\frac{1}{2}}.\alpha_{sc}.\mu_{eff}.C_{ox}$ no ruído, sendo $S_{V_{FB}}^{\frac{1}{2}}$ constante para baixos valores de V_{GT}, α_{sc} constante para V_{BS}=0V, C_{ox} constante e o termo μ_{eff} a única parcela variável. Para esse estudo, foi considerando os nanofios transistores com comprimentos de canais, L=200nm, 400nm e 1µm e largura de canal (W_{fin}=15nm) com V_{GT} variando de 0mV a 800mV (A) e comprimento de canal (L=10µm) e largura de canal W_{fin}=20nm, 45nm e 105nm, com V_{GT} variando de 0mV a 200mV (B). Foi possível observar nessas curvas (Figura 59A), a influência da variação da mobilidade no ruído, onde tais curvas mostram uma tendência de crescimento para os maiores valores de V_{GT} (V_{GT}>200mV), no caso da Figura 59A. Para valores de $V_{GT} \leq 200$mV, tem-se $S_{VG} \approx S_{V_{FB}}$, conforme também visto em (KOYAMA, et al., 2013). De acordo com a equação (80), a curva de $S_{VG}^{1/2}$ em função de I_{DS}/g_m deve apresentar a variação de $S_{V_{FB}}^{\frac{1}{2}}.\alpha_{sc}.\mu_{eff}.C_{ox}$. Pelo fato de a variação no ruído devido a variação na mobilidade ocorrer para valores mais altos de V_{GT} (V_{GT}>200mV), não foi possível observar tal comportamento na *Figura 59*B.

Figura 59 - Curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=200nm, 400nm e 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 400mV (A) e Curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=10µm e W_{fin}=20nm, 45nm e 105nm com V_{GT} variando de 0mV a 200mV (B).

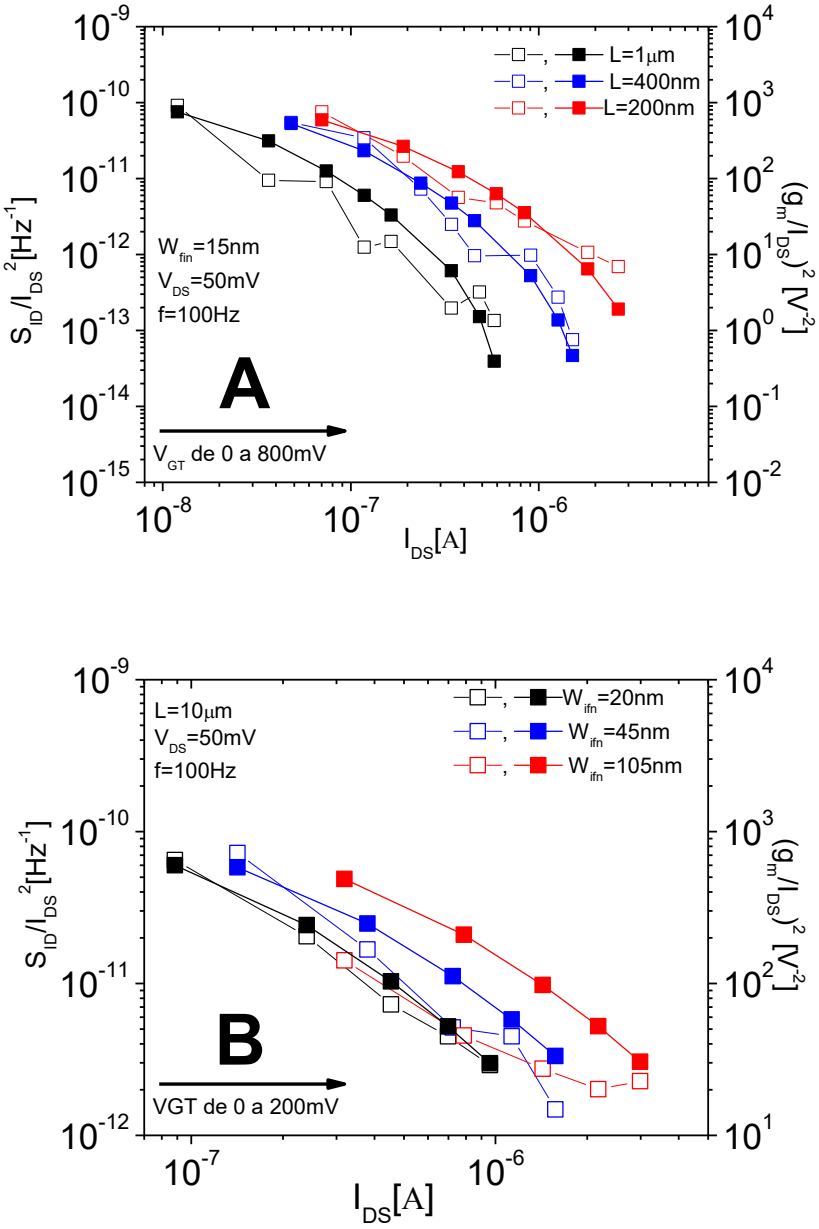




Fonte: Autor

Uma das formas de se determinar se a origem do ruído, é proveniente da variação do número de portadores no canal do transistor (Δn) ou se sua origem ocorre devido a variação na mobilidade (Δμ), é comparando as curvas de S_{ID}/I_{DS}^2 em função de I_{DS} com a curva de $(g_m/I_{DS})^2$ em função de I_{DS} (GHIBAUDO, et al., 1991). Caso as curvas tenham comportamentos similares, a origem do ruído se deve apenas a flutuação do número de portadores. Se contrário, a variação na mobilidade também interfere no ruído. A Figura 60A apresenta a curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (quadrados fechados) e $(g_m/I_{DS})^2$ em função de I_{DS} (quadrados abertos) com L=200nm, 400nm, 1μm e W_{fin}=15nm com V_{GT} variando de 0mV a 800mV e V_{BS}=0V. Nessa curva é possível observar uma boa concordância entre as curvas de S_{ID}/I_{DS}^2 e $(g_m/I_{DS})^2$. A Figura 60B também apresentou uma boa concordância entre as curvas de S_{ID}/I_{DS}^2 e $(g_m/I_{DS})^2$ para o W_{fin} de 20nm. Já para os W_{fin} de 45nm e 105nm é possível verificar uma diferença nas curvas devido a uma possível variação na mobilidade.

Figura 60 - Curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (quadrados fechados) e $(g_m/I_{DS})^2$ em função de I_{DS} (quadrados abertos) com L=200nm, 400nm, 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 800mV e V_{BS}=0V (A) e Curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (Quadrados fechados) e (g_m/I_{DS}^2) em função de I_{DS} (Quadrados abertos) com L=10µm e W_{fin}=20nm, 45nm e 105nm com V_{GT} variando de 0mV a 200mV e V_{BS}=0V (B).

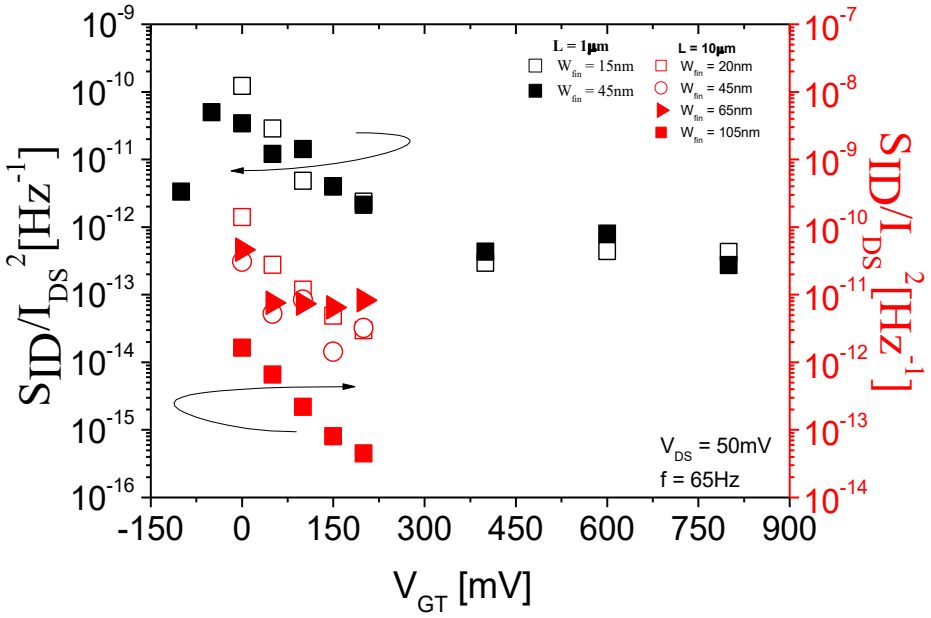


Fonte: Autor

A Figura 61 apresenta a curva de ruído normalizado S_{ID}/I_{DS}^2 em função de V_{GT} com V_{DS}=50mV, L=1µm e W_{fin} (15nm e 45nm) (eixo da esquerda), L=10µm e W_{fin} (20nm, 45nm, 65nm e 105nm) (eixo da direita). É possível observar a diminuição de S_{ID}/I_{DS}^2 com o aumento de V_{GT}. Isso ocorre pelo fato de que o aumento de V_{GT} empurra a condução para mais próximo

da interface, atingindo o nível energético das armadilhas mais profundas e com menores constantes de tempo τ, implicando na diminuição do ruído total. Para maiores valores de V_{GT}, conforme pode ser observado na curva no eixo da esquerda, que o ruído tende a não diminuir mais devido a influência da variação na mobilidade.

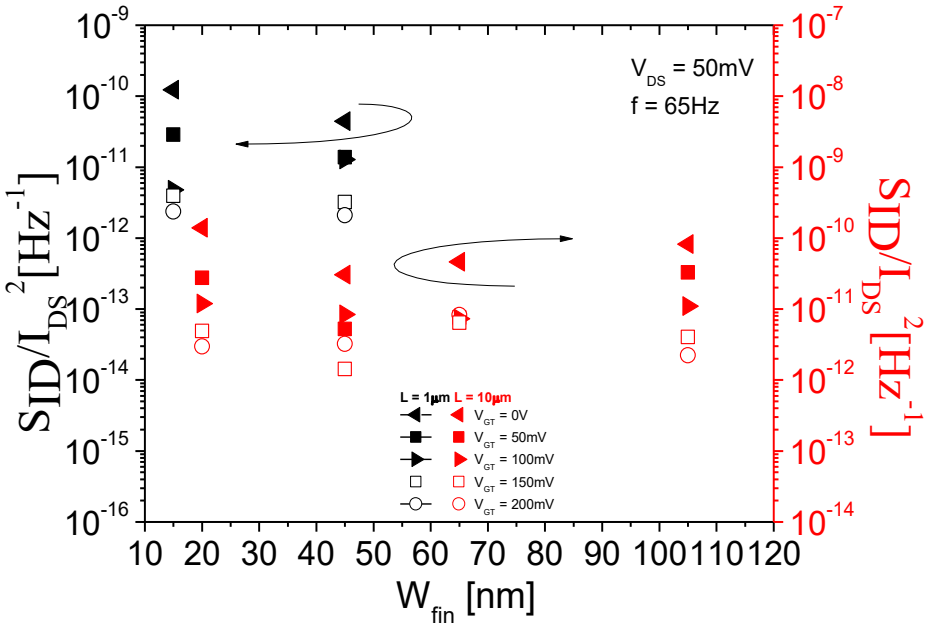
Figura 61 - S_{ID}/I_{DS}^2 em função de V_{GT} com V_{DS}=50mV, L=1µm e W_{fin} (15nm e 45nm) V_{GT} variando de -50mV a 800mV (eixo da esquerda), L=10µm e W_{fins} (20nm, 45nm, 65nm e 105nm) e V_{GT} variando de 50mV a 200mV (eixo da direita).



Fonte: Autor

A Figura 62 apresenta a curva de S_{ID}/I_{DS}^2 em função de W_{fin} para nanofios transistores com L=10µm e V_{GT} variando de 50mV a 200mV em passos de 50mV. Nessa figura, similar a Figura 61, é possível observar um o aumento do ruído com a diminuição de W_{fin} para os menores fins (≤45nm) e V_{GT} (≤100mV), conforme já é previsto na equação (66) e em (SAITOH, et al., 2013). É possível observar nessa figura, a diminuição da influência de W_{fin} com o aumento de V_{GT}, que ocorre devido a degradação na mobilidade, passando do mecanismo de espalhamento por Coulomb para o espalhamento por Fônon e rugosidade de superfície, abordado em (MOLTO, et al., 2018a).

Figura 62 - S_{ID}/I_{DS}^2 em função da frequência com V_{GT}=100mV, V_{DS}=50mV, L=10µm e diversos W_{fins} (20nm, 45nm, 65nm e 105nm).



Fonte: Autor

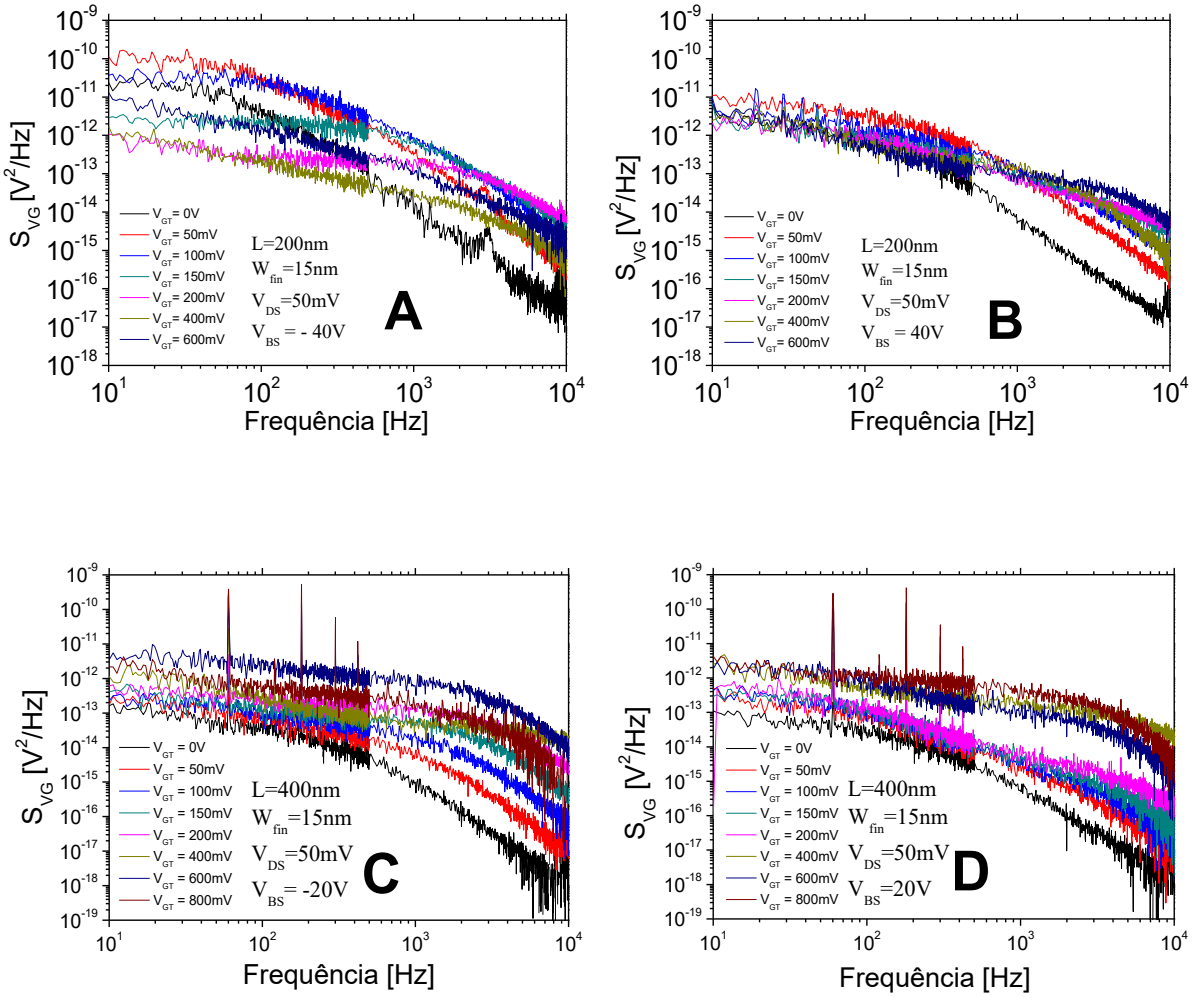
3.6 MEDIDAS EXPERIMENTAIS DE RUÍDO CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO

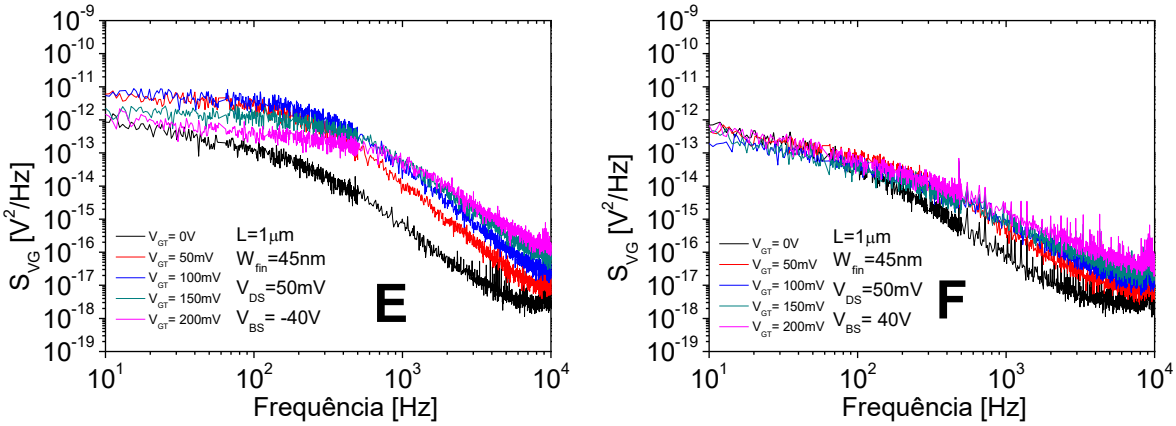
Essa seção apresenta as medidas experimentais do ruído considerando tensões aplicadas ao substrato. Aplicar tensões ao substrato, tende a melhorar consideravelmente o desempenho analógico dos transistores (DORIA, et al., 2016), porém, podem influenciar no ruído. Portanto, é necessário saber se isso implica ou não no comportamento do ruído. A seguir, será apresentado tais estudos.

A Figura 63 apresenta a curva de S_{VG} em função da frequência considerando diversos nanofios transistores L=200nm, W_{fin}=15nm, V_{GT} variando de 0mV a 600mV, V_{BS}= - 40V (A) e V_{BS}= 40V (B), L=400nm, W_{fin}=15nm, V_{GT} variando de 0mV a 800mV, V_{BS}= - 20V (C) e V_{BS}= 20V (D) e L=1µm, W_{fin}=15nm, V_{GT} variando de 0mV a 200mV, V_{BS}= - 40V (E) e V_{BS}= 40V (F). Nas figuras, considerando diversos comprimentos de canais, pode ser observado, o aumento no ruído tanto para tensões negativas como para tensões positivas conforme será confirmado mais adiante. Também é possível observar, uma maior variação do ruído com V_{GT} para tensões negativas aplicadas ao substrato. Isso ocorre pelo fato de que para tensões positivas, a maior parte da condução ocorre na segunda interface para os menores valores de V_{GT} (V_{GT}<200mV), conforme pode ser visto nas curvas da densidade de elétrons em função da

posição do canal que será apresentado mais adiante (Figura 85) e também nas curvas de $(I_{DS}/g_{m2})^2$ em função de V_{GT} apresentado na Figura 52. Com o aumento de V_{GT}, os portadores são puxados em direção ao canal, onde a influência das armadilhas de interface é menor, justificando uma menor variação no ruído para tensões positivas de V_{BS}. Já para tensões negativas aplicadas ao substrato, a condução é empurrada em direção ao óxido de porta sendo ainda mais pronunciado com o aumento de V_{GT}, onde o ruído sofre uma maior influência das armadilhas de interface. Tal característica também pode ser observada na Figura 85 que será apresentado mais adiante.

Figura 63 - Curva experimental de S_{VG} em função da frequência com L=200nm, W_{fin}=15nm, V_{GT} variando de 0mV a 600mV, V_{BS}= - 40V (A) e V_{BS}= 40V (B), L=400nm, W_{fin}=15nm, V_{GT} variando de 0mV a 800mV, V_{BS}= - 20V (C) e V_{BS}= 20V (D), L=1µm, W_{fin}=15nm, V_{GT} variando de 0V a 200mV, V_{BS}= - 40V (E) e V_{BS}= 40V (F).

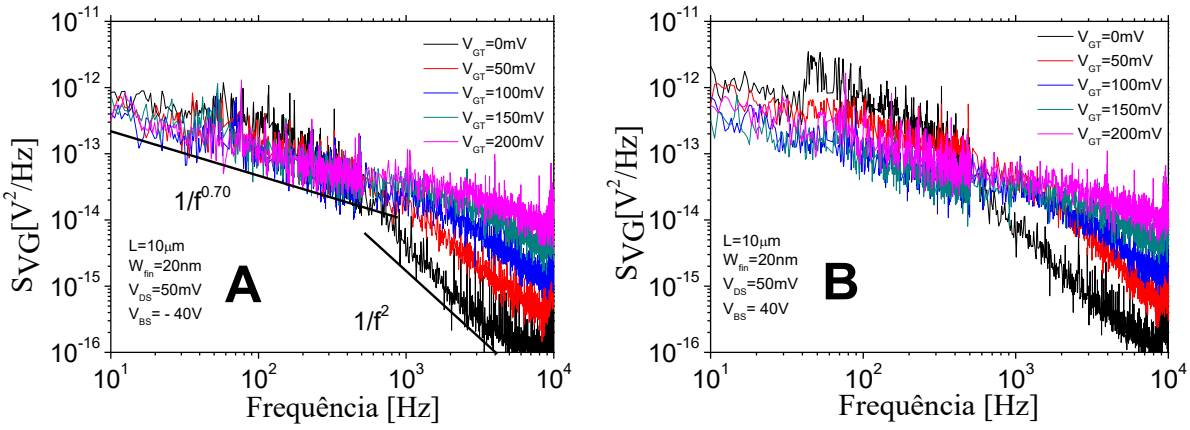


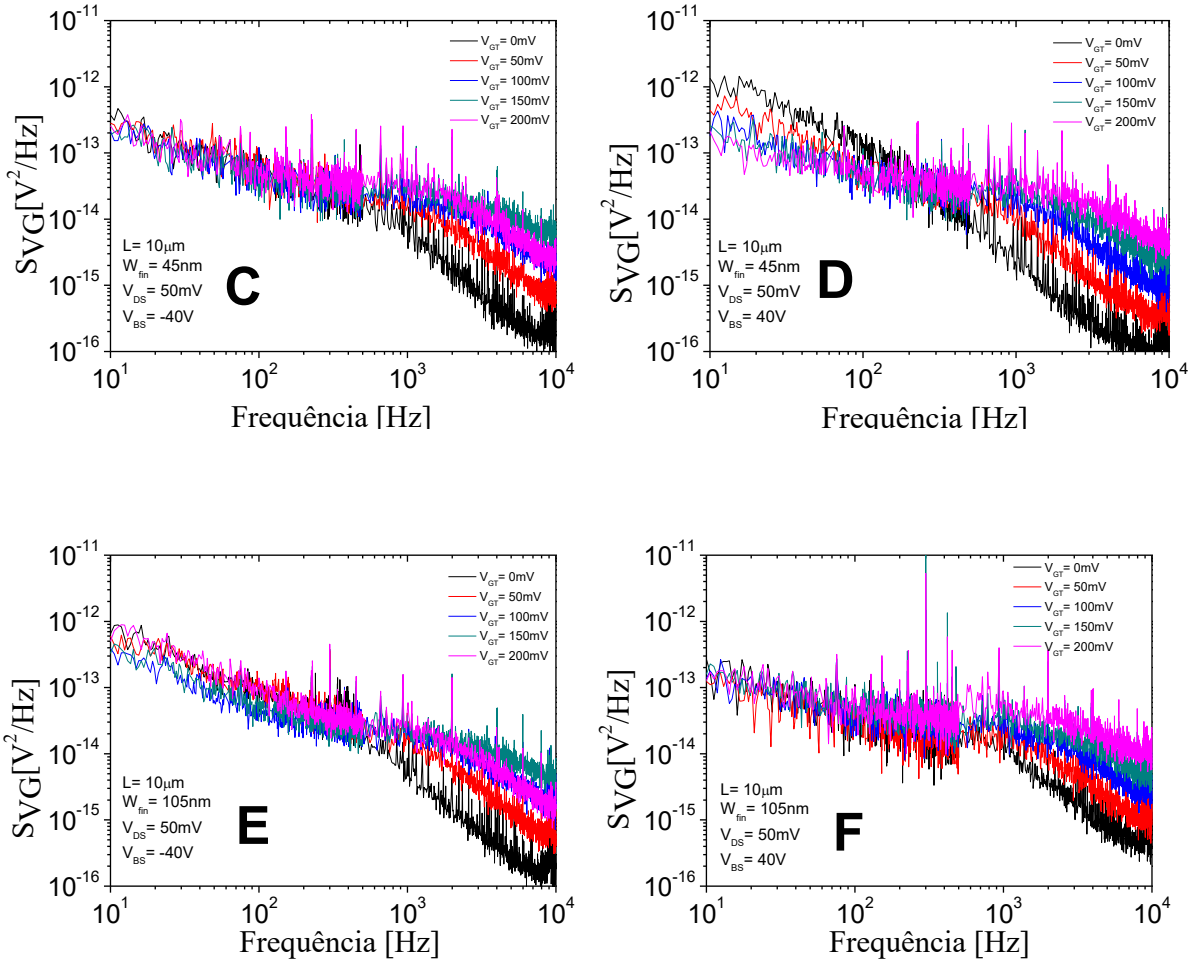


Fonte: Autor

A Figura 64 apresenta estudo similar ao apresentado anteriormente na *Figura 63*, porém para dispositivos com maior comprimento de canal L=10µm e diversos W_{fins} (20nm, 65nm e 105nm). Os dispositivos não mostraram uma variação significativa no ruído com as tensões aplicadas ao substrato. Isso provavelmente ocorre devido ao ruído reduzir com o aumento do comprimento de canal, conforme pode ser observado nas equações de ruído apresentado anteriormente na seção 2.7.2.3. Por esse motivo, a utilização de transistores com maior comprimento de canal, pode ser uma boa alternativa para aplicações analógicas envolvendo tensões aplicadas ao substrato.

Figura 64 - Curva experimental de S_{VG} em função da frequência com L=10µm, W_{fin}=20nm e V_{BS} variando de -40V (A) a 40V (B), L=10µm, W_{fin}=65nm e V_{BS} variando de -40V (C) a 40V (D), L=10µm, W_{fin}=105nm e V_{BS} variando de -40V (E) a 40V (F).



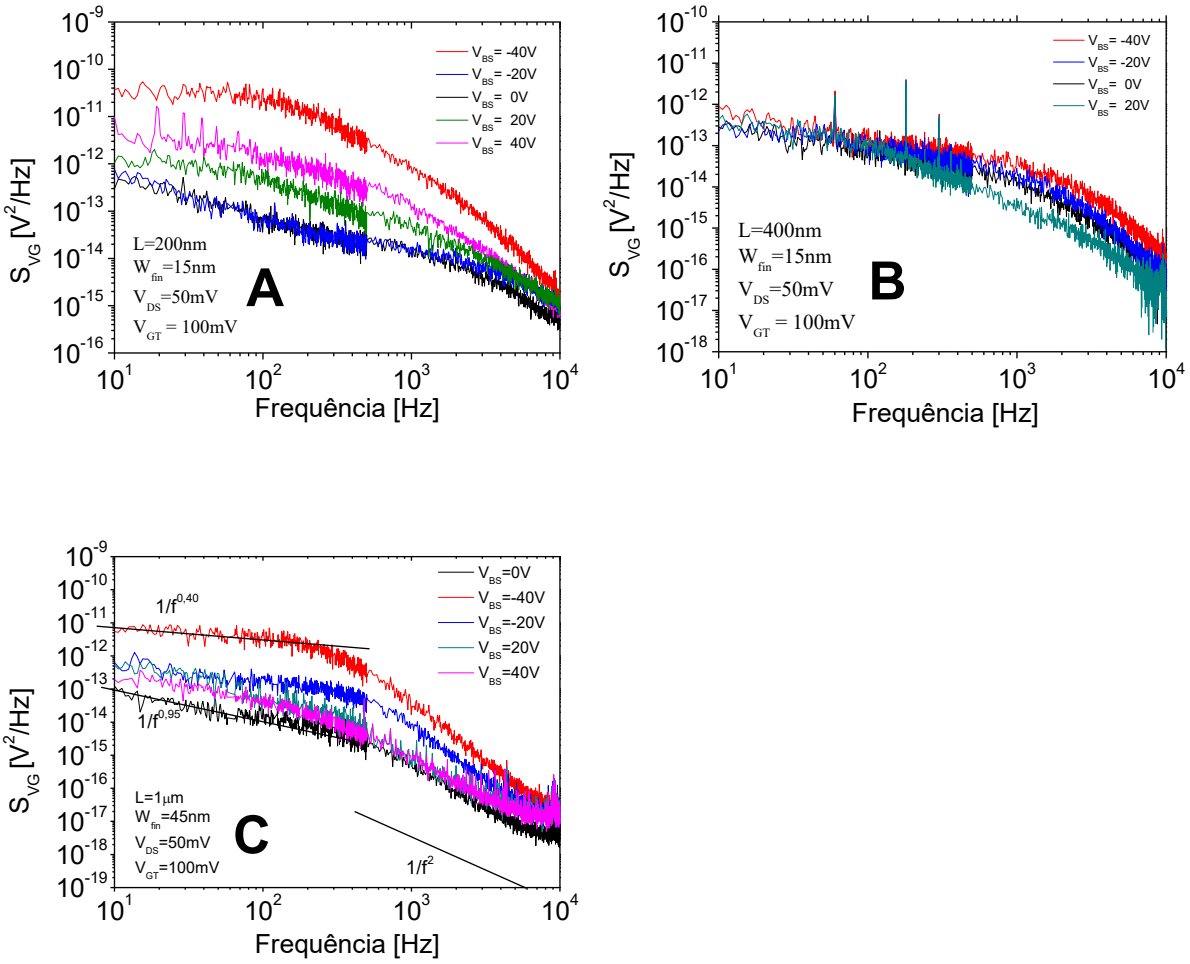


Fonte: Autor

A Figura 65 apresenta a curva de S_{VG} em função da frequência dos dispositivos com L=200nm e W_{fin}=15nm (A), L=400nm e W_{fin}=15nm (B) e L=1µm e W_{fin}=45nm (C), considerando V_{GT} fixo de 100mV e variando a tensão aplicada ao substrato variando de -40V a 40V em passos de 20V. Nessa figura, foi possível observar o aumento de ruído tanto para tensões positivas como para tensões negativas. O aumento do ruído para tensões positivas aplicadas ao substrato é devido as armadilhas localizadas na segunda interface. O oposto ocorre para tensões negativas aplicadas ao substrato. Na Figura 65A, é observado um aumento do ruído com V_{BS} de aproximadamente duas ordens de grandezas. Já na Figura 65B, onde envolve um maior comprimento de canal, esse efeito é reduzido. Já a figura Figura 65C, apresenta um nanofio transistor com um comprimento de canal ainda maior (L=1µm) e W_{fin} mais largo de 45nm. Mesmo com um maior comprimento de canal, o que sugeriria um menor ruído, tal figura mostrou uma maior variação do ruído com as tensões aplicadas ao substrato. Isso ocorreu pelo

fato do aumento de W_{fin} promover uma maior influência no ruído quando aplicado tensões ao substrato.

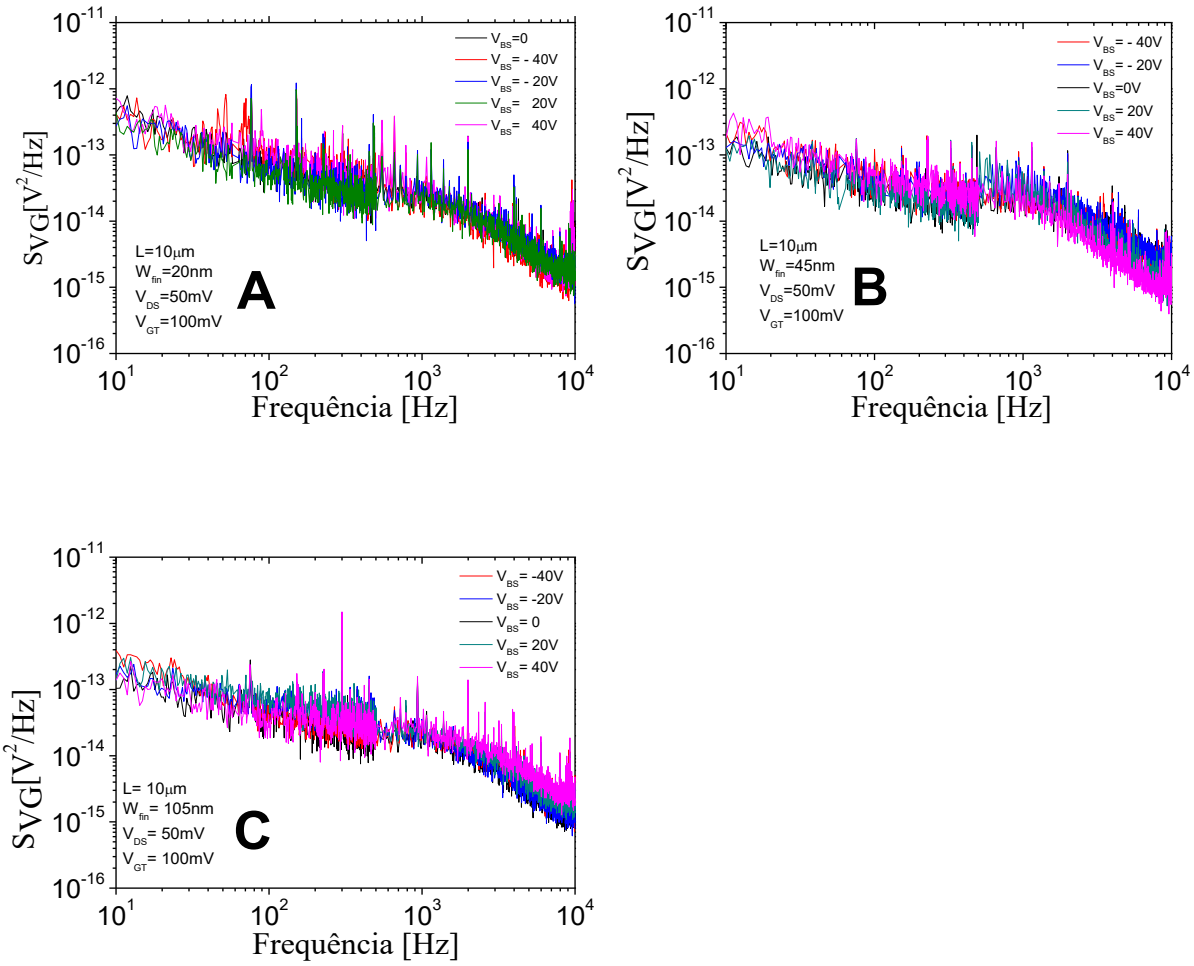
Figura 65 - Curva experimental de S_{VG} em função da frequência com L=200nm e W_{fin}=15nm (A), L=400nm e W_{fin}=15nm (B), L=1µm e W_{fin}=45nm (C), com V_{GT} de 100mV e V_{BS} variando de -40V a 40V.



Fonte: Autor

A Figura 66 apresenta a curva de S_{VG} em função da frequência dos dispositivos de comprimento de canal mais largos com L=10µm e diversos W_{fins} (20nm, 45nm e 105nm), considerando V_{GT} fixo de 100mV e variando a tensão aplicada ao substrato variando de -40V a 40V em passos de 20V. Nessa figura, foi possível observar, semelhantemente ao visto anteriormente na Figura 64, uma variação bem discreta do ruído devido ao largo comprimento de canal.

Figura 66 - S_{VG} em função da frequência com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=105nm (C), com V_{GT}=100mV e V_{BS} variando de -40V a 40V em passos de 20V.

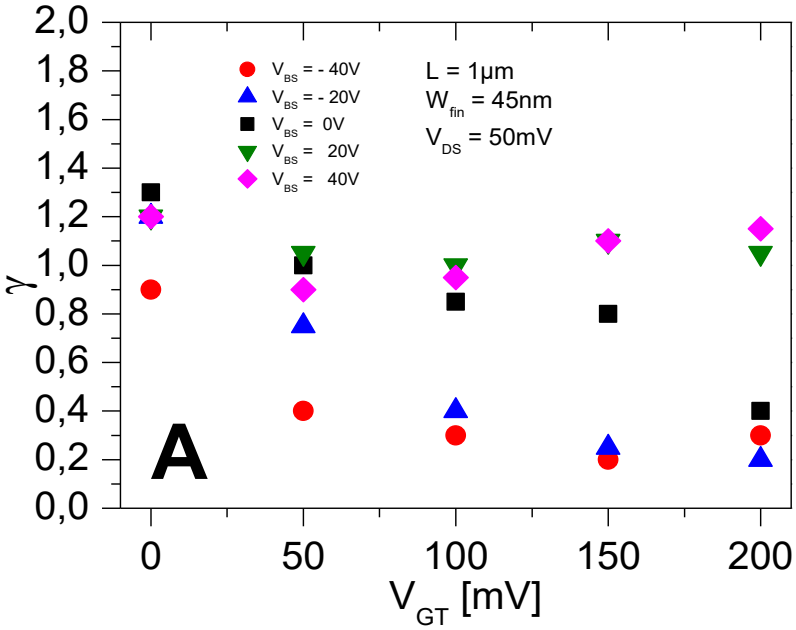


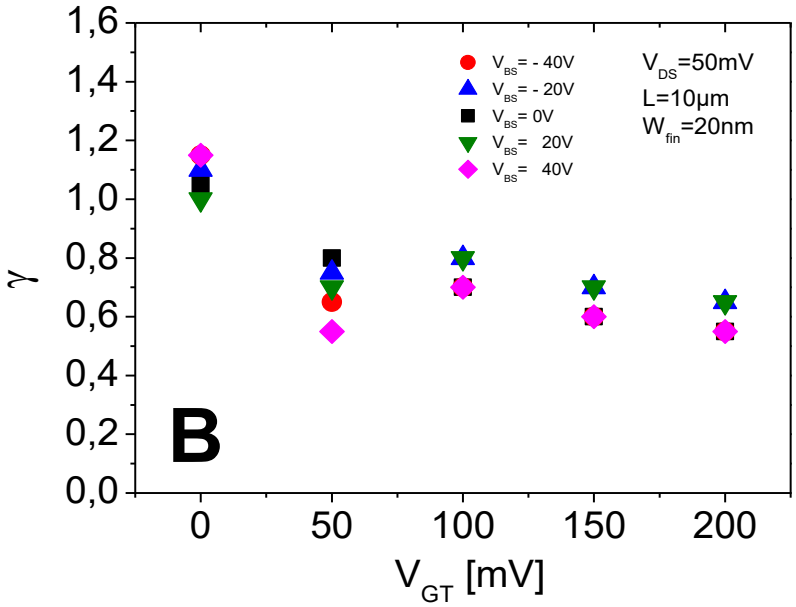
Fonte: Autor

A Figura 67 apresenta o estudo da inclinação gama (γ) em função de V_{GT} para os transistores com L=1µm, W_{fin}=45nm (A), L=10µm, W_{fin}=20nm (B) e V_{BS} variando de -40V a 40V em passos de 20V. Tanto na Figura 67A como na Figura 67B, é possível observar a dependência de γ com V_{GT} conforme visto em (THEODOROU, et al., 2017) e nos estudos anteriormente feito na seção 3.5 considerando o substrato aterrado. As tensões aplicadas ao substrato também interferem γ. Na Figura 67A, é possível observar uma menor variação de γ para V_{BS} positivo. Isso ocorre pelo fato de que a densidade de elétrons com a aplicação de V_{GT} para tensões positivas aplicadas ao substrato, migram da interface traseira para a interface frontal, sofrendo uma menor influência das armadilhas nessas interfaces devido a condução ocorrer mais para o interior do canal onde a influência em γ é menor. Para o dispositivo com

maior comprimento de canal (L=10µm), Figura 67B, não foi possível observar tal característica devido ao largo L.

Figura 67 - γ em função de V_{GT} com V_{DS}=50mV, L=1µm, W_{fin}=45nm (A), L=10µm, W_{fin}=20nm (B) e V_{BS} variando de -40V a 40V em passos de 20V.



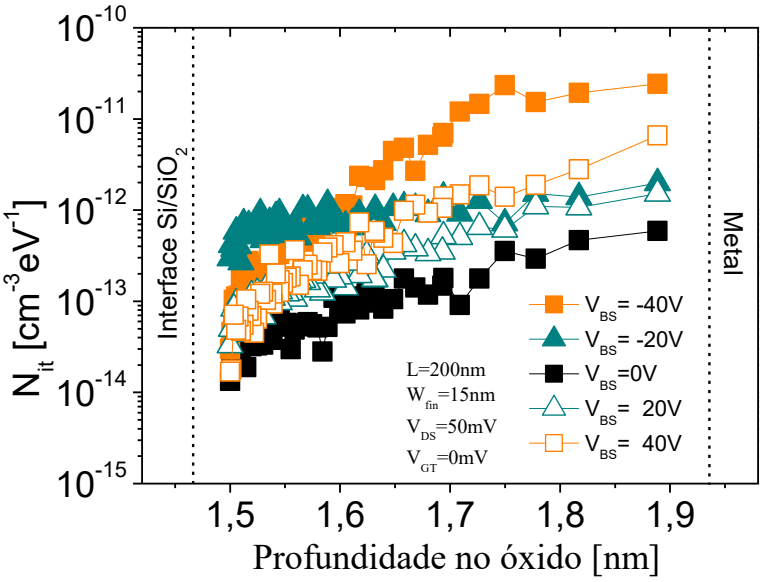


Fonte: Autor

A Figura 68 apresenta a densidade de armadilhas na interface superior em função da profundidade do óxido para o nanofio transistor com L=200nm, W_{fin}=15nm, f=100Hz e V_{BS}

variando de -40V a 40V em passos de 20V extraída a partir da equação de Mc Whorter. Nessa curva, é possível observar o aumento de ruído com a profundidade, principalmente para as tensões mais negativas de V_{BS}. A maior densidade de armadilhas, sugere um maior nível de ruído, reduzindo a inclinação de γ, conforme foi observado na Figura 20.

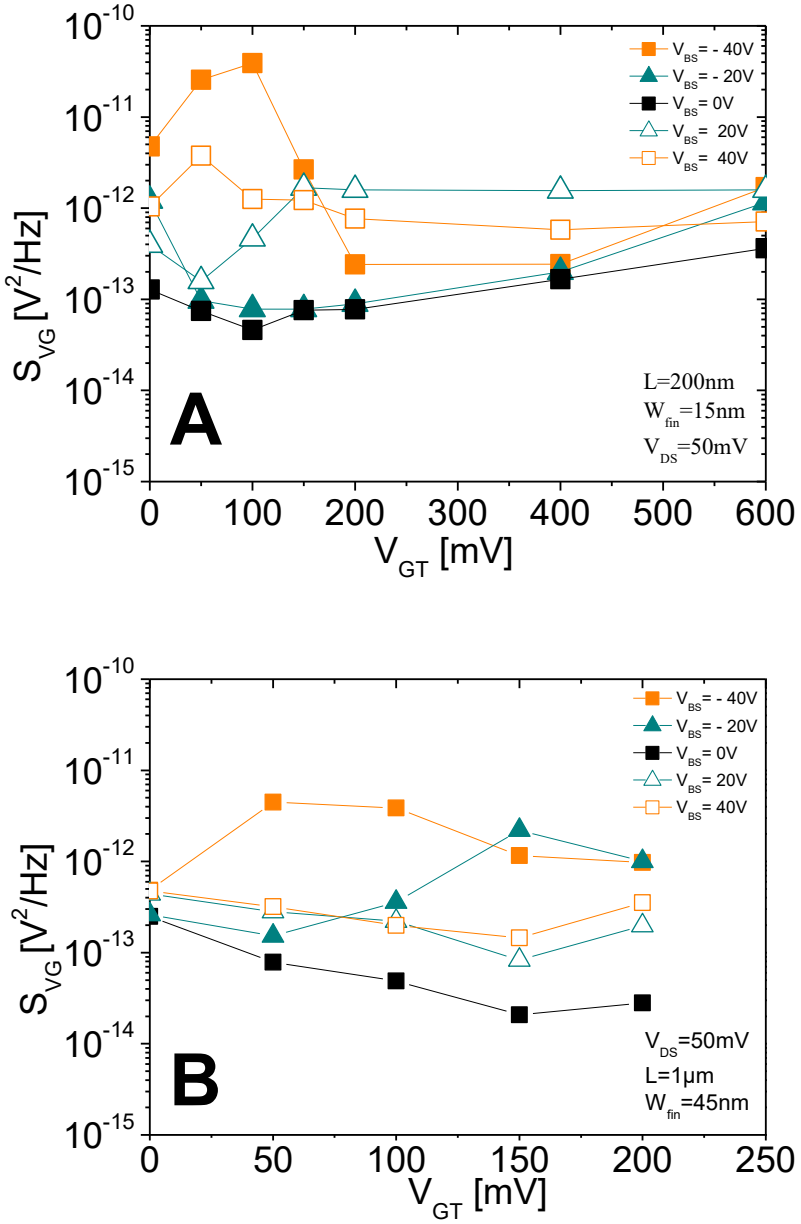
Figura 68 - N_{it} em função da profundidade (z) com V_{DS}=50mV, L=200nm, W_{fin}=15nm, f=100Hz e V_{BS} variando de -40V a 40V em passos de 20V.



Fonte: Autor

A Figura 69 apresenta S_{VG} em função de V_{GT} com V_{DS}=50mV, L=200nm e W_{fin}=15nm (A), L=1µm e W_{fin}=45nm (B) e V_{BS} variando de -40V a 40V em passos de 20V. Nessa figura, similarmente a Figura 65, houve um aumento do ruído aplicando-se tensões ao substrato. A variação mais pronunciada com o aumento de V_{GT} ocorre para os valores de V_{BS} diferentes de 0V. Tanto a Figura 69A como a Figura 69B apresentam comportamentos muito similares. Considerando a Figura 69A, com uma maior excursão de V_{GT} (de 0V a 800mV) em relação a Figura 69B (de 0V a 200mV), é possível observar uma maior variação do ruído para os menores V_{GTs} pelo fato dos menores V_{GTs} promoverem uma maior variação do ruído com V_{BS} devido a densidade de elétrons sofrer maior variação com V_{BS}, conforme é possível observar nas curvas da densidade de elétrons em função da posição do canal (Figura 85). Para os V_{GTs} mais altos, a condução ocorre em sua maioria na interface frontal, tendo uma menor variação com V_{GT}.

Figura 69 - Curva experimental de S_{VG} em função de V_{GT} com L=200nm, W_{fin}=15nm (A), L=1µm, W_{fin}=45nm (B) e V_{BS} variando de -40 a 40V.

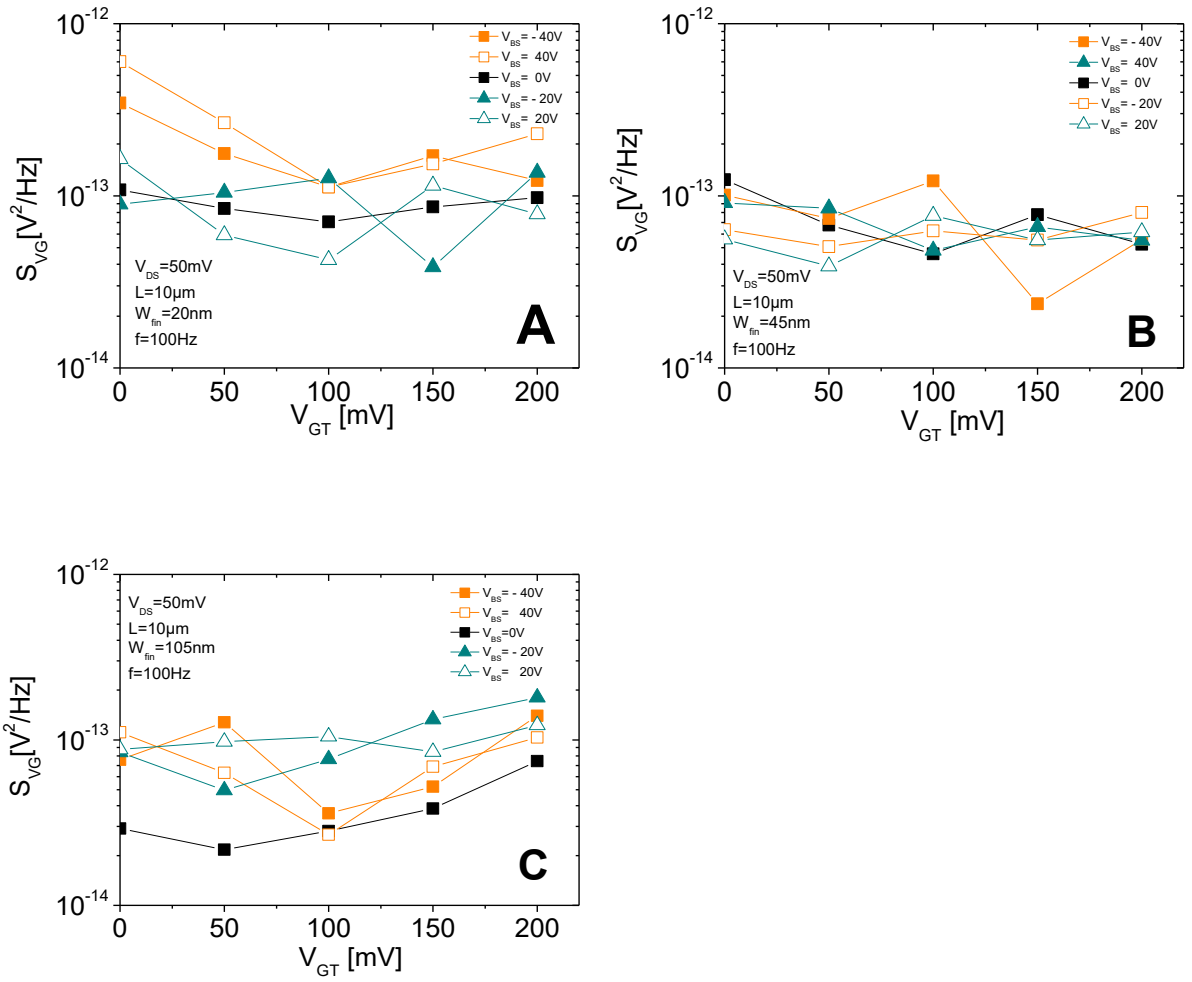


Fonte: Autor

A Figura 70 apresenta S_{VG} em função de V_{GT} com V_{DS}=50mV, porém agora para os dispositivos com maior comprimento de canal (L=10µm) e diversos W_{fins} (20nm, 45nm e 105nm) com V_{BS} variando de -40V a 40V em passos de 20V. Nessa figura, semelhantemente ao apresentado anteriormente na *Figura 69*, foi possível observar o aumento do ruído em sua maioria quando aplicado tensões ao substrato para os diversos V_{GTs}. Porém, como já era previsto de acordo com as análises feitas anteriormente na *Figura 66*, a variação do ruído nesses

dispositivos é menor, menos de uma ordem de grandeza em relação aos dispositivos com menores comprimentos de canal.

Figura 70 - S_{VG} em função de V_{GT} com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=20nm (C) comV_{GT}=100mV e V_{BS} variando de -40V a 40V em passos de 20V.

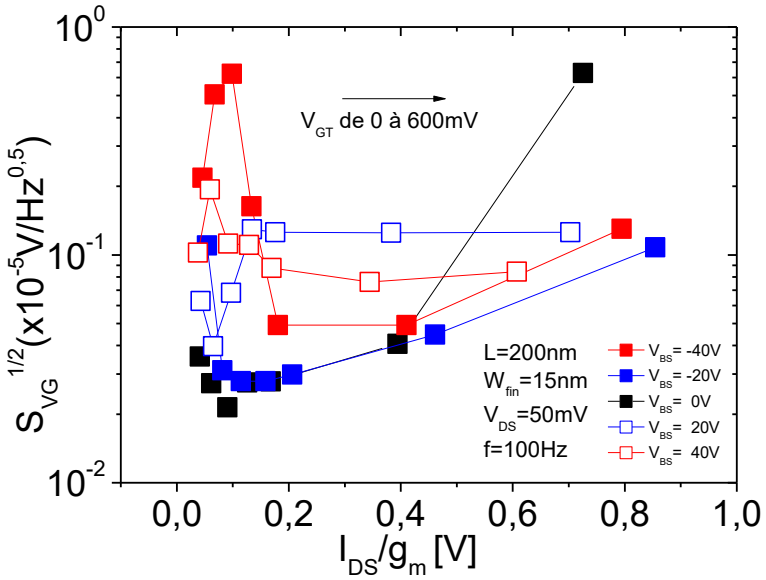


Fonte: Autor

A Figura 71 apresenta a Curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=200nm, W_{fin}=15nm e V_{BS} variando de -40 a 40V. É possível observar nessa figura, com o auxílio da equação (80), a influência da variação da mobilidade no ruído, onde as curvas mostram uma tendência de crescimento para os maiores valores de V_{GT} (V_{GT}>200mV). De acordo com a equação (80), a curva de $S_{VG}^{1/2}$ em função de I_{DS}/g_m deve apresentar a variação

de $S_{V_{fb}}^{\frac{1}{2}}.\alpha_{sc}.\mu_{eff}.C_{ox}.\frac{I_{DS}}{g_m}$. As curvas considerando tensões aplicadas ao substrato apresentaram uma menor variação para V_{GTs} > 200mV, mostrando a degradação na mobilidade.

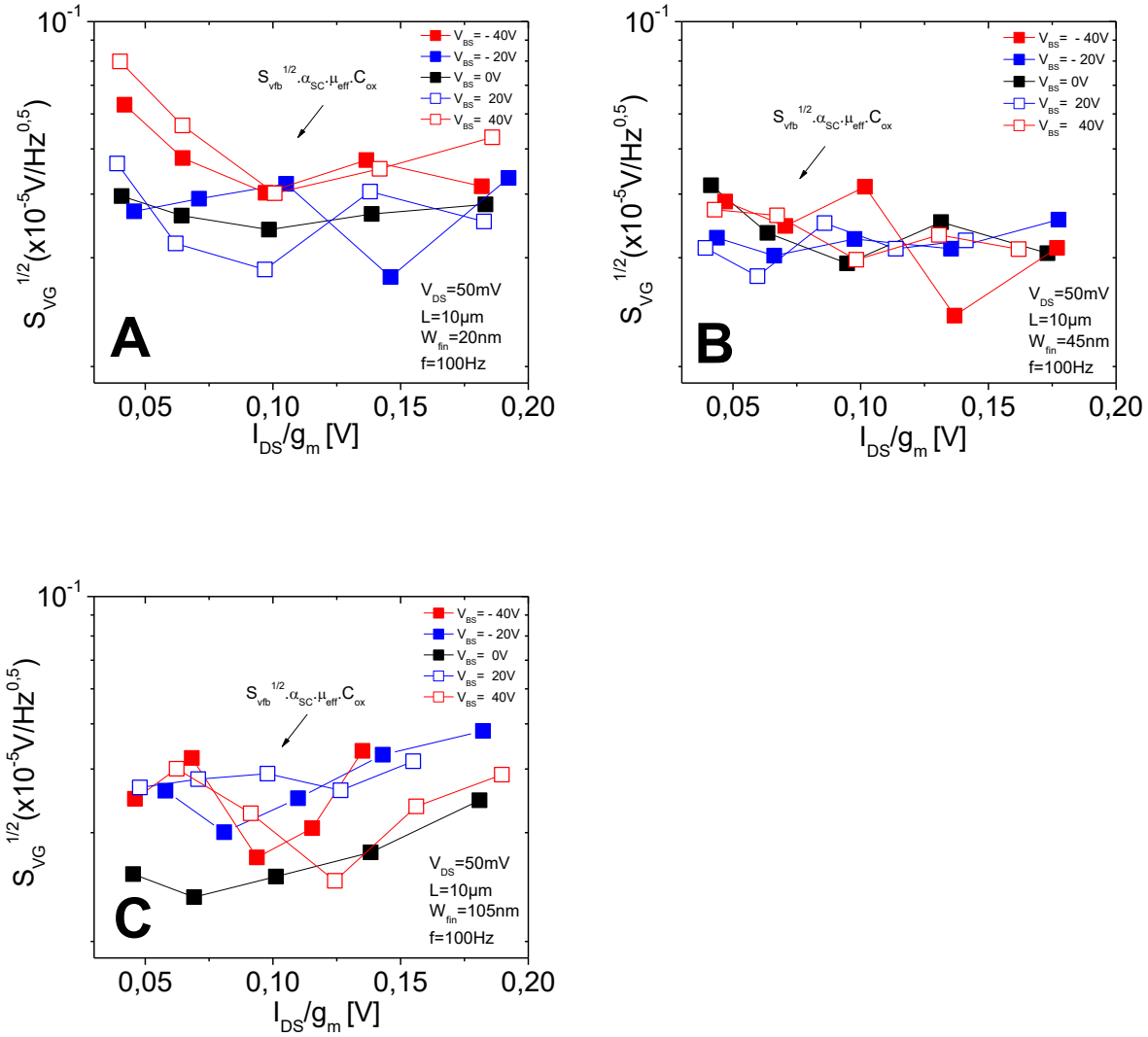
Figura 71 - Curva experimental de $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=200nm, W_{fin}=15nm e V_{BS} variando de -40 a 40V.



Fonte: Autor

A Figura 72 apresenta $S_{VG}^{1/2}$ em função de I_{DS}/g_m, considerando um dispositivo com maior comprimento de canal (L=10µm) e diversos W_{fins} (W_{fin}=20nm (A), W_{fin}=65nm (B), W_{fin}=105nm (C)), com V_{GT} variando de 0 a 200mV em passos de 50mV e V_{BS} variando de -40V a 40V em passos de 20V. Nessa curva é possível observar pouca variação do ruído com os diversos V_{GTs} (menos de uma ordem de grandeza). Porém, mesmo que com pouca variação, é possível um comportamento mais sinuoso para as medidas envolvendo tensões aplicadas ao substrato, devido as variações na mobilidade.

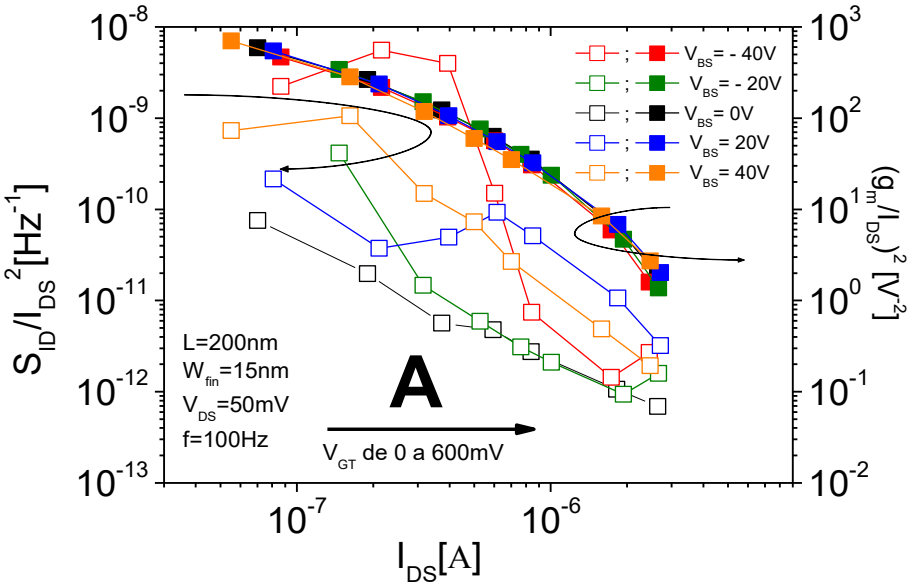
Figura 72 - $S_{VG}^{1/2}$ em função de I_{DS}/g_m com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=105nm (C), com V_{GT} variando de 0 a 200mV em passos de 50mV e V_{BS} variando de -40V a 40V em passos de 20V.

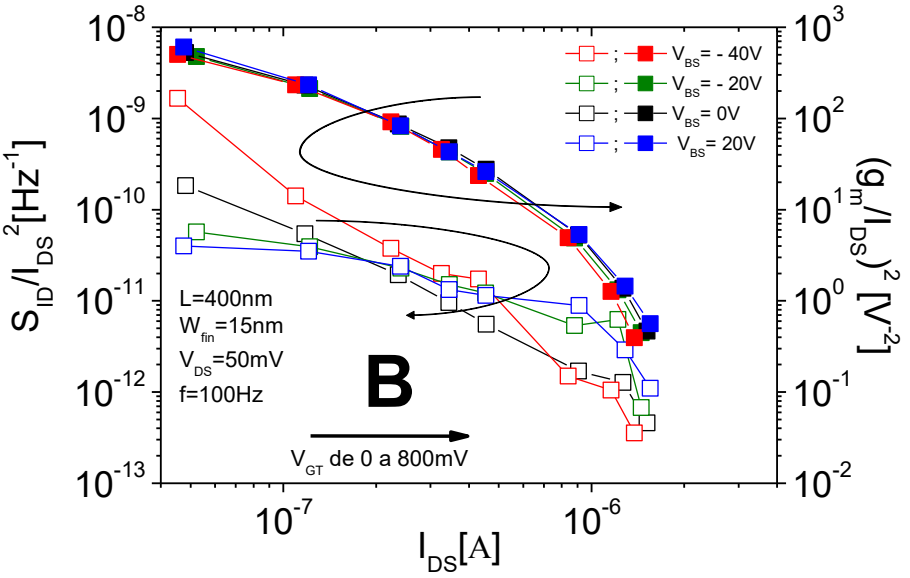


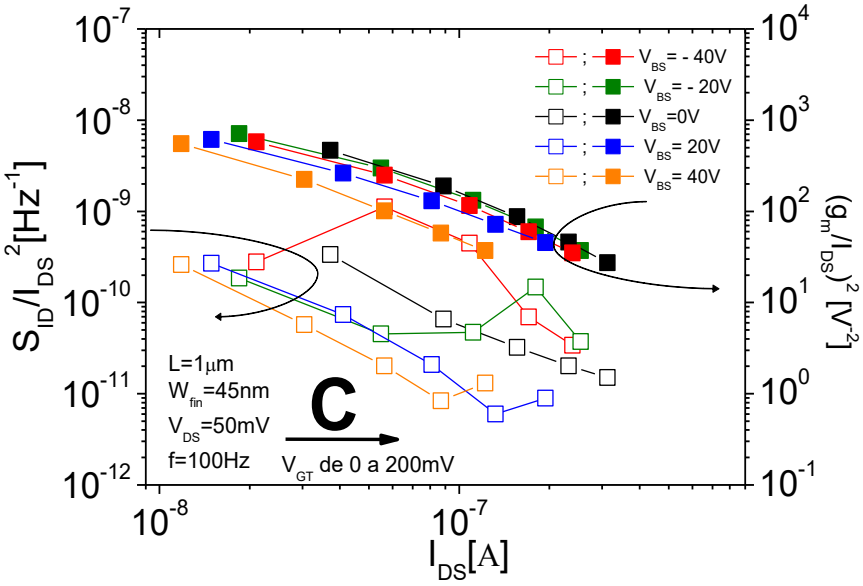
Fonte: Autor

A Figura 73 apresenta a curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (quadrados abertos, eixo da esquerda) e g_m/I_{DS}^2 em função de I_{DS} (quadrados fechados, eixo da direita) com L=200nm, W_{fin}=15nm (A), L=400nm, W_{fin}=15nm (B) e L=1µm, W_{fin}=45nm (C). Caso a curva de S_{ID}/I_{DS}^2 tenha o comportamento similar ao da curva de $(g_m/I_{DS})^{2,}$ o ruído é proveniente da variação do número de portadores no canal. Como é possível observar nas figuras, com exceção a curva de V_{BS}=0V, apresentadas anteriormente na seção 3.5, as curvas de S_{ID}/I_{DS}^2 divergem em relação a curva de $(g_m/I_{DS})^2$, indicando interferência da variação da mobilidade no ruído.

Figura 73 - Curva experimental de S_{ID}/I_{DS}^2 em função de I_{DS} (quadrados abertos, eixo da esquerda) e g_m/I_{DS}^2 em função de I_{DS} (quadrados fechados, eixo da direita) com L=200nm, W_{fin}=15nm (A), L=400nm, W_{fin}=15nm (B) e L=1µm, W_{fin}=45nm (C).





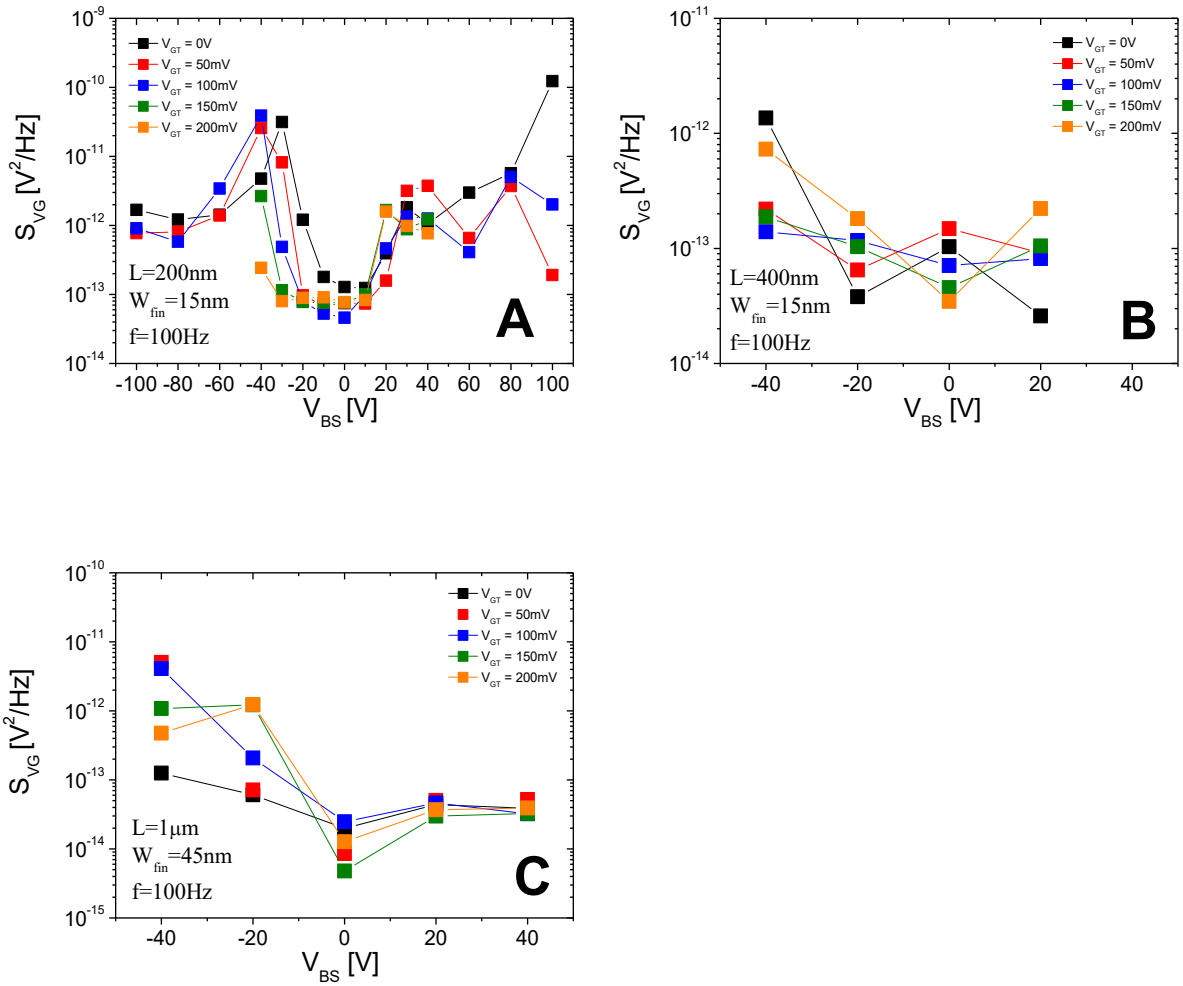


Fonte: Autor

A Figura 74 apresenta a curva experimental de S_{VG} em função de V_{BS}. Nessa curva, é possível observar um aumento do ruído tanto para as tensões negativas como para as tensões positivas, conforme já observado em (MOLTO, et al., 2018a), (MOLTO, et al., 2018b) e (MOLTO, et al., 2019). É possível observar nessa figura que para V_{BS} positivo, a condução ocorre principalmente na interface traseira, sendo o ruído principal, o ruído gerado nessa região. Já para tensões negativas de V_{BS}, o ruído principal é o ruído gerado pela interface frontal. A Figura 74 apresenta um valor maior de ruído para tensões negativas quando comparado com tensões positivas. Isso ocorre pelo fato da densidade de cagas ser maior nessa região e também se aproximar mais da interface Si/SiO_2 com V_{GT}, o que será visto mais adiante nas seções 4.6 e 4.7. É possível observar também nessa figura, que as maiores variações são as de V_{GT} mais baixos. Isso ocorre pelo fato de que para as maiores tensões de V_{GT}, tanto para tensões negativas, nulas ou positivas, a maior parte da condução acontece próximo a interface de frontal, havendo pouca variação com V_{BS}. Nessa figura, também é possível observar uma maior variação do ruído com o aumento de V_{GT} para as tensões mais negativas. Isso ocorre pelo fato da condução estar mais próxima a interface superior e o aumento de V_{GT} fazer com que ela se aproxime ainda mais, sendo afetada pelas armadilhas nessa região. Já para V_{BS} positivo, como o ruído está sendo influenciado pelas armadilhas na interface inferior, o aumento de V_{GT} faz com que a condução caminhe para o interior do canal, onde o ruído é governado pelo

mecanismo de geração e recombinação, tendo uma menor influência das armadilhas das interfaces superiores e inferiores, influenciando menos na variação do ruído.

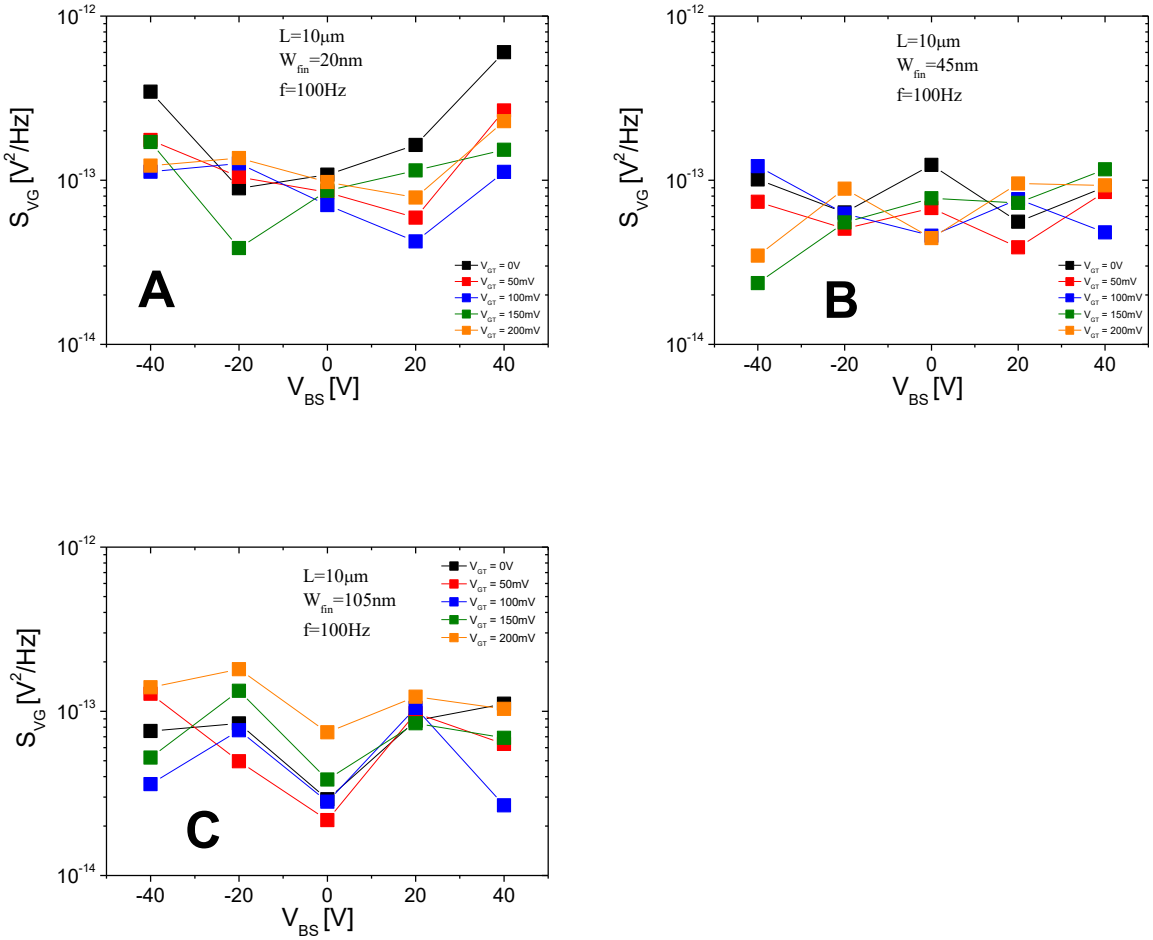
Figura 74 - Curva experimental de S_{VG} em função de V_{BS} com L=200nm, W_{fin}=15nm (A), L=400nm, W_{fin}=15nm (B), L=1µm, W_{fin}=45nm (C) e V_{BS} variando de -40 a 40V.



Fonte: Autor

A Figura 75 apresenta a curva de S_{VG} em função de V_{BS}, considerando dispositivos com maior comprimento de canal (L=10µm), diversos W_{fins} (20nm (A), W_{fin}=65nm (B), W_{fin}=105nm (C)), com V_{GT} variando de 0 a 200mV e V_{BS} variando de -40V a 40V em passos de 20V. Nessas curvas, foi possível observar a variação de menos de uma ordem de grandeza no ruído com tensões aplicadas ao substrato.

Figura 75 - S_{VG} em função de V_{BS} com L=10µm, W_{fin}=20nm (A), L=10µm, W_{fin}=65nm (B), L=10µm, W_{fin}=105nm (C), com V_{GT} variando de 0 a 200mV e V_{BS} variando de -40V a 40V em passos de 20V.



Fonte: Autor

4 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Este capítulo apresenta os resultados obtidos através de simulações numéricas tridimensionais DC e de ruído executadas em nanofios transistores com o substrato aterrado e eplicando tensões ao substrato.

4.1 SIMULADOR SENTAURUS

Para as simulações numéricas tridimensionais foi utilizado o software Sentaurus da Synopsys (SYNOPSYS, 2021) que tem por finalidade simular as propriedades físicas dos materias através de métodos numéricos, permitindo análises muito próximas as reais obtidas através de medidas experimentais. Nesse trabalho, o simulador foi utilizado para simular os parâmetros DC e de ruído dos nanofios transistores de múltiplas portas, em formato Ω, totalmente depletados, canal n, modo inversão com o intuito de embasar teoricamente os resultados obtidos experimentalmente.

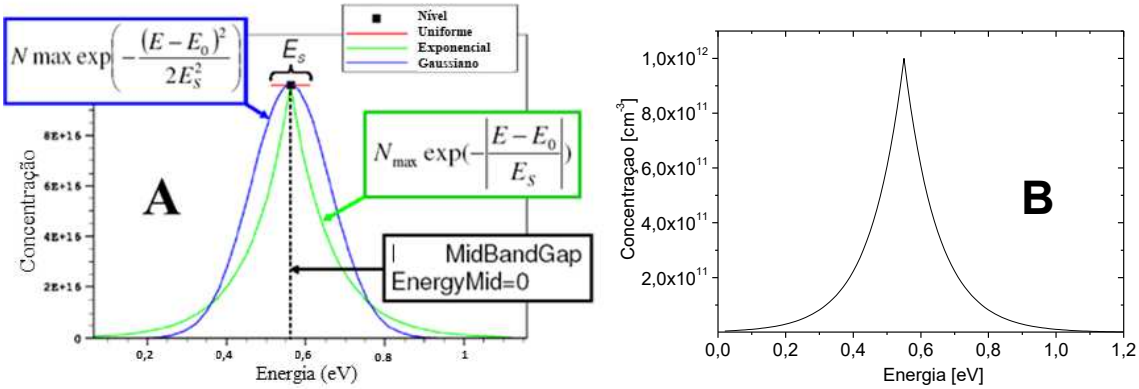
Para as simulações DC, foi utilizado o modelo IALMob (*Inversion and Accumulation Layer Mobility Model*), este modelo considera a degradação da mobilidade nas camadas de inversão e acumulação. O modelo considera os mecanismos de degradação por fônons, Coulomb e rugosidade de superficie. O modelo *ENORMAL* que considera a atração dos portadores para a interface semicondutor/isolante quando há alto campo elétrico vertical também foi utilizado. O modelo de saturação de alto campo (*High Field Saturation*), este modelo determina a influência do alto campo elétrico horizontal na mobilidade dos portadores. Para descrever o processo de geração e recombinação de portadores foi utilizado o modelo (Auger SRH(DopingDep)) (*Shockley-Read-Hall*) que quantifica a recombinação de portadores devido a defeitos presentes na rede cristalina, o sub-modelo DopingDep que calcula o tempo de vida dos portadores com base na dependência com a concentração de dopantes e o modelo Auger, onde esse modelo recontabiliza o mecanismo de recombinação. O modelo *BandGapNarrowing (OldSlotboom)* que considera o efeito do estreitamento da largura de banda proibida e o modelo *eQuantumPotential* que considera os efeitos quânticos da densidade de portadores na condução.

Para a simulação do ruído, o Sentaurus, utiliza o modelo AC de simulação e o modelo estatístico de variabilidade IFM (*Impedance Field Method*), que tem como principal finalidade linearizar as perturbações aleatórias, tratando todas elas como uma estrutura comum (SYNOPSYS, 2021). Diversos modelos para tais variações podem ser utilizados no simulador,

sendo eles: Ruído de difusão (*Diffusion Noise*), Ruído Monopolar Equivalente de Geração e Recombinação (*Equivalent Monopolar Generation-Recombination Noise*), Ruído Flicker Bulk (*Bulk Flicker Noise*), Ruído de armadilhas (*Trapping Noise*), Flutuação Randômica de Dopante (*Random Dopant Fluctuations*), Flutuação aleatória de Geometria (*Random Geometric Fluctuations*), Flutuação Randômica de Concentração de Armadilhas (*Random Trap Concentrations Fluctuation*), Flutuação aleatória da Função Trabalho (*Randon Workfunction Fluctuation*), Flutuação aleatória da beira da Banda (*Random Band Edge Fluctuations*), Flutuação aleatória da condutividade do metal (*Random Metal Conductivity Fluctuation*) e Constante Dielétrica aleatória (*Random Dielectric Constant Fluctuation*). O arquivo fonte das simulações encontram se no apêndice A.

Nas simulações feitas nesse trabalho, foi utilizado o modelo ruído de armadilhas (*Trapping Noise*). Para tal simulação, foi necessário estabelecer o exato posicionamento das armadilhas no interior da estrutura, a densidade em cm^{-3}, a distribuição e a seção transversal. Dois possíveis tipos de armadilhas são consideradas: Armadilhas de cargas fixas e armadilhas recarregáveis (armadilhas móveis). As armadilhas de carga fixa não interferem no ruído, pois possuem seu valor fixo, já as móveis são as responsáveis pelas perturbações e foco desse trabalho. As armadilhas móveis podem ser do tipo doadoras ou aceitadoras e podem ser de quatro tipos e são representadas pela (Figura 76A). São elas: armadilha em nível ("level") onde é estabelecido um nível único de energia da armadilha (ponto único em preto na figura), de distribuição uniforme ("Uniform") onde as armadilhas serão distribuídas uniformemente ao longo do óxido (vermelho), distribuição expenencial ("Exponential") descreve uma distribuição exponencial de armadilhas (verde) e por fim, de distribuição Gaussina ("Gaussian"), onde as armadilhas terão a distribuição Gaussiana (azul). Nas simulações executadas nesse trabalho, foi utilizada a distribuição expenencial de armadilhas. A equação (87) descreve tal distribuição. O parâmetro de seção transversal define a dinâmica da taxa de geração e recombinação da armadilha. A constante de tempo de armadilhamento e desarmadilhamento, considerando uma única armadilha é dado pela equação (52) já apresentada na seção 2.7.2. A Figura 76B representa a simulação feita ca concentação de armadilhas em função da energia em Mathcad.

Figura 76 - Curva da concentração de armadilhas [cm^{-3}] em função da energia [eV] (Manual do Sentaurus (A) e simulado no Mathcad (B).

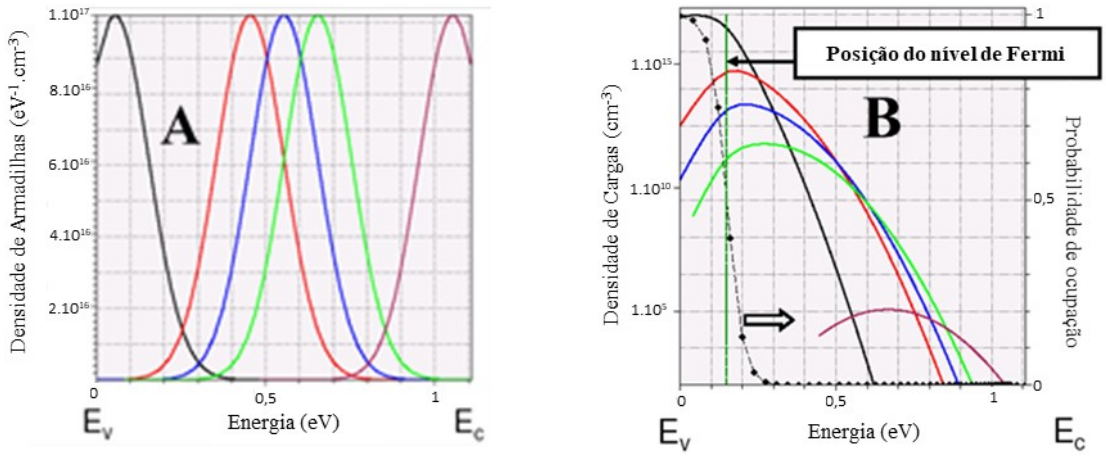


Fonte: "Adaptado de " (SYNOPSYS, 2021) (A) e autor (B).

$$\mathrm{Conc} = \mathrm{N_{max}}.\,\mathrm{e}^{\left[-\left[\sqrt{\left(\frac{\mathrm{E_x}-\mathrm{E_0}}{\mathrm{E_S}}\right)^2}\right]\right]} \tag{87}$$

A Figura 77 representa a densidade de armadilhas no espaço de energias para diferentes valores de pico de energia que se movem do meio da faixa de energias, em direção as bordas de condução e valência (Figura 77A). No simulador, além do tipo de distribuição das armadilhas, é possível ajustar o posicionamento do pico de energia, desde a valência até a condução. A Figura 77B apresenta a variação da densidade de armadilhas em espaços de energia, onde a linha tracejada representa a probabilidade do nível de Fermi e a linha vertical, em verde, representa o nível de quasi-Fermi. Apenas as armadilhas com níveis próximos ao nível de Fermi irão contribuir para o ruído (HAARTMAN, et al., 2007).

Figura 77 - Variação da densidade de armadilhas no espaço de energia para diferentes valores de pico de energia que se movem do meio da banda em direção as bordas de condução e valência (A) e Variação da densidade de armadilhas em espaços de energia. A linha tracejada representa a probabilidade do nível de Fermi e a linha vertical verde o nível de quasi-Fermi (B).

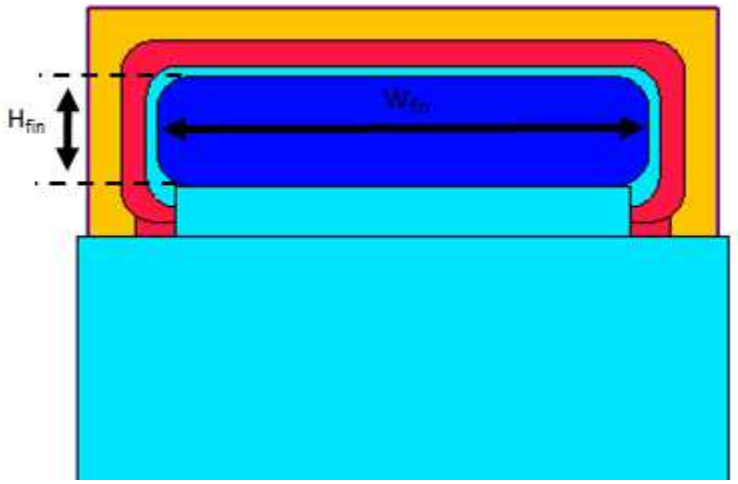


Fonte: “Adaptado de” (SYNOPSYS, 2021).

4.2 CALIBRAÇÃO DO SIMULADOR

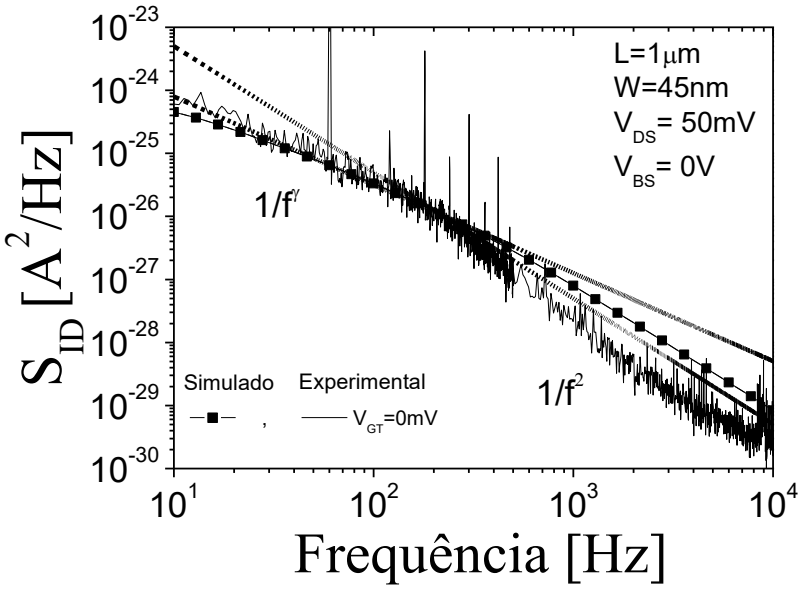
Para chegar em uma simulação de ruído mais assertiva possível, foi feita a calibração do simulador com uma curva experimental. A Figura 78 apresenta a seção transversal do nanofio transistor simulado. Conforme pode ser observado na *Figura 79* que apresenta a Curva simulada (traço e ponto) e experimental (traço contínuo) de S_{ID} em função da frequência com V_{DS}=50mV, L=1µm, W_{fin}=45nm, V_{GT}= 0mV e V_{BS}=0V. Nessa curva, para frequências abaixo de 200Hz, tem-se o ruído $1/f^{\gamma}$. Acima dessa frequência, o ruído $1/f^{\gamma}$ é superposto pelo ruído de geração e recombinação.

Figura 78 - Seção transversal da estrutura do nanofio transistor simulado com L=1µm e W_{fin}=45nm.



Fonte: Autor

Figura 79 - Curva simulada e experimental de S_{ID} em função da frequência com V_{DS}=50mV, L=1µm, W_{fin}=45nm, V_{GT}= 0mV e V_{BS}=0V.

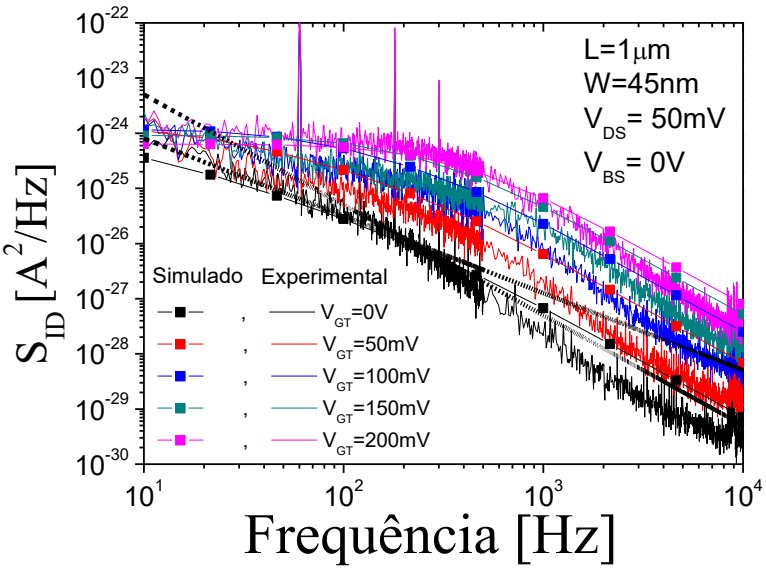


Fonte: Autor

Com o simulador já calibrado, foi obtida a curva apresentado na Figura 80, que apresenta a curva simulada (traço e ponto) e experimental (traço contínuo) de S_{ID} em função da frequência com V_{DS}=50mV, L=1µm, W_{fin}=45nm, com V_{GT} variando de 0mV a 200mV e V_{BS}=0. Essa curva apresentou uma boa correlação entre o resultado medido e simulado, principalmente em baixas

frequências, que é a região de operação de interesse. A Tabela 3 apresenta a comparação do fator de inclinação gama (γ) que compõe o ruído 1/f simulado e experimental com o nanofio transistor de L=1μm e W_{fin}=45nm, onde foi possível observar uma boa similaridade entre os resultados.

Figura 80 - Curva simulada e experimental de S_{ID} em função da frequência com V_{DS}=50mV, L=1μm, W_{fin}=45nm, com V_{GT} variando de 0V a 200mV e V_{BS}=0V.



Fonte: Autor

Tabela 3 – Comparação do fator de inclinação gama (γ) que compõe o ruído 1/f simulado e experimental com o nanofio transistor de L=1μm e W_{fin}=45nm

V_{GT} (mV)	Simulado	Experimental
0	1,2	1,4
50	1,0	1,2
100	0,3	0,6
150	0,2	0,3
200	0,1	0,2

Fonte: Autor

4.3 NANOFIOS TRANSISTORES SIMULADOS

A Tabela 4 apresenta os nanofios transistores utilizados nas simulações e polarizações utilizadas nas curvas DC e de ruído.

Tabela 4 - Nanofios transistores e polarizações utilizadas nas simulações DC e de ruído.

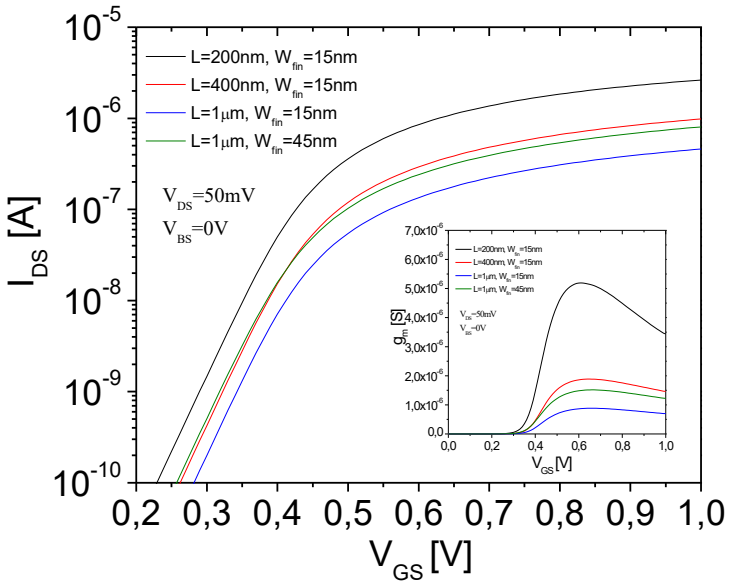
L (µm)	W_{fin} (µm)	V_{GT} (mV)	V_{BS} (V)	Canais
0,2	0,015	0 a 400	-40 a 40	1
0,4	0,015	0 a 400	-40 a 40	1
1	0,015	0 a 400	-40 a 40	1
1	0,045	0 a 400	-40 a 40	1

Fonte: Autor.

4.4 SIMULAÇÕES DC COM O SUBSTRATO ATERRADO

A Figura 81 curva simulada de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) g_m em função de V_{GS} (curva interna) com L=200nm e W_{fin}=15nm, L=400nm e W_{fin}=15nm, L=1µm e W_{fin}=15nm e L=1µm 45nm e a Figura 82 apresenta a curva simulada de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) g_m em função de V_{GS} (curva interna) com L=10µm e W_{fin} (20nm, 45nm e 105nm). Como já era esperado, tanto a corrente de dreno, como a transcondutância aumentam com a diminuição do comprimento de canal (L) (Figura 81), efeito contrário ocorre com o aumento de W_{fin} (Figura 81 e Figura 82). Quando comparado os dispositivos de mesmo L e diferentes W_{fin} como também já era esperado conforme pode ser observado na equação (29) apresentada na seção 2.5.3 para o nanofio operando na região triodo. A Tabela 5 e Tabela 6 apresentam as tensões de limiar extraídas dos dispositivos simulados através do método da segunda derivada obtido através das curvas de dreno. Uma explicação mais detalhada das curvas será feita mais adiante.

Figura 81 - Curva simulada de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) g_m em função de V_{GS} (curva interna) com L=200nm e W_{fin}=15nm, L=400nm e W_{fin}=15nm, L=1µm e W_{fin}=15nm e L=1µm 45nm.



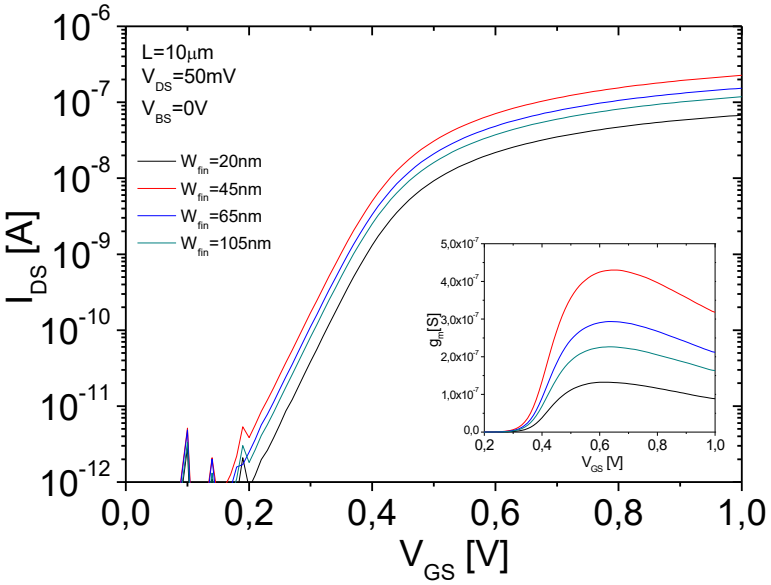
Fonte: Autor

Tabela 5 - Tensão de limiar dos nanofios simulados com L=200nm (W_{fin}=15nm), 400nm (W_{fin}=15nm), 1µm (W_{fin}=15nm) e 1µm (W_{fin}=45nm).

L, W_{fin}	V_{TH} (V)
200nm, 15nm	0,42
400nm, 15nm	0,43
1µm, 15nm	0,43
1µm, 45nm	0,42

Fonte: Autor

Figura 82 - Curva simulada de I_{DS} em função de V_{GS} em escala logarítmica (curva principal) g_m em função de V_{GS} (curva interna) com L=10µm e W_{fin} (20nm, 45nm e 105nm).



Fonte: Autor

Tabela 6 - Tensão de limiar dos nanofios simulados com L=10µm (W_{fin}=20nm), L=10µm (W_{fin}=45nm), L=10µm (W_{fin}=65nm) e 10µm (W_{fin}=105nm).

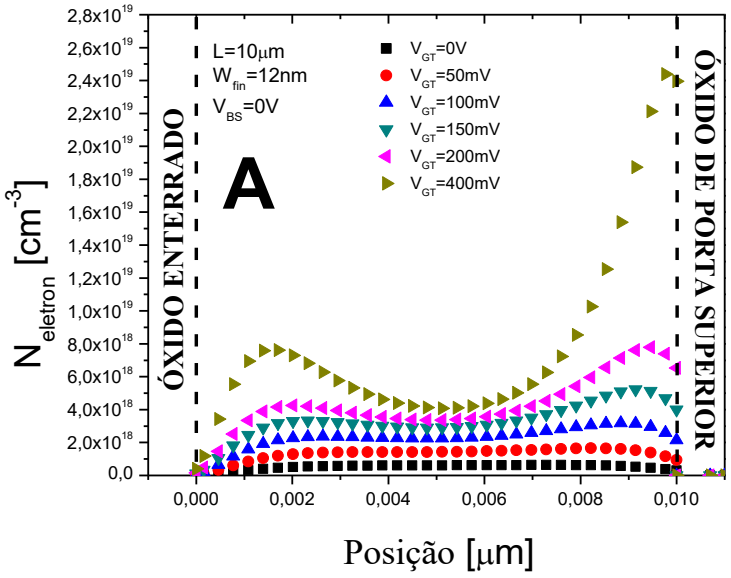
L, W_{fin}	V_{TH} (V)
10µm, 20nm	0,42
10µm, 45nm	0,42
10µm, 65nm	0,42
10µm, 105nm	0,42

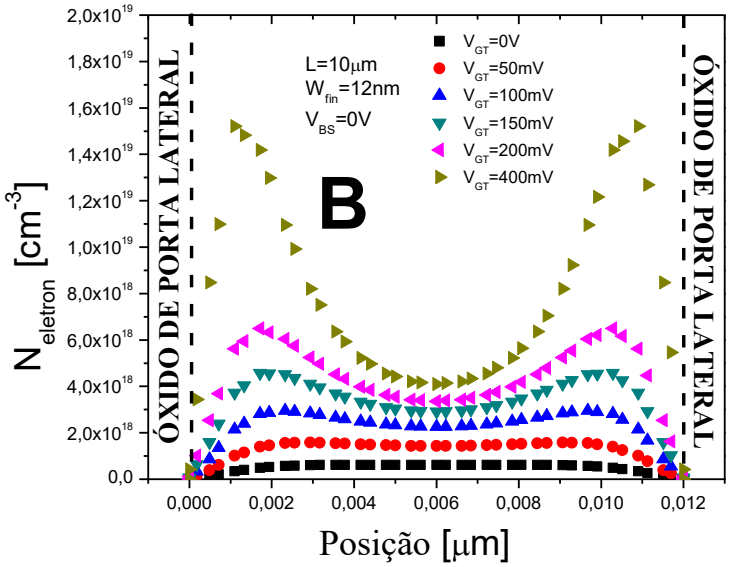
Fonte: Autor

A Figura 83 apresenta a curva simulada em corte da densidade de elétrons, tanto da interface superior e inferior (corte vertical Figura 83A), quanto da interface lateral (corte Figura 83B) em função da posição do canal com V_{BS}=0V. Na Figura 83A, é possível observar para os V_{GTs} mais baixos, (V_{GT}=0mV e 50mV) que a densidade de elétrons se distribui de forma simétrica nas interfaces. Com o aumento de V_{GT}, a maior parte da condução migra para a interface superior e uma parcela dela fica na interface inferior. Já na Figura 83B, onde é analisado a densidade de elétrons nas interfaces laterais, é possível observar, como já era esperado, devido a simetria que a densidade é a mesma em ambas as laterais para todos valores

de V_{GT}. Devido a correção dos efeitos quânticos, o pico da densidade de elétrons está no interior do silício e não na interface.

Figura 83 - Curva simulada em corte da densidade de elétrons das interfaces superior e inferior (A) e interfaces laterais (B) em função da posição do canal para o nanofio transistor com L=10µm, W_{fin}=12nm, V_{BS}=0V aplicando diversos V_{GT}'s (de 0V a 400mV).



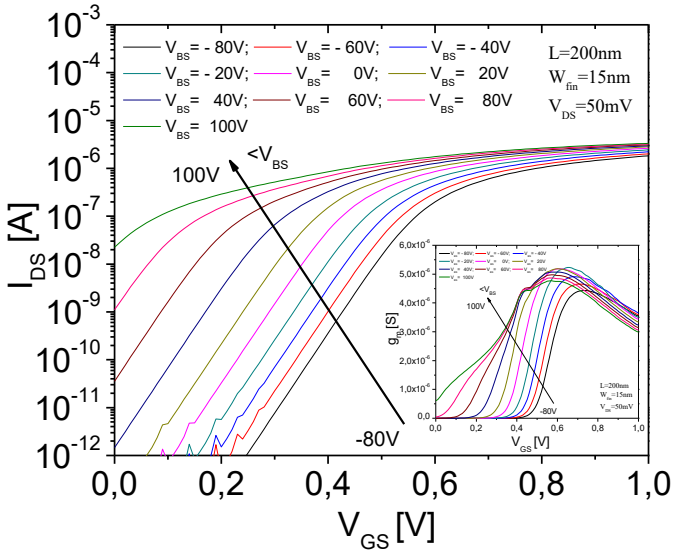


Fonte: Autor

4.5 SIMULAÇÕES DC CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO

A Figura 84 apresenta a curva simulada da corrente de dreno em função de V_{GS} (Figura principal) e da transcondutância em função de V_{GS} (figura interna) para o dispositivo com L=200nm, W_{fin}=15nm e considerando diversas tensões aplicadas ao substrato. Nessa figura é possível observar que tanto a corrente de dreno como a transcondutância são reduzidas na excursão de 100V até -80V. Isso ocorre devido a degradação na mobilidade quando os portadores de carga são empurrados em direção à interface rugosa. A *Tabela 7* apresenta a tensão de limiar extraída desse dispositivo. Na tabela, é possível observar uma redução na tensão de limiar também na direção de 100V até -80V. Embora os transistores estudados sejam do formato Ω onde se espera um maior controle eletrostático, as linhas potenciais geradas pela tensão aplicada à segunda interface, é capaz de alcançar o canal alterando V_{TH}.

Figura 84 - Curva simulada de I_{DS} em função de V_{GS} (curva principal) e g_m em função de V_{GS} (curva interna) com L=200nm, W_{fin}=15nm e diversas tensões aplicadas ao substrato (de -80V a 100V em passos de 20V).



Fonte: Autor

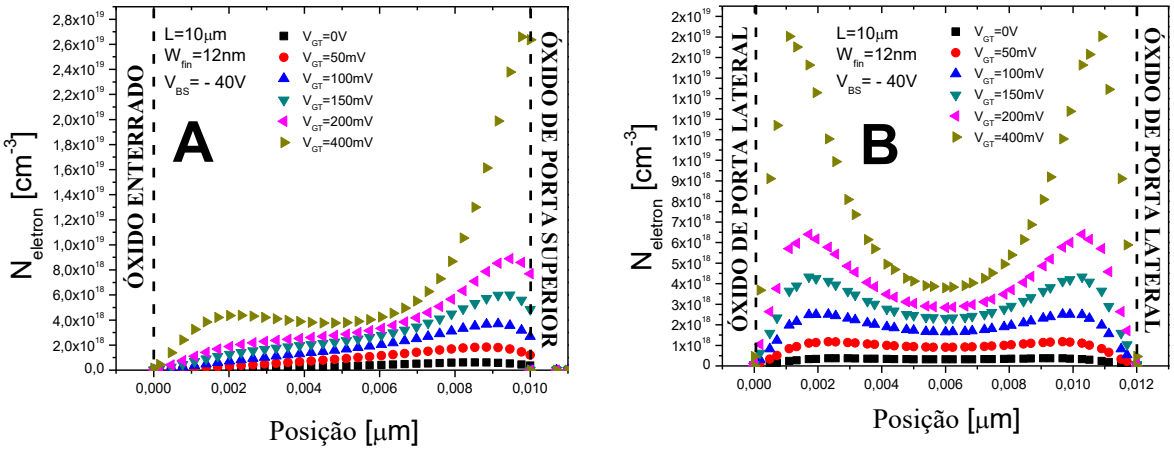
Tabela 7 - Tensão de limiar para o dispositivo com L=200nm e W_{fin}=15nm, considerando tensões aplicadas ao substrato.

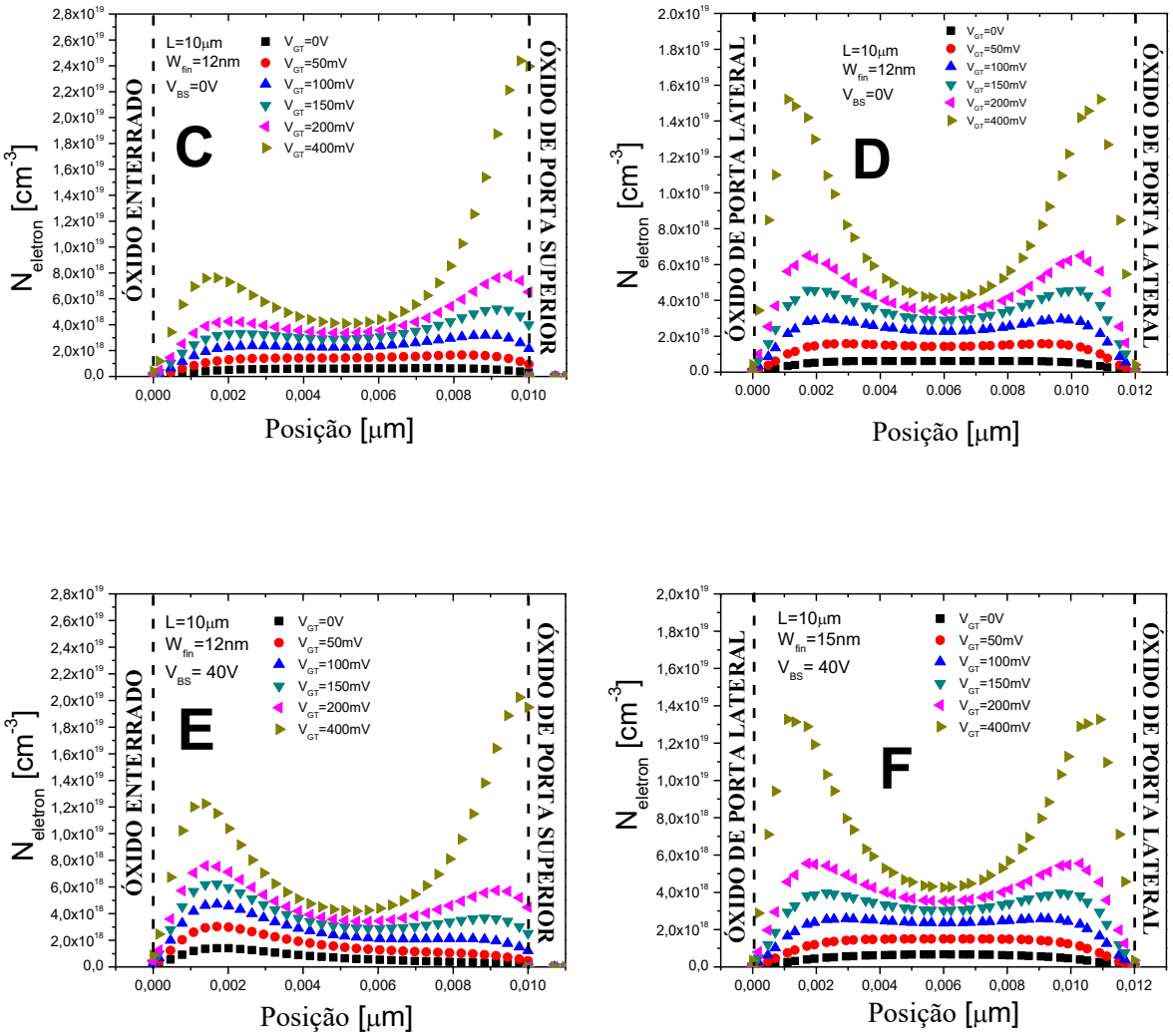
L=200nm										
V_{BS} [V]	-80	-60	-40	-20	0	20	40	60	80	100
V_{TH} [V]	0,56	0,53	0,50	0,47	0,42	0,39	0,33	0,22	0,12	0,02

Fonte: Autor

A Figura 85 apresenta as curvas simuladas da densidade de elétrons das interfaces superiores e inferiores (Fig. A, C e E) e laterais (Fig. B, D e F) em função da posição do canal. É possível observar nas figuras (Fig. A, C e D), que para os menores valores de tensão aplicados a porta, a maior parte da condução ocorre na interface traseira para tensões positivas (V_{BS}=40V), na interface frontal para tensões negativas (V_{BS}= -40V), conforme visto também em (ZAFARI, et al., 2007). Para tensões nulas aplicadas ao substrato (V_{BS}=0V), a condução ocorre proporcionalmente. Com o aumento da sobretensão de porta, para V_{BS} positivo (Fig. E), começa a apresentar uma condução na primeira interface, similarmente, mas com efeito contrário para tensões negativas (Fig. A). Para tensão nula de substrato, com o aumento de V_{GT}, a condução passa a ocorrer em sua maior intensidade na interface frontal. Para o mais alto valor de V_{GT} simulado, é possível observar, que as conduções para as três tensões de substrato simuladas, a condução ocorre em sua maior parte na interface frontal. Conforme já era esperado, nas interfaces laterais (Fig. B, D e F), a condução ocorre na mesma intensidade para os diversos V_{GTs} aplicados.

Figura 85 - Curva simulada em corte da distribuição da densidade de elétrons da interface superior e inferior (A, C e E) e interfaces laterais (B, D e F) em função da posição do canal para o nanofio transistor com L=10µm, W_{fin}=12nm, V_{BS} variando de -40V a 40V e aplicando diversos V_{GT}.





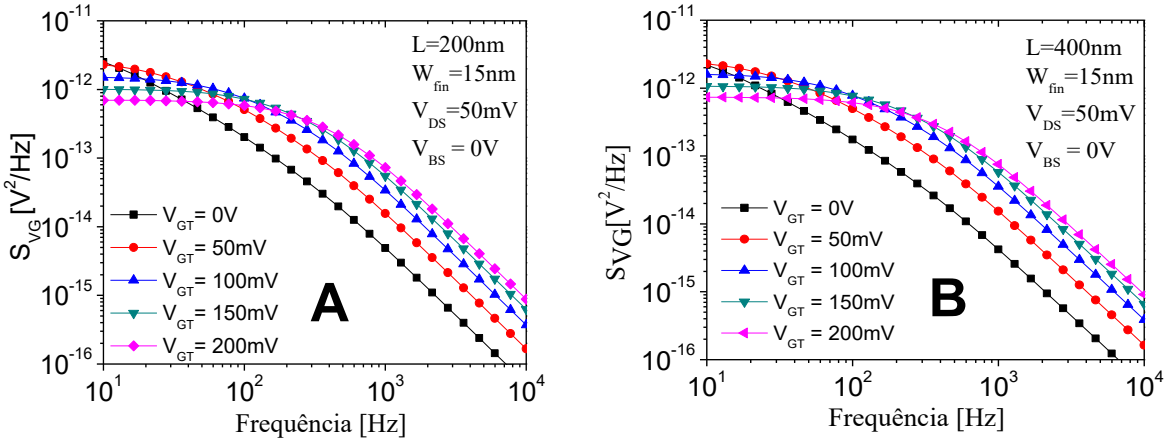
Fonte: Autor

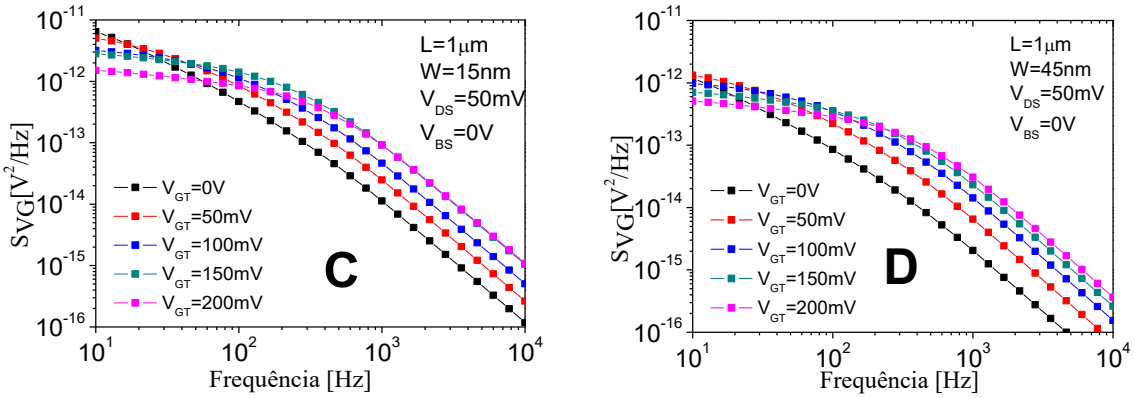
4.6 SIMULAÇÕES DE RUÍDO COM O SUBSTRATO ATERRADO

A Figura 86 apresenta a simulação de ruído (S_{VG}) variando o comprimento de canal L=200nm (Figura 86A) e L=400nm (Figura 86B) e W_{fin}=15nm para ambas. A curva de S_{VG} é obtida a partir de S_{ID}, conforme abordado na seção 2.7.2.3.2 onde $S_{VG} = S_{ID}/g_m^2$ e sendo S_{VG} o ruído induzido na porta a partir das flutuações no canal (S_{ID}). O estudo de S_{VG} se faz necessário, uma vez que ele simplifica a análise na maioria dos casos por apenas ter a dependência apenas das armadilhas na interface e na geometria do dispositivo, conforme visto na equação (66) na seção 2.7.2.3.2.

Nessas curvas, γ apresentou uma redução em sua inclinação com o aumento de V_{GT}, conforme visto em (SURYA, et al., 1986). Nessa curva, é possível notar também, o aumento na frequência de canto (f_c) como o aumento de V_{GT}. Isso ocorre pelo fato das armadilhas mais rápidas, com maiores constantes de tempo de armadilhamento e desarmadilhamento (τ) que são as armadilhas mais próximas a interface Si/SiO_2 e com o aumento de V_{GT}, a condução caminha para mais próximo ao óxido, onde a influência no ruído é das armadilhas mais profundas, que são as mais lentas e de menores constantes de tempo. A relação de τ com a profundidade z no óxido, pode ser vista em (61) e na Figura 23, ambas apresentadas na seção 2.7.2.3.2. Através da equação (51) é possível observar que com a redução de τ, tem se a redução no ruído g-r e como o ruído 1/f é uma superposição de efeitos, ele reduz também. A equação (66) mostra que o ruído aumenta com a redução do comprimento de canal (L) com o transistor polarizado em faixa plana. Na figura, é possível observar tal aumento quando observado o ruído simulado com V_{GT}=0V que é o mais próximo da faixa plana. A redução de W_{fin} também acarretando o aumento do ruído, conforme também pode ser observado em (51) e fica bem evidente na Figura 86 (C) e (D).

Figura 86 - Curva simulada de S_{VG} em função da frequência para L=200nm e W_{fin}=15nm (A), L=400nm e W_{fin}=15nm (B), L=1μm e W_{fin}=15nm (C), L=1μm e W_{fin}=45nm (D) com V_{BS} = 0V e aplicando diversos V_{GT}.

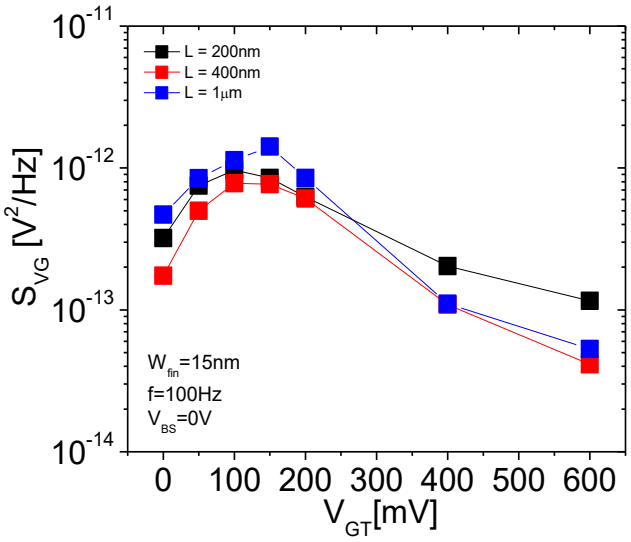




Fonte: Autor

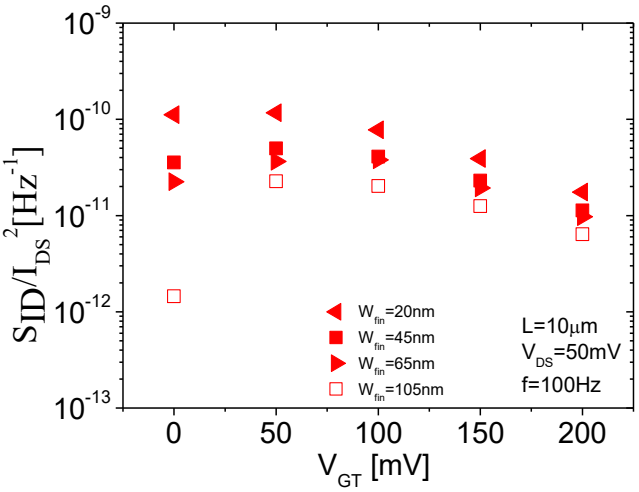
A Figura 87 apresenta a curva simulada de S_{VG} em função de V_{GT} com L=200nm, 400nm e 1μm e W_{fin}=15nm com V_{GT} variando de 0mV a 600mV. Nessas curvas, é possível observar o aumento de S_{VG} com o aumento de V_{GT} até V_{GT}=150mV aproximadamente e após isso, S_{VG} começa a reduzir. Esse efeito ocorre de acordo com o qual é feito o posicionamento das armadilhas no interior do óxido, no caso desse trabalho, o posicionamento exponencial de armadilhas. A Figura 88 apresenta Curva simulada de S_{ID}/I_{DS}^2 em função de V_{GT} com V_{DS}=50mV, com L fixo de 10μm e variando W_{fin} (20nm, 45nm, 65nm e 105nm), com f=100Hz e V_{GT} variando de 50mV a 200mV em passos de 50mV. Nessa curva, o ruído normalizado tem um aumento com V_{GT} e logo em seguida, um decréscimo. Esse aumento de S_{VG} com V_{GT} está relacionado com o posicionamento da densidade de armadilhas no óxido.

Figura 87 - Curva simulada de S_{VG} em função de V_{GT} com L=200nm, 400nm e 1µm e W_{fin}=15nm com V_{GT} variando de 0mV a 600mV.



Fonte: Autor

Figura 88 - Curva simulada de S_{ID}/I_{DS}^2 em função de V_{GT} com V_{DS}=50mV, L=10µm e W_{fin} (20nm, 45nm, 65nm e 105nm), com f=100Hz e V_{GT} variando de 50mV a 200mV.

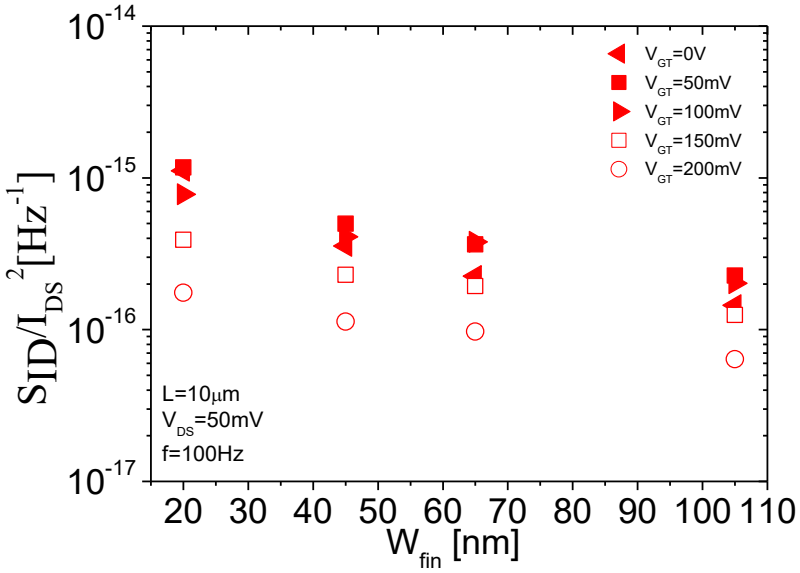


Fonte: Autor

A Figura 89 apresenta a Curva simulada de S_{ID}/I_{DS}^2 em função de W_{fin} com V_{DS}=50mV, L=10µm e W_{fin} (20nm, 45nm, 65nm e 105nm), com f=100Hz e V_{GT} variando de 0mV a 200mV

em passos de 50mV. Nessa curva, claramente é possível notar o aumento do ruído normalizado com a redução de W_{fin}, comprovando a teoria apresentada de ruído no capítulo 2.

Figura 89 - Curva simulada de S_{ID}/I_{DS}^2 em função de W_{fin} com V_{DS}=50mV, L=10µm e W_{fin} (20nm, 45nm, 65nm e 105nm), com f=100Hz e V_{GT} variando de 0V a 200mV em passos de 50mV.

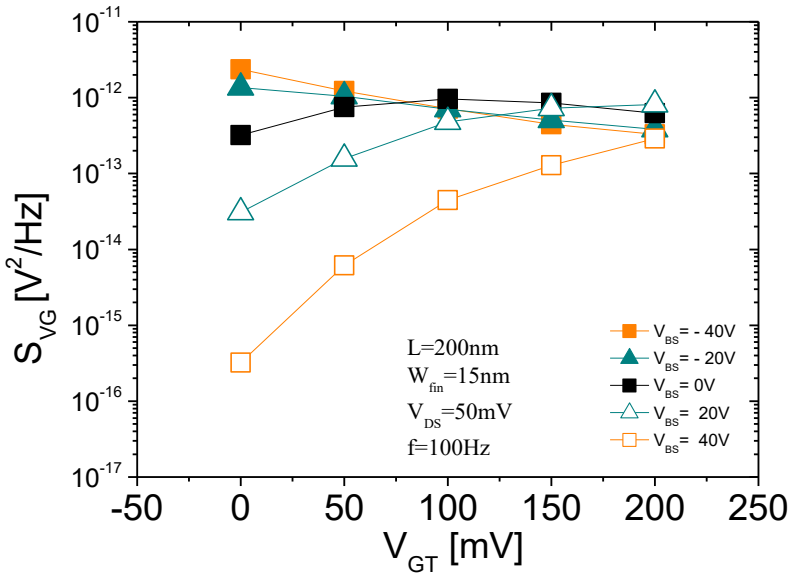


Fonte: Autor

4.7 SIMULAÇÕES DE RUÍDO CONSIDERANDO TENSÕES APLICADAS AO SUBSTRATO

A Figura 90 apresenta a curva simulada de S_{VG} em função de V_{GT} com L=200nm, W_{fin}=15nm e V_{BS} variando de -40 a 40V. Essa curva diferentemente da apresentada na Figura 87, onde tinha um comportamento mais regular com V_{BS}=0V, apresentou uma variação bem maior, principalmente em V_{GT}=0V, onde a densidade de elétrons em função do canal sofre maior influência das tensões aplicadas ao substrato.

Figura 90 - Curva simulada de S_{VG} em função de V_{GT} com L=200nm, W_{fin}=15nm e V_{BS} variando de -40 a 40V.

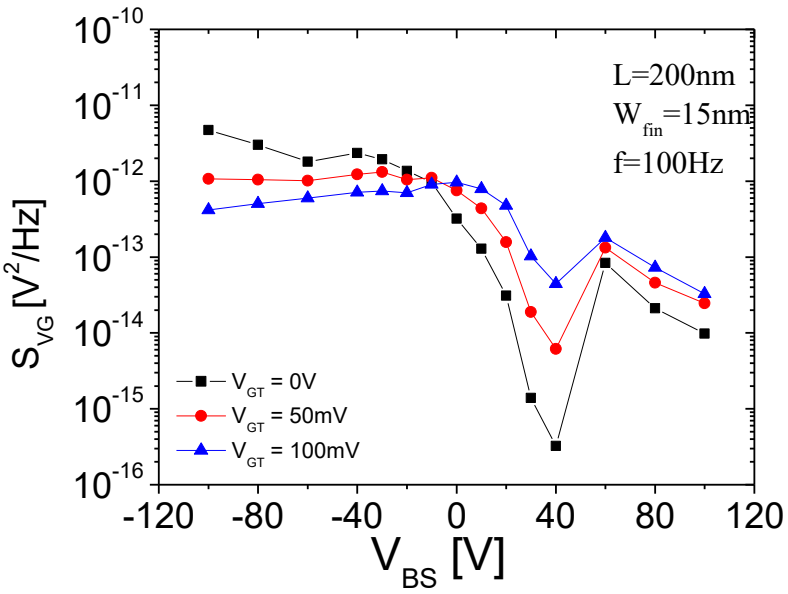


Fonte: Autor

A Figura 91 apresenta a curva simulada de S_{ID} em função da tensão aplicada ao substrato. Nessa curva, é possível observar que o ruído aumenta tanto para tensões positivas como para tensões negativas a partir de certo ponto (V_{BS}=40V). Conforme visto anteriormente na seção 2.7.2.3.2, apenas as armadilhas mais próximas a carga (z ≈ 3nm irão influenciar no ruído), ou seja, tal influência ocorre bem próximo as interfaces. O aumento do ruído é bem mais pronunciado para os menores valores de V_{GT} pelo fato de que para esses valores, a condução entre a interface superior e inferior é mais bem definida, ou seja, considerando V_{GT}=0mV, a condução ocorre em sua maioria no interior do canal, sofrendo menor ação das armadilhas na interface.

Com a excursão de -40V até 40V, a condução acontece na interface superior e inferior respectivamente. O menor valor de ruído considerando todos os V_{GT}'s foi para a tensão de 40V. Isso ocorre pelo fato de que as armadilhas na interface superior influenciam mais no ruído do que as armadilhas na interface inferior, tendo um valor menor de ruído para tensões mais positivas ao invés de quando V_{BS}=0V, onde a condução mesmo que em sua maioria no interior do canal já sofrem interferência das armadilhas na interface em relação à condução que está acontecendo mais próximo a elas.

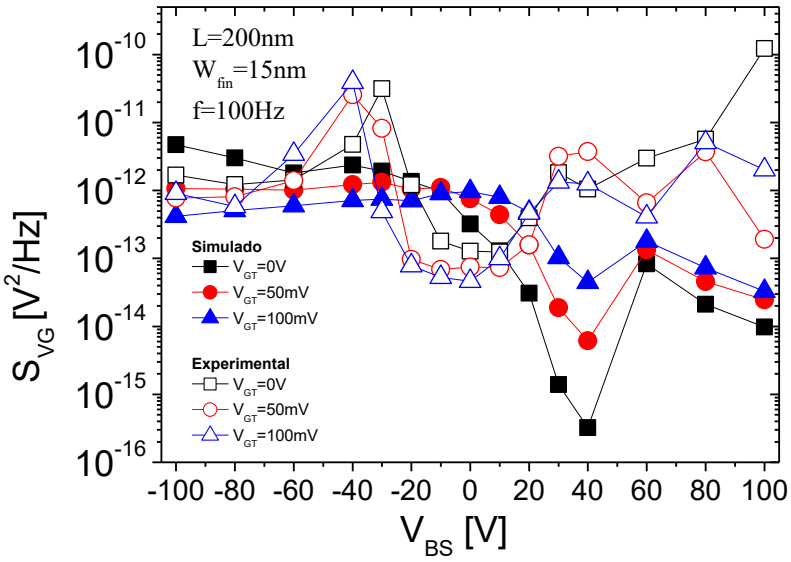
Figura 91 - Curva simulada de S_{VG} em função da frequência para L=200nm, W_{fin}=15nm, aplicando diversos V_{GT}'s (de 0 a 100mV) e diversos V_{BS}'s (de -100V a 100V).



Fonte: Autor

A Figura 92 apresenta uma comparação da curva simulada (símbolos fechados) e experimental (símbolos abertos) de S_{VG} em função da tensão aplicada ao substrato com L=200nm, W_{fin}=15nm, aplicando diversos V_{BS} (de -100V a 100V). Nessas curvas é possível observar que o ruído aumenta para certo valor de V_{BS}. No caso das curvas experimentais, S_{VG} aumenta para ambas as tensões negativas a positivas a partir de V_{BS}=0V. Já nas curvas simuladas, esse aumento ocorre a partir de V_{BS}=40V.

Figura 92 - Curva simulada (símbolos fechados) e medida (símbolos abertos) de S_{VG} em função da tensão aplicada ao substrato com L=200nm, Wfin=15nm, aplicando diversos V_{BS} (de -100V a 100V).



Fonte: Autor

5 CONCLUSÕES

Esse trabalho estudou a influência do potencial de substrato sobre o ruído de baixa frequência de nanofios transistores MOS, através de medidas experimentais e simulações numéricas tridimensionais.

No estudo do ruído S_{VG} sem considerar tensões aplicadas ao substrato em função da frequência aplicando diversas tensões a porta e variando o W_{fin}, foi observado que as curvas apresentaram pouca variação de S_{VG} com as diversas tensões aplicadas a porta, comprovando a origem do ruído devido ao armadilhamento e desarmadilhamento de portadores na interface Si/SiO_2 (modelo Δn). Esse resultado também pode ser observado nas curvas de S_{VG} em função de V_{GT} em frequência fixa. Para as tensões mais altas de V_{GT}, foi possível observar o aumento no ruído devido a degradação na mobilidade e, também, a interferência das armadilhas mais profundas existentes no óxido com constantes tempo menores (τ) e com maior densidade de armadilhas. Em frequências mais altas, o ruído $1/f^{\gamma}$ é sobreposto pelo ruído de geração e recombinação com o decaimento proporcional a $1/f^2$.

Nessas curvas também foi possível observar o aumento da frequência de canto (f_c) e a diminuição de gama (γ). O fato do aumento de V_{GT} aproximar a densidade de elétrons para mais próximo a interface acessando as armadilhas mais profundas e de menores constantes de tempo e faz com que aumente a frequência de canto, que é inversamente proporcional a constante de tempo de armadilhamento e desarmadilhamento de portadores. O deslocamento em frequência dos "Lorentzians" que compõe o ruído g-r faz com que a inclinação da curva que compõe o ruído $1/f^{\gamma}$ reduza, reduzindo γ. A curva de $S_{VG}^{1/2}$ em função de I_{DS}/g_m também foi analisada. É a partir dessa curva que é possível definir o valor do ruído de faixa plana induzido na porta S_{vfb}, que é extraído para baixos valores de V_{GT} e, também é a partir dela que são isolados apenas os termos $\alpha_{sc}.\mu_{eff}.C_{ox}$, da equação, deixando apenas a mobilidade como variável. Essa curva apresentou o aumento de $S_{VG}^{1/2}$ para os maiores valores da razão I_{DS}/g_m.

A redução da mobilidade por rugosidade de superfície para altos valores de V_{GT} faz com que o ruído aumente em função de I_{DS}/g_m. Uma outra técnica usada nesse trabalho para análise dos mecanismos do ruído, foi analisar a curva do ruído normalizado S_{ID}/I_{DS}^2 em função de I_{DS} e comparar com a curva de $(g_m/I_{DS})^2$. Nessas curvas, o ruído normalizado S_{ID}/I_{DS}^2 apresentou uma boa relação com a relação $(G_m/I_{DS})^2$, mostrando uma fraca dependência com a mobilidade, principalmente para baixos valores de V_{GT}. E por fim, foi feito a análise do ruído normalizado S_{ID}/I_{DS}^2 em função de W_{fin} a fim de observar o comportamento do ruído com a redução do fin.

Nessa curva foi possível observar, principalmente para o dispositivo de maior L (10μ), a menor influência de W_{fin} com o aumento de V_{GT}.

A análise do ruído considerando tensões aplicadas ao substrato, inicialmente semelhantemente ao estudo do ruído com V_{BS}=0V, foi extraído a curva de S_{VG} em função da frequência para diversos comprimentos de canal e fin. Bem diferente do observado anteriormente, o ruído S_{VG} apresenta variação com tensões aplicadas a porta já para os menores V_{GT}, invalidando o uso apenas da teoria Δn.

Também foi analisado a curva de S_{VG} em função de V_{GT}, considerando uma frequência fixa, onde nessas curvas, foi claramente possível observar a variação abrupta do ruído com as tensões aplicadas ao substrato. Analisando a equação proposta por Ghibaudo onde o armadilhamento e desarmadilhamento de portadores fazem com que a mobilidade oscile e fixando o valor de S_{VG} com V_{BS}=0V como sendo S_{vfb}, resta o termo $\left(1 \pm \alpha_{sc}.\,\mu_{eff}.\,C_{ox}.\frac{I_{DS}}{g_m}\right)^2$. De forma a reduzir o termo apresentado acima, foi obtido a curva de $S_{VG}^{1/2}$ em função de I_{DS}/g_m, semelhante ao abordado com V_{BS}=0V. Nessas curvas, foi possível observar uma grande variação de $S_{VG}^{1/2}$ já para as pequenas razões de I_{DS}/g_m, considerando as tensões aplicadas ao substrato, o quê, de acordo com o termo $\alpha_{sc}.\,\mu_{eff}.\,C_{ox}$ e considerando o α_{sc} constante, de acordo como o modelo unificado de ruído, seria atribuído essa variação no ruído com as tensões aplicadas ao substrato a mobilidade, porém, nas curvas extraídas da mobilidade, tanto por Split-CV como pelo Y-Function, não é observado tal comportamento. A fim de se obter uma curva comparativa com a curva da mobilidade extraída pelo método do Y-Function, foi extraída a curva de S_{VG} em função de V_{BS}, onde caso ela tivesse o comportamento parecido com a curva extraída da mobilidade efetiva, seria atribuído a no ruído a variação na mobilidade, porém a curva de S_{VG} em função de V_{BS} não apresentou tal característica.

A curva de S_{VG} em função de V_{BS} apresentou aumento no ruído tanto para tensões negativas como para tensões positivas aplicadas ao substrato. Considerando tensões negativas aplicadas ao substrato, devido a degradação da mobilidade na superfície superior, já era esperado e tem estudos na literatura mostrando o aumento do ruído. Porém, para tensões positivas, onde teoricamente a condução aconteceria no interior do canal. Também foi visto nas curvas extraídas de $(I_{DS}/g_m)^2$ da interface inferior, o comportamento muito similar ao comportamento visto na curva de S_{VG} em função de V_{BS}, atribuindo a variação do ruído com V_{BS} positivo e baixos valores de V_{GT} a esse mecanismo e para altos valores de V_{GT} a variação do ruído para tensões positivas de V_{BS} é atribuída a rugosidade de superfície e as armadilhas contidas na interface inferior.

REFERÊNCIAS

ALEKSANDARK Techpowerup Disponível em: <www.techpowerup.com/news-tags/SOI>. Acesso em: 29 de Novembro de 2021.

ALENCAR M. S. DE. **Probabilidade e processos estocásticos**. 1. ed. São Paulo : Érica, 2009.

AMARASINGHE N. V., ÇELIK-BUTLER Z. e VASINA P. **Characterization of oxide traps in 0.15 µm2 MOSFETs using random telegraph signals.** Microelectronics Reliability, vol. 40, p. 1875-1881. 2000.

BARRAUD S. et al. **Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm**. IEEE Electron Device Letters, v. 33, n. 11, p. 1526–1528. 2012.

BREWS J.R. **Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET**. IEEE Transactions on Electron Devices. v26. p. 1282 - 1291. 1979.

BTARUNR Techpowerup Disponível em: <https://www.techpowerup.com/253331/samsung-starts-commercial-shipment-of-emram-based-on-28nm-fd-soi> Acessado em: 29 de Novembro de 2021.

CANALI C. et al. et. **Electron and Hole Drift Velocity Measurements in Silicon and their Empirical Ralation to Electric Fild and Temperature**. IEEE Transactions on Electron Devices, vol. ED-22, n. 11, p. 1045-1047. - 1945.

CHEN C-Y. **Low Frequency noise in advanced CMOS tecnology**. 2010.

COLINGE J. -P. e COLINGE C. A. **Physics of Semiconductor Devices**. Springer Science & Business Media. 2005.

COLINGE J. P. **FinFETs and Other Multi-Gate Transistors**. Springer, vol. 1. 2008.

COLINGE J.P. e COLINGE C.A. **Physics of Semiconductor Devices**. Massachusetts: Kluwer Academic Publishers, 2002.

COLINGE J.P. **Silicon-On-Insulator Technology: Materials to VLSI**. Massachusetts : Kluwer Academic Publishers, 2004a.

COLINGE J-P. **Multiple-gate SOI MOSFETs**. Solid-State Electronics, v. 48, n. 6, p. 897-905, 2004. Elsevier, Vol. 48. p. 897-905. 2004b.

COQUAND R. CASSE, M. et al. **Strain-induced performance enhancement of tri-gate and omegagate nanowire FETs scaled down to 10nm Width**. 2012 Symposium on VLSI Technology (VLSIT). Anais... In: 2012 SYMPOSIUM ON VLSI TECHNOLOGY (VLSIT). 2012.

CRISTOLOVEANU S. et al. **Evidence of Supercoupling Effect in Ultrathin Silicon Layers Using a Four-Gate MOSFET**. IEEE Electron Device Letters, v. 38, n. 2, p. 157–159. 2017.

DE ANDRADE M. G. C. et al. **Low-frequency noise investigation of n-channel 3D devices**. Microelectronic Engineering, Vol 147, p. 122 - 125. 2015.

DORIA R. T. et al. **Analysis of the substrate bias effect on the interface trapped charges in junctionless nanowire transistors through low-frequency noise characterization**. Microelectronic Engineering, vol. 178, p. 17-20. 2017.

DORIA R. T. et al. **Use of back gate bias to improve the performance of n- and p-type UTBB transistors-based self-cascode structures applied to current mirrors**. SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), IEEE. 2016.

FRANCIS P., TERAO A. e FLANDRE D. **Modeling of ultrathin double-gate nMOS/SOI transistors**. IEEE Transactions on Electron Devices, v. 41, n. 5, p. 715–720. 1994.

GHIBAUDO G. **New method for the extraction of MOSFET parameters**. Electronics Letters, v. 24, n. 9, p. 543–545. 1988.

GHIBAUDO G. et al. **Improved Analysis of Low Frequency Noise in Field-Effect MOS Transistors**. Physics Status Solidi. v124. p. 571 - 581. 1991.

GHIBAUDO G. A. **simple derivation of Reimbold's drain current spectrum formula for flicker noise in MOSFETs**. Solid-State Electronics, Vol 30, p. 1037 - 1038. 1984.

GUTIERREZ-D E. A., DEEN J e CLAEYS C. **Low Temperature Electronics**. New York : Academic Press, 2001.

GWENNAP L. Lattice Semiconductor Disponível em : <https://www.latticesemi.com/Products/FPGAandCPLD/Certus-NX>. Acessado em:20 de novembro de 2021.

HAARTMAN M Von e ÖSTLING M. **Low-Frequency Noise in Advanced MOS devices**. Springer, 2007.

HISAMOTO D. et al. **A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET**. Electron Devices Meeting. IEDM ’89. Technical Digest.,

International. Anais... In: ELECTRON DEVICES MEETING, 1989. IEDM ’89. TECHNICAL DIGEST., INTERNATIONAL. 1989.

HISAMOTO D. et al. **FinFET-a self-aligned double-gate MOSFET scalable to 20 nm**, v.47, p 2320 - 2325. 2000.

HOOGE F.N. **1/*f* noise is no surface effect**. Physics Letters. v29A. p. 139. 1969.

HUNG K. K. et al. **A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors**. Electron Devices, IEEE Transactions. v37. 1990.

IBM Disponível em: <https://www.ibm.com/watson/. Acesso em 25 Jul. 2018.

INIGUEZ B. et al. **A physically-based C/sub ∞/-continuous model for accumulation-mode SOI pMOSFETs**, IEEE Transactions on Electron Devices. v. 46, p. 2295 - 2303. 1999.

INTEL Disponível em: <https://www.intel.com/content/www/us/en/silicon-innovations/standards-22-nanometers-technology-backgrounder.html. Acesso em: 21 jul. 2018.

IRWIN J. D. **Basic Engineering Circuit Analysis**. New York : John Wiley & Sons, Inc., 2002.

JAYARAMAN R. e SODINI C. G. A. **1/f noise technique to extract the oxide trap density near the conduction band edge of silicon**. IEEE Transactions on Electron Devices, v. 36, p. 1773 - 1782. 1989.

KILCHYTSKA V. et al. **Ultra-thin body and thin-BOX SOI CMOS technology analog figures of merit**. Solid-State Electronics, vol. 70, p. 50-58. 2012.

KOYAMA M. et al. **Influence of Device Scaling on Low-Frequency Noise in SOI Tri-gate N- and P-type Si Nanowire MOSFETs**. ESSDERC. 2013.

KOYAMA M. et al. **Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate Si-nanowire MOSFETs**. Solid-State Device Research Conference (ESSDERC). 2012.

LIM H.K. e FOSSUM J.G. **Current-voltage characteristics of thin-film SOI MOSFET’s in strong inversion**. IEEE Transactions on Electron Devices. V. 31, p. 401 - 408. 1984.

MATLOUBIAN M., SCHOLZ, F., LUM, L. **Low frequency noise in fully depleted SOI PMOSFET’s**. IEEE Trans. Electron Devices v.41, p 1977–1980. 1994.

MCWHORTER A. L. **1 /f noise and germanium surface properties, in Semiconductor Surface Physics**. Philadelphia: University of. 1955.

MIKOSHIBA H. **1/f Noise in n-Channel Silicon-Gate MOS Transistor**, vol. 29, p. 965 - 970. 1982.

MOLTO A. R. et al. **Back bias influence on low-frequency noise of n-type nanowires SOI MOSFETS**. 2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), p. 1-3. 2018b.

MOLTO A. R. et al. **Influence of fin width and back bias on the low-frequency noise of long channel SOI nanowires**. 2019 Latin American Electron Devices Conference (LAEDC). 2019.

MOLTO A. R. et al. **Low-Frequency Noise Investigation in Long-Channel Fully Depleted Inversion Mode n-type SOI Nanowire**. 33rd Symposium on Microelectronics Technology and Devices (SBMicro). 2018a.

MOTCHENBACHER C. D. e CONNELLY J. A. **Low-Noise Electronic System Design**. ed 1. 1993.

OHATA A., CASSÉ M. e CRISTOLOVEANU S. **Front- and back-channel mobility in ultrathin SOI-MOSFETs by front-gate split CV method**. Solid-State Electronics, Special Issue: Papers Selected from the EUROSOI'06 Conference. v. 51, n. 2, p. 245–251. 2007.

OMURA YASUHISA. **Possible unified model for the Hooge parameter in inversion-layer-channel metal-oxide-semiconductor field-effect transistors**. Journal of Applied Physics. 2013.

ORTIZ-CONDE A. et al. **A review of recent MOSFET threshold voltage extraction methods**. Microelectronics Reliability, v. 42, n. 4–5, p. 583–596. 2002.

PAZ B. C. **Avaliação da influência da evolução das tecnologias de fabricação de nanofios transistores MOS sobre suas características elétricas**. 2018.

PAZ B. C. **Modelagem analítica e caracterização elétrica de transistores MOS sem junções**. - 2014.

PLANES N. et al. **28nm FDSOI technology platform for high-speed low-voltage digital applications**. 2012 Symposium on VLSI Technology**.** p. 133 - 134. 2012.

POIROUX T. et al. **Multiple gate devices: advantages and challenges. Microelectronic Engineering**, 14th biennial Conference on Insulating Films on Semiconductors. v. 80, p. 378–385. 2005.

RADAMSON H. H et al. **Miniaturization of CMOS - Micromachines**, p. 1-52. Disponível em: <https://www.mdpi.com/2072-666X/10/5/293>. Acesso em: 20 Ago 2021. 2019.

RALLS K. S. et al. **Discrete Resistance Switching in Submicrometer Silicon Inversion Layers: Individual Interface Traps and Low-Frequency (I/f) Noise**, v. 52. Physical Review Letters. 1984.

RAZAVI B. **Design of Analog CMOS Integrated Circuits**. 1 ed. [s.l.]: Mc Graw Hill, 2003.

REIMBOLD G. **Modified 1/f trapping noise theory and experiments in MOS transistors biased from weak to strong inversion—Influence of interface states**. Electron Devices, IEEE Transactions on. v31. p. 1190 - 1198. 1984.

ROMANJEK K. et al. **Improved split C-V method for effective mobility extraction in sub-0.1-µm Si MOSFETs**. IEEE Electron Device Letters, v. 25, n. 8, p. 583–585. 2004.

RUIZ F. G. et al. **Influence of the back-gate bias on the electron mobility of trigate MOSFETs**. International Conference on Simulation of Semiconductor Processes and Devices, p. 304 - 307. 2013.

SAITOH M. et al. **Systematic understanding of channel-size dependence of low-frequency noise in 10nm-diameter tri-gate nanowire MOSFETs**. Symposium on VLSI Technology. 2013.

SEKIGAWA T. e HAYASHI Y. **Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate**. Solid-State Electronics, v. 27, n. 8, p. 827–828, 1. 1984.

SHOCKLEY W e READ JR W.T. **Statistics of the recombinations of holes and electrons**. Phys, Rev. 87, p. 835–842. 1952.

SILVEIRA F., FLANDRE D. e JESPERS P. G. A. **A g/sub m//I/sub D/ based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA.** IEEE Journal of Solid-State Circuits, v.31, p. 1314-1319. 1996.

SIMOEN E. et al. **Critical Discussion of the Front–Back Gate Coupling Effect on the Low-Frequency Noise in Fully Depleted SOI MOSFETs**. IEEE Transactions on Electron Devices, vol. 51, p. 1006-1016. 2004.

SIMOEN E. et al. **Low-frequency noise in silicon-on-insulator devices and technologies**. Solid-State Electronics. v51, p. 16 -37. 2007.

SIMOEN E. et al. **The low-frequency noise behaviour of graded-channel SOI nMOSFETs**. Solid-State Electronics. v51, p. 260 - 267. 2007.

SIMOEN E. e CLAEYS C. **Random Telegraph Signals in Semiconductor Devices**. [s.l.] : IOP eBOOKS, 2016.

SIMOEN E. e CLAEYS E. **On the ficker noise in submicron silicon MOSFETs**, v. 48, p. 865-882. 1999.

SMITH S. **Microelectronic Circuits**, 4ed. [s.l.] : Oxford University Press, 1999.

SURYA C. e HSIANG T. Y. **Theory and experiment on the 1/f noise in p-channel metal-oxide-semiconductor field-effect transistors at low drain bias**. v. 33, 1986.

SYNOPSYS Sentaurus User Guide. - 2021.

SYSTEMS STANFORD RESEARCH. Disponível em: <https://www.thinksrs.com/products/sr560.html>. Stanford Research Systems. Acesso em: 12 novembro de 2021.

SZE S. M. e NG K. K. **Physics of semiconductor devices**. [s.l.] : Hoboken, N.J: Wiley-Interscience, 3ed. 2007.

TAKAGI S. et al. **On the universality of inversion layermobility in Si MOSFET's: part I-effects of substrate impurity concentration**. IEEE Transections Electron Devices, v. 41, p. 2357-2362. - 1994.

TECHNOLOGIES KEYSIGHT disponível em: <https://www.keysight.com/br/pt/product/4395A/networkspectrumimpedance-analyzer.html> Keysight Technologies. Acessado em: 12 de dezembro de 2021.

THEODOROU C. G. et al. **Statistical low-frequency noise characterization in sub-15nm Si/SiGe nanowire Trigate pMOSFETS**. International Conference of Microelectronic Test Structures (ICMTS). 2017.

THEODOROU C.G. et al. **Impact of front-back gate coupling on low frequency noise in 28 nm FDSOI MOSFETs**, Proceedings of the European Solid-State Device Research Conference (ESSDERC). 2012.

VANDAMME L. K. J., LI X. e RIGAUD D. **1/f noise in MOS devices, mobility or number fluctuations?**. v. 41, p. 1936 - 1945. 1994.

VITTOZ, A. **Low-power design: ways to approach the limits**. Solid-State Circuits Conference, p 14 - 18. San Francisco, CA, USA, 1994.

WONG H.-S. e TAUR Y. **Three-dimensional "atomistic" simulation of discrete random dopant distribution effects in sub-0.1 /spl mu/m MOSFET's**. Proceedings of IEEE International Electron Devices Meeting - IEEE International Electron Devices Meeting, p. 705–708. 1993.

YANG F. L., CHEN H, Y. e CHEN F. C. HUANG, C. C. **25 nm CMOS Omega FETs. Digest**. International Electron Devices Meeting,. Anais... In: DIGEST. INTERNATIONAL ELECTRON DEVICES MEETING. 2002.

ZAFARI L., JOMAAH J. e GHIBAUDO G. **Modeling and simulation of coupling effect on Low Frequency Noise in advanced SOI MOSFETS**. Fluctuation and Noise Letters. v. 08, p. 87 - 94. 2008.

ZAFARI L., JPMAAH J. e GHIBAUDO G. **Low Frequency noise in multi-gate SOI CMOS devices**. Solid-State Electronics. v. 51, p. 292 - 298. 2007.

ZIEL A. V. der. **Noise**. [s.l.] : Prentice-Hall, 1954.

APÊNDICE A – SIMULAÇÃO DO NANOFIO TRANSISTOR

```
#######################
#   NANOWIRE - NOISE  #
#######################


#define _SIGN_    1.0
#define _WF_            4.2
#define _DG_      eQuantumPotential
#define _CARR_         Electron
#define _cTemp_   eTemperature
#define _EQN0_    Poisson eQuantumPotential Electron
#define _EQNS_    Poisson eQuantumPotential Electron eTemperature


File {
        * output files:
        Output =  "NW_Ruido-total_des.log"
}


Math {
Extrapolate
ExitOnFailure
NumberOfThreads=8
Iterations=10
Method=ILS (set=6)
```

```
Submethod=Blocked
CoordinateSystem {AsIs}
WallClock
AutoOrientation=(100,110)
}
Physics {
        Mobility (Enormal(IALMob(AutoOrientation)) HighFieldSaturation)
        Recombination (Auger SRH(DopingDep))
        EffectiveIntrinsicDensity (BandGapNarrowing(OldSlotboom))
        eQuantumPotential
        Noise (Traps )
}
#Physics (Material="Silicon") { eQuantumPotential}
Physics (RegionInterface="canal/oxidodeporta"){
                Traps (
            (eNeutral Exponential fromCondBand Conc=1e9 EnergyMid=0
EnergySig=0.05 eXsection=5e-24 hXsection=5e-24)
            )
}
Physics (RegionInterface="canal/box2"){
                Traps (
            (eNeutral Exponential fromCondBand Conc=1e8 EnergyMid=0
EnergySig=0.05 eXsection=5e-24 hXsection=5e-24)
            )
}
```

```
Device MOS {
File {
Grid      = "NANOWIRE_NMOS_W@W@nm_@tdr@"
Current   = "NANOWIRE_IDVG_W@W@nm_Vb@Vb@_n@node@_des.plt"
Plot      = "NANOWIRE_IDVG_W@W@nm_Vb@Vb@_n@node@_des.tdr"
Parameter = "sdevice.par"
}
Electrode {
{Name="gate"      Voltage=0 }
{Name="source"    Voltage=0 }
{Name="drain"     Voltage=0 }
{Name="substrate" Voltage=0 workfunction=4.95}
}
        Plot {

                eDensity hDensity eCurrent hCurrent
                equasiFermi hquasiFermi
                eTemperature
                ElectricField eEparallel hEparallel
                Potential SpaceCharge
                SRHRecombination Auger
                eMobility hMobility eVelocity hVelocity
                Doping DonorConcentration AcceptorConcentration
                ElectricField
```

```
                BandGap BandGapNarrowing Affinity ConductionBand valenceBand
        }
}
System {
  MOS trans (gate= 1 drain= 2 source=s substrate=b)
  Vsource_pset vg ( 1 0 ) { dc= 0 }
  Vsource_pset vd ( 2 0 ) { dc= 0 }
  Vsource_pset vb (b 0) {dc=0}
  Vsource_pset vs (s 0) {dc=0}
  plot "vg_vd_id_NW.txt" (v(g s) v(d s) i(trans d))
}
Solve {
        # Poisson
        Quasistationary         ( Goal {Parameter=vg.dc Value=0 } )
                {Coupled { Poisson }  CurrentPlot ( Time = (-1)) }

        Quasistationary         ( Goal {Parameter=vg.dc Value=0 } )
                {Coupled { Poisson }  CurrentPlot ( Time = (-1)) }

        Quasistationary         ( Goal {Parameter=vg.dc Value=0 } )
                {Coupled { Poisson Electron Hole  }  CurrentPlot ( Time = (-1)) }
        #Vgt=0.1
        Quasistationary
                ( Initialstep=1 Minstep=1e-5 Maxstep=1
```

```
            Goal {Parameter=vg.dc Value=@<VgMax>@ } )
            { Coupled { Poisson Electron Hole  } CurrentPlot ( Time = (-1))
        }
        Quasistationary
            ( Initialstep=1 Minstep=1e-5 Maxstep=1
            Goal {Parameter=vd.dc Value=0.05} )
            { Coupled { Poisson Electron Hole  } CurrentPlot ( Time = (1))
        }
        Quasistationary
            ( Initialstep=1 Minstep=1e-5 Maxstep=1
            Goal {Parameter=vb.dc Value=@<Vsub>@} )
            { Coupled { Poisson Electron Hole  } CurrentPlot ( Time = (1))
        }
        ACCoupled (
    StartFrequency=10  EndFrequency= 1e4
            * NumberOfPoints= points_Per_Decade*number_Of_Decades + 1
          NumberOfPoints= @<nPerDecade*3+1>@ Decade
        ObservationNode(1 2)
    Node(1 2 s b)
        Exclude(vg vd vs vb)
        ACExtract= "n@node@_mos"
#       NoisePlot= "n@node@_mos"
        )
        { Poisson Electron Hole   Circuit Contact}
}
```

APÊNDICE B – PUBLICAÇÕES

ARTIGOS PUBLICADOS

Allan Roberto Molto, *Member, IEEE*, Bruna Cardoso Paz, *Member, IEEE* and Marcelo Antonio Pavanello, *Senior Member, IEEE,* LAEDC 2019, Influence of fin width and back bias on the low- frequency noise of long channel SOI nanowires.
Latin American Electron Devices Conference – LADC 2019.

Allan Roberto Molto, Bruna Cardoso Paz, Mikaël Cassé, Sylvain Barraud, Gilles Reimbold, Maud Vinet, Olivier Faynot and Marcelo Antonio Pavanello, Sbmicro 2018 - Low-Frequency Noise Investigation in Long-Channel Fully Depleted Inversion Mode n-type SOI Nanowire.
33rd Symposium on Microelectronics Technology and Devices – SBMicro 2018.

Allan Roberto Molto, Bruna Cardoso Paz, Rodrigo Trevisoli Doria, Michelly de Souza and Marcelo Antonio Pavanello, S3S 2018 - Back bias influence on low-frequency noise of n-type nanowires SOI MOSFETs.
IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference – S3S 2018.

A. R. Molto and M. A. Pavanello, Low-Frequency Noise in Inversion Mode Field Effect Nanowire transistors with reduced dimensions.
XIII Workshop on Semiconductors and Micro & Nano Technology – Seminatec 2018.

A. R. Molto and M. A. Pavanello, THE CHANNEL LENGTH INFLUENCE ON THE LOW FREQUENCY NOISE IN GC SOI MOSFETs WITH THIN GATE OXIDE LAYER.
XII Workshop on Semiconductors and Micro & Nano Technology – Seminatec 2017.

A. R. Molto, R. T. Doria, M. de Souza and M. A. Pavanello, The Temperature Influence on the Low Frequency Noise (LFN) in Submicron Graded-Channel SOI nMOSFETS.
XI Workshop on Semiconductors and Micro & Nano Technology – Seminatec 2016.

A. R. Molto, R. T. Doria, Member IEEE, M. de Souza, Senior Member IEEE, D. Flandre, Senior Member IEEE and M. A. Pavanello, Senior Member, IEEE, Low-Frequency Noise of Submicron Graded-Channel SOI nMOSFETS at High Temperature.

30rd Symposium on Microelectronics Technology and Devices – SBMicro 2016.

A. R. Molto, R. T. Doria, M. de Souza and M. A. Pavanello, RUÍDO DE BAIXA FREQUÊNCIA EM TRANSISTORES GC SOI EM ALTAS TEMPERATURAS.
V Simpósio de pesquisa do grande ABC – SPGABC 2016.