CENTRO UNIVERSITÁRIO FEI
EWERTON TEIXEIRA DA FONTE

DESENVOLVIMENTO DE UMA TÉCNICA BASEADA NO CONCEITO DE BOMBEAMENTO DE CARGAS PARA EXTRAÇÃO DAS ARMADILHAS DE INTERFACE EM TRANSISTORES MOS SEM JUNÇÕES

São Bernardo do Campo
2021

EWERTON TEIXEIRA DA FONTE

DESENVOLVIMENTO DE UMA TÉCNICA BASEADA NO CONCEITO DE BOMBEAMENTO DE CARGAS PARA EXTRAÇÃO DAS ARMADILHAS DE INTERFACE EM TRANSISTORES MOS SEM JUNÇÕES

Dissertação apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica. Orientado pelo Prof. Dr. Rodrigo Trevisoli Doria.

São Bernardo do Campo

2021

Teixeira da Fonte, Ewerton.
DESENVOLVIMENTO DE UMA TÉCNICA BASEADA NO CONCEITO DE BOMBEAMENTO DE CARGAS PARA EXTRAÇÃO DAS ARMADILHAS DE INTERFACE EM TRANSISTORES MOS SEM JUNÇÕES / Ewerton Teixeira da Fonte. São Bernardo do Campo, 2021.
98 p. : il.

Dissertação - Centro Universitário FEI.
Orientador: Prof. Dr. Rodrigo Trevisoli Doria.

1. Transistor sem Junções. 2. Bombeamento de Cargas. 3. SOI. 4. Armadilhas de Interface. I. Trevisoli Doria, Rodrigo, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Mestrado

PGE-10

Aluno: Ewerton Teixeira da Fonte **Matrícula:** 119117-0

Título do Trabalho: Desenvolvimento de uma técnica baseada no conceito de bombeamento de cargas para extração das armadilhas de interface em transistores MOS sem junções.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Rodrigo Trevisoli Doria

Data da realização da defesa: 28/05/2021

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

O candidato efetuou a apresentação de sua dissertação de forma satisfatória e respondeu adequadamente aos questionamentos dos membros da banda. Assim, o candidato foi aprovado. Entretanto foram efetuadas diversas sugestões, as quais devem ser consideradas na versão final do trabalho.

São Bernardo do Campo, 28/ 05 /2021.

MEMBROS DA BANCA EXAMINADORA	
Prof. Dr. Rodrigo Trevisoli Doria	Ass.:
Profª Drª Michelly de Souza	Ass.:
Profª Drª Talitha Nicoletti Regis	Ass.:

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA DISSERTAÇÃO

APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha companheira Roberta Sgarioni Pereira que sempre me apoia, me incentiva e me mostra o caminho a seguir, a minha mãe Sirlei Marques Teixeira e ao meu pai Fernando Ferreira da Fonte, por todos os valores e por me educarem com a mais bela forma de se educar um filho, dedico também ao meu orientador Rodrigo Trevisoli Doria por todo o auxílio e ensinamentos.

AGRADECIMENTOS

À Deus que tem me mostrado o caminho a seguir sempre e foi abrindo as portas necessárias para que eu chegasse até aqui.

À minha companheira Roberta por sempre estar ao meu lado, me incentivando e me alimentando com amor mais puro existente na terra.

Aos meus pais Sirlei e Fernando, por sempre acreditam em mim, me apoiarem e incentivarem.

Ao meu orientador e professor Dr. Rodrigo Trevisoli Doria que me orientou nesta caminhada, tornando a mais leve e divertida.

Aos professores Dr(a)s. Marcelo Antonio Pavanello, Michelly de Souza e Renan Trevisoli Doria que acreditaram em meus esforços, me auxiliando muito para que eu pudesse estudar e esse trabalho vir a ser realizado.

Aos professores Drs. Renato Camargo Giacomini e Salvador Pinillos Gimenez pelas aulas e ensinamentos.

À professora Michele Rodrigues, por participar da banca de qualificação e tornar este trabalho mais rico.

Ao coordenador do curso de Pós-Graduação Stricto Sensu em Engenharia Elétrica professor Dr. Carlos Eduardo Thomaz e ao Centro Universitário FEI.

Aos amigos que fiz ao longo do curso, Nilton, Fernando José, Fernando Pato, Flávio, Thales, José Roberto Banin, Paulo, Alexis e Gustavo Justo pelo apoio e momentos divertidos que passamos juntos.

E a todos que de alguma forma contribuíram para a realização deste trabalho e que involuntariamente não foram citados.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES) – Código de Financiamento 001.

À CEA-Leti e ao Sylvain Barraud pela fabricação e doação dos dispositivos experimentais.

“Peçam, e lhes será dado! Procurem e encontrarão! Batam, e abrirão a porta para vocês! Pois todo aquele que pede, recebe; quem procura, acha; e a quem bate, a porta será aberta” (Mateus 7:7-8)

RESUMO

Neste trabalho, é apresentado um estudo que visa deteminar a densidade de armadilhas de interface em transistores MOS sem junções (JNT). Uma vez que a quantidade de defeitos contida nas interfaces do dispositivo está ligada diretamente à sua qualidade, ter ferramentas que possam mensurá-las sem danificar o dispositivo torna-se necessário. Frente a isso, este trabalho tem como foco o estudo das armadilhas de interface (defeitos). Assim, visando determinar a densidade de armadilhas presentes neste dispositivo foi proposto um método de bombeamento de cargas adaptado em relação ao aplicado em transistores convencionais. O JNT é fabricado na tecnologia SOI e tem como principal característica uma dopagem de mesmo tipo e concentração desde a fonte até o dreno. Com isso é possível diminuir o tamanho do canal quando comparado ao transistor SOI MOS convencional modo inversão. Como primeira parte do projeto, foram efetuadas simulações 2D de um dispositivo com diversas concentrações de armadilhas diferentes e foi observado que, conforme essa concentração aumenta, os valores de tensão de limiar e tensão de faixa plana também tiveram um aumento significativo, sendo 80 mV e 150 mV, respectivamente, ao se variar a concentração de 0 para $8x10^{12}$ $eV^{-1}cm^{-2}$. Uma curva simulada em resposta à corrente de bombeamento no tempo também foi obtida e é notável a diferença no tempo de decaimento do valor de corrente com a alteração na densidade de armadilhas. A partir de medidas experientais, foram extraídas as curvas de I_d x V_{gs} para a extração da tensão de limiar e, então, o método de bombeamento foi aplicado aos dispositivos, onde foi obtida uma resposta onde pôde ser estudado o comportamento. Com esse resultado, é possível efetuar o cálculo das armadilhas de interface contidas no dispositivo e comparar com a quantidade efetiva de cargas que foram energizadas, onde pode ser comprovada a tendência da resposta do método proposto.

Palavras-chave: JNT, Armadilhas de Interface, SOI, Bombeamento de Cargas

ABSTRACT

This work presents a study focusing on the extraction of interface traps of Junctionless Nanowire Transistors (JNT). As the number of defects in the interfaces of the devices is related to its quality, it is desirable to have tools that enable to evaluate them without damaging the device. Thus, this work aims at extracting the interface traps density using an adaptation of the charge pumping method, usually applied to conventional devices. The JNT is fabricated in SOI technology and its main characteristic is the constant doping profile from the source to the drain, which allows for minimizing the size of the channel when compared to the conventional MOS transistor. As a first part of this work, 2D simulations were performed on a device considering different interface traps densities, and it was observed that as this concentration increases, the threshold voltage and flatband voltage values also increase significantly. It was observed variations of 80 mV and 150 mV in the threshold and flatband voltages, respectively, by varying the concentration from 0 to $8x10^{12}$ $eV^{-1}cm^{-2}$. A simulated curve in response to the pumping current was also obtained and the difference in the decay time of the current value is noticeable with respect to the different trap concentrations. In terms of experimental measurements, the I_d x V_g curves were obtained to extract the threshold voltage and, then, the pumping method was applied to the devices, where a satisfactory response was obtained. With this result it is possible to calculate the interface traps contained in the device and compare it with the effective amount of charges that were energized, where the trend of the proposed method's response could be demonstrated.

Keywords: Junctionsless Nanowire Transistors, Interface Traps, SOI, Charge Pumping

LISTA DE ILUSTRAÇÕES

Figura 1 - Vista tridimensional de um transistor MOS convencional. 26
Figura 2 - Vistas de um transistor nMOS modo inversão. 27
Figura 3 - Curvas I_d x V_{ds} e I_d x V_{gs} de um transistor nMOS convencional. 28
Figura 4 - Diagrama de banda de energias (A) nMOS e (B) pMOS. 29
Figura 5 – Curva da segunda derivada de I_d em função de V_g para V_d baixo, onde é indicado V_{th}. 31
Figura 6 – O efeito de canal curto. 32
Figura 7 - Disposição das cargas no óxido. 35
Figura 8 - Ilustração da recombinação de armadilhas de interface em um transistor nMOS a partir de seu diagrma da bandas de energia 36
Figura 9 – Vista planar de um transistor. 37
Figura 10 – Perfil de um dispositivo SOI nMOS. 37
Figura 11 - Vista planar do pMOS modo acumulação. 38
Figura 12 - Diagrama de banda de energia para um pMOS modo acumulação (SOI FD) com todo o canal deplatado. 39
Figura 13 – Estruturas SOI de múltiplas portas. 40
Figura 14 – Topologia do transistor XMOS 41
Figura 15 – Dispositivo FinFET de porta dupla. 41
Figura 16 - Exemplo da estrutura de π-gate e Ω-gate. 42
Figura 17 - Exemplo de um GAA 43
Figura 18 – Vista planar do transistor sem junção (a) Vista tridimensional do transistor sem junção (b). 44
Figura 19 – Formação do canal no JNT. 45
Figura 20 – Topologia padrão do bombeamento de cargas. 47
Figura 21 - Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, primeira fase 48
Figura 22 - Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, segunda fase 49
Figura 23- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, terceira fase 49
Figura 24- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, quarta fase 50

Figura 25- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, quinta fase 50
Figura 26- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, sexta fase 51
Figura 27 - Topologia do bombeamento de cargas aplicado ao SOI. 52
Figura 28 – Curva obtida através do método de extração de armadilhas para transistores de múltiplas portas. 52
Figura 29 – Pulso aplicado no método de bombeamento de cargas adaptado ao diodo P-I-N 53
Figura 30 – Esquema do método adaptado de bombeamento de cargas aplicado ao JNT. 54
Figura 31 – Vista planar do dispositivo virtual. 56
Figura 32 - Curva I_d vs V_{gs} do dispositivo simulado. 57
Figura 33 - Tensão de limiar e faixa plana do dispositivo simulado. 58
Figura 34 - Topologia do método na simulação. 58
Figura 35 - Curva I_d vs V_{gs} e log (I_d) vs V_{gs} com influência de armadilhas no dispositivo simulado. 59
Figura 36 - Tensão de limiar e faixa plana com influência de armadilhas no dispositivo simulado. 60
Figura 37 - Curva I_d vs Tempo para diversas densidades nominais de armadilha de Interface. 62
Figura 38 - I_d extraído a 1 μs em função da densidade nominal de armadilhas no dispositivo simulado. 62
Figura 39 - Curva I_d vs V_{gs} da medida experimental realizada no dispositivo JNT. 63
Figura 40 - Curva da segunda derivada de I_d vs V_g, onde o pico representa o valor da tensão de limiar do dispositivo. 64
Figura 41 - Forma de onda aplicada à porta do transistor experimental, a fim de verificar a aplicabilidade do método de bombeamento de carga. 65
Figura 42 topologia física do método adaptado de bombeamento de cargas aplicado ao JNT. 65
Figura 43 - Corrente de bombeamento extraída a partir de medidas experimentais. 66
Figura 44 - Corrente de bombeamento extraída a partir de medidas experimentais, com diferentes valores de V_{ds}. 67
Figura 45 - Curva I_G vs V_{gs} para extrair o valor de corrente quando V_{gs} = 1,2 V. 68
Figura 46 - Pontos para o cálculo da quantidade de cargas armadilhadas no dispositivo simulado com $N_{it} = 5 \times 10^{12}\ eV^{-1}cm^{-2}$ 70

Figura 47 - Curva I_d vs Tempo dispositivo simulado com N_{it} = 5 x 10^{12} $eV^{-1}cm^{-2}$ t_{per} = 10 µs71
Figura 48 – Curva N_{it} versus Energia (Banda de energia) no instante t = 10 µs.....72
Figura 49 - Curva I_d vs Tempo dispositivo simulado com diversas concentrações de N_{it} e t_{per} = 10 µs 73
Figura 50 – Curva N_{it} versus Energia (Banda de energia) no instante t = 10 µs.....74
Figura 51 - Valores de comparação do método com o total de cargas armadilhadas.....76
Figura 52 – Definição dos pontos para cálculo da densidade de armadilhas no dispositivo experimental. 77

LISTA DE TABELAS

Tabela 1- Valores de tensão de limiar e faixa plana extraídos na simulação. 60
Tabela 2 - Resultado do cálculo de extração de armadilhas de interface energizadas nas curvas simuladas. 74
Tabela 3 - Resultado da aplicação do cálculo de extração de armadilhas de interface nas curvas simuladas. 75
Tabela 4 - Valores de cargas armadilhadas e resultado de cálculo do método 76

LISTA DE SÍMBOLOS

C_D	Capacitância de depleção por unidade de área [F/cm]
C_{it}	Capacitância das armadilhas de interface por unidade de área [F/cm]
C_{OX}	Capacitância do óxido de porta por unidade de área [F/cm]
E_C	Nível energético do extremo inferior da Faixa de Condução [eV]
E_F	Nível de Fermi [eV]
E_{FM}	Nível de Fermi do metal [eV]
E_i	Nível de Fermi intrínseco [eV]
E_V	Nível energético na valência [eV]
$E_{VÁCUO}$	Nível energético no vácuo [eV]
f	Frequência [Hz]
I_{acc}	Corrente que flui na camada de acumulação [A]
I_b	Corrente de corpo em um dispositivo SOI modo acumulação [A]
I_{cp}	Corrente de bombeamento de carga [A]
I_d	Corrente de dreno [A]
I_G	Corrente de porta [A]
k	Constante de Boltzmann [1,38 x 10^{-23} J/K]
L	Comprimento do canal [nm]
n_i	Concentração intrínseca do silício [cm^{-3}]
N_a	Concentração de impurezas do silício [cm^{-3}]
N_d	Concentração de dopantes no silício [cm^{-3}]
N_{it}	Concentração de armadilhas de interface [cm^{-3}]
M	Número de *fins*
q	Carga elementar do elétron [1,6 x 10^{-19} C]
Q_{it}	Cargas de armadilha de interface [C]
Q_{of}	Cargas de armadilha no óxido [C]
Q_{om}	Cargas móveis no óxido [C]
Q_{os}	Cargas fixas no óxido [C]
Q_{ss}	Cargas efetivas no óxido [C]
S	Inclinação de sublimiar [mV/década]
t_{acc}	Tempo de acumulação de cargas no canal [s]
t_{Box}	Espessura do óxido enterrado [nm]
t_d	Tempo de atraso [s]

t_f	Tempo de descida [s]
t_{fim}	Instante final da curva [s]
t_i	Instante inicial da curva [s]
t_{inv}	Tempo de inversão de cargas no canal [s]
t_{ox}	Espessura do óxido de porta [nm]
t_{per}	Período [s]
t_{pw}	Largura de pulso [s]
t_r	Tempo de subida [s]
t_{Si}	Espessura da camada de silício [nm]
T	Temperatura absoluta [K]
V_1	Tensão de referência [V]
V_2	Tensão de nível alto [V]
V_A	Tensão de amplitude pulso [V]
V_{acc}	Tensão de acumulação [V]
V_{GFL}	Tensão de base do pulso [V]
V_{GFH}	Tensão de nível alto do pulso [V]
V_{fb}	Tensão de faixa plana [V]
V_d	Tensão de dreno [V]
V_{ds}	Tensão entre dreno e fonte [V]
V_G	Tensão aplicada na porta [V]
V_{gs}	Tensão aplicada entre a porta e a fonte [V]
V_{inv}	Tensão de inversão [V]
V_{th}	Tensão de limiar [V]
W	Largura do canal [nm]
X_d	Espessura da camada de depleção [nm]
X_{dmax}	Espessura máxima da camada de depleção [nm]
β_n	Fator de ganho do transistor NMOS [A/V²]
ε_{Si}	Permissividade do silício [1,06 x 10^{-12} F/cm]
ε_{ox}	Permissividade do óxido de porta [F/cm]
μ_n	Mobilidade dos elétrons [cm²/V.s]
Φ_F	Potencial de Fermi
Φ_M	Função trabalho do metal
Φ_{MS}	Diferença entre a função trabalho do metal e o semicondutor
Φ_{OX}	Queda de potencial no óxido de porta

Φ_S	Potencial de Superfície
Φ_{Si}	Função trabalho do silício

LISTA DE ABREVIATURAS

DIBL	*Drain Induced Barrier Lowering* – Redução da Barreira Induzida pelo Dreno
FD	*Fully Depleted* – Totalmente Depletado
GAA	*Gate-All-Around* – Transistor com porta circundante
JNT	*Junctionless Nanowire Transistor* – Transistor de Nanofio sem Junção
MOS	*Metal Oxide Semiconductor* – Metal Óxido Semicondutor
MugFETs	*Multiple Gate Field Effect Transistors* – Transistores de múltiplas portas
PD	*Partially Depleted* – Parcialmente Depletado
SCE	*Short Channel Effects* – Efeito de Canal Curto
SOI	*Silicon on Insulator* – Silício sobre Isolante
3+	*Triple Plus Gate* – Transistor π-Gate e Ω-Gate

SUMÁRIO

1 INTRODUÇÃO 23

2 REVISÃO BIBLIOGRÁFICA 26

2.1 TRANSISTORES MOS CONVENCIONAIS 26

2.1.1 Características de um transistor nMOS Modo Inversão 26

2.1.2 Diagrama de bandas de energia 29

2.1.3 Tensão de limiar 31

2.1.4 O efeito de canal curto (SCE) 32

2.1.5 Influência de V_d 32

2.1.6 Inclinação de sublimiar 33

2.2 CARGAS NO ÓXIDO 33

2.2.1 Contribuição na corrente pela recombinação de armadilhas de interface em um transistor nMOS 35

2.3 TECNOLOGIA SOI 36

2.3.1 Transistor SOI modo acumulação 38

2.4 TRANSISTORES DE MÚLTIPLAS PORTAS 40

2.4.1 Estruturas SOI de múltiplas portas 40

2.4.2 Classificação de transistores de múltiplas portas 40

2.4.2.1 Porta dupla *41*

2.4.2.2 Porta tripla *42*

2.4.2.3 Porta circundante *43*

2.5 TRANSISTORES JNT 44

2.5.1 Estrutura de um JNT 44

2.5.2 Formação do canal no JNT 45

2.6 BOMBEAMENTO DE CARGAS 46

2.6.1 Bombeamento de cargas aplicado em MOS convencional 46

2.6.2 Os diferentes processos que ocorrem durante um ciclo do bombeamento de cargas em um transistor nMOS 48

2.6.3 Bombeamento de cargas aplicado ao SOI 51

2.6.4 Bombeamento de cargas adaptado ao JNT 53

3 SIMULAÇÕES 55

3.1 SIMULADOR SENTAURUS 55

3.2 DISPOSITIVO SIMULADO 55

3.3 EXTRAÇÃO DA TENSÃO DE LIMIAR 57

3.4 TOPOLOGIA DO MÉTODO NA SIMULAÇÃO 58

3.4.1 Extração das curvas características com influência das armadilhas de interface no dispositivo simulado 59

3.4.2 Extração da corrente de bombeamento de cargas no dispositivo simulado ... 61

4 MEDIDAS EXPERIMENTAIS 63

4.1 EXTRAÇÃO DA TENSÃO DE LIMIAR 63

4.2 EXTRAÇÃO DA CORRENTE DE BOMBEAMENTO DE CARGAS ATRAVÉS DO MÉTODO ADAPTADO AO JNT 64

5 EXTRAÇÃO DA DENSIDADE DE ARMADILHAS DE INTERFACE 69

5.1 CÁLCULO DA QUANTIDADE DE CARGAS ARMADILHADAS COM A APLICAÇÃO DO MÉTODO PROPOSTO 69

5.2 MÉTODO DE BOMBEAMENTO DE CARGAS PROPOSTO APLICADO À DIVERSAS DENSIDADES DE ARMADILHAS DE INTERFACE 73

5.3 MÉTODO DE BOMBEAMENTO DE CARGAS PROPOSTO APLICADO À CURVA EXPERIMENTAL 77

6 CONCLUSÕES 78

7 TRABALHOS REALIZADOS 80

REFERÊNCIAS 81

APÊNDICE A: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA ESTRUTURA VIRTUAL. 86

APÊNDICE B: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA CURVA ID VS VG 91

APÊNDICE C: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA CURVA DE BOMBEAMENTO DE CARGAS 94

1 INTRODUÇÃO

Desde a década de 1960, tem havido uma grande evolução tecnológica, no que diz respeito à integração de circuitos eletrônicos complexos em escala micrométrica [1]. Desde então, a taxa de aumento da quantidade de dispositivos presentes em um dado circuito integrado tem seguido a lei de Moore [1]. Segundo a lei, foi constatado que até 1965, a quantidade de dispositivos em um CI dobrava a cada 18 meses. Desse modo, a indústria da microeletrônica tomou essa constatação como uma diretriz para avanços futuros. Frente a isso, novos estudos têm se tornado importantes e, com a tecnologia Metal-Óxido-Semicondutor (MOS), deu-se um grande passo para esta finalidade.

Com a diminuição das dimensões dos transistores, certos problemas têm apresentado mais relevância e causado efeitos não desejados no funcionamento dos dispositivos. Quando o controle da porta sobre as cargas na região de canal diminui e parte destas cargas passa a ser controlada pelas regiões de depleção devido às junções de fonte e dreno, tem-se os efeitos de canal curto, ou SCEs[1] [2].

Com a chegada da tecnologia SOI[2], muitos dos efeitos não desejados, incluindo os SCEs, foram minimizados, conforme discutido posteriormente neste trabalho [3]. Com esta nova tecnologia, dois tipos de transistores podem ser definidos, sendo eles: parcialmente depletados (PD[3]) e totalmente depletados (FD[4]). Um transistor é definido como PD ou FD a partir da espessura da camada de silício (t_{Si}) em comparação à profundidade máxima da região de depleção. Quando a camada de silício é, pelo menos, duas vezes maior que a camada formada pela depleção na região de canal, o PD é criado. Já, no caso em que t_{Si} é menor que a camada de depleção, tem-se o FD. Neste caso, toda a espessura da camada de silício na região de canal está completamente depletada durante o processo de condução [4].

Como parte da evolução da tecnologia, tem se procurado melhorar o controle da região do canal pela porta com o desenvolvimento de novas tecnologias como os transistores de múltiplas portas (MugFETs[5]). Esse controle se dá pelo acoplamento capacitivo ser melhor em transistores de multiplas portas, quando comparado ao convencional [5]. Visando a fabricação de transistores ainda menores, o transistor sem junções foi proposto (JNT[6]) [6]. Essa nova estrutura possui múltiplas portas e seu perfil de dopantes na região ativa do canal é constante

---

[1] Do termo em inglês *Short Channel Effects*
[2] Do termo em inglês *Silicon on Insulator*
[3] Do termo em inglês *Partially Depleted*
[4] Do termo em inglês *Fully Depleted*
[5] Do termo em inglês *Multiple Gate Field Effect Transistors*
[6] Do termo em inglês *Junctionless Nanowire Transistor*

do início da fonte ao final do dreno. Com essa nova estrutura, certos efeitos de segunda ordem foram minimizados, como é o caso do SCE, ou até eliminados [5]. O principal motivo para o desenvolvimento de transistores sem junções está na possibilidade de fabricar transistores ainda menores que os modo inversão, pois não há a necessidade de formação das junções de fonte/canal e dreno/canal que ocupam alguns nanômetros e requerem condições específicas de dopagem e temperatura [7].

Quando observada a região onde o material de porta (óxido) e o canal (região ativa) se encontram, nesta interface é observada a formação de defeitos, que, dependendo do tipo, podem também ser chamados de armadilhas de interface. Estas correspondem a ligações atômicas incompletas ou impurezas, dando origem a interações indesejadas entre portadores existentes nesta área, afetando o comportamento elétrico do dispositivo [8]. No decorrer deste trabalho, tem-se como objetivo o estudo destas armadilhas, visando estimar a ordem de grandeza em que elas são observadas nas interfaces de transistores sem junções.

O método de bombeamento de cargas (*charge pumping*) pode ser utilizado para a extração da densidade de armadilhas de interface existente em um material. Quando utilizado, este não danifica o dispositivo e pode ser usado em transistores MOS [9]. Neste trabalho, o método de bombeamento será adaptado para a extração da densidade de armadilhas de interface em dispositivos MOS sem junções. Visando à adaptação do método atualmente empregado em transistores MOS para JNTs, serão efetuadas simulações numéricas considerando dispositivos com diferentes características, bem como diferentes condições de polarização. Serão também efetuadas medidas experimentais, visando determinar a viabilidade da aplicação da técnica de bombeamento em transistores sem junções fabricados. Os resultados obtidos tanto na simulação, quanto na prática, serão discutidos ao final deste trabalho.

Uma revisão bibliográfica sobre transistores MOS convencionais será abordada no Capítulo 2, com os principais parâmetros elétricos que são afetados pelas armadilhas de interface, como tensão de limiar e inclinação de sublimiar. Também dentro deste capítulo serão tratados os transistores SOI modo inversão e transistores sem junções com a abordagem dos principais parâmetros elétricos. Será desenvolvida também, uma revisão sobre o método de bombeamento de cargas para transistores MOS convencionais e para transistores SOI. Esta última, através de diodos PIN e, por fim, será proposto o método adaptado de bombeamento de cargas para o JNT.

No Capítulo 3, uma apresentação sobre o software Sentaurus será tratada, bem como os modelos utilizados na simulação. Após esta revisão, serão apresentados os resultados obtidos nas simulações realizadas.

No capítulo 4, serão abordados os resultados das medidas experimentais, bem como a discussão dos resultados obtidos.

No capítulo 5, serão abordados os cálculos para quantificação da densidade de armadilhas nas curvas simuladas, bem como a discussão dos resultados obtidos.

Finalmente, nos capítulos 6 e 7 são apresentadas, respectivamente, as conclusões e sugestões de trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

Uma revisão bibliográfica sobre transistores convencionais e SOI será descrita dentro deste capítulo, bem como a descrição do funcionamento do transistor sem junções e o método de bombeamento de cargas.

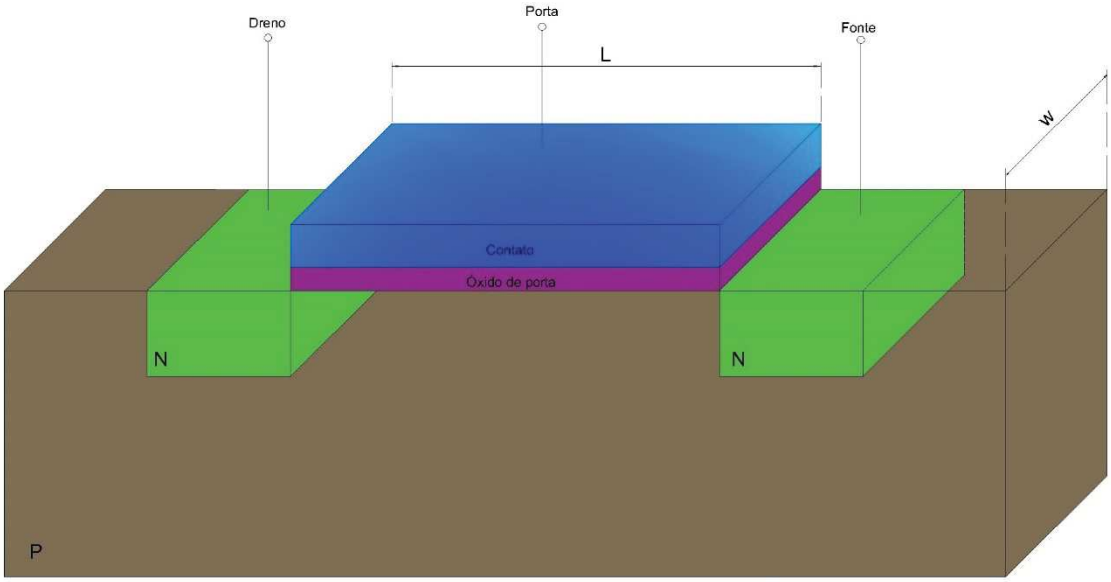
2.1 TRANSISTORES MOS CONVENCIONAIS

Neste tópico, serão discutidos princípios do funcionamento de transistores MOS convencionais, junto com métodos para obtenção de parâmetros importantes nos dispositivos.

2.1.1 Características de um transistor nMOS Modo Inversão

O transistor MOS é um dispositivo eletrônico composto por quatro terminais: porta, fonte, dreno e substrato. A região da porta é situada no centro do dispositivo e é constituída por camadas de dielétrico e metal sobrepostas a uma região de silício tipo P, no caso do nMOS. Fora da região de porta, o silício apresenta duas regiões do tipo N, cada uma em uma das extremidades da porta. Estas são as regiões de fonte e dreno. Uma vista tridimensional de um transistor MOS é demonstrada na figura 1 [10, 11]. Nesta imagem, a estrutura do transistor pode ser visualizada.

Figura 1 - Vista tridimensional de um transistor MOS convencional.

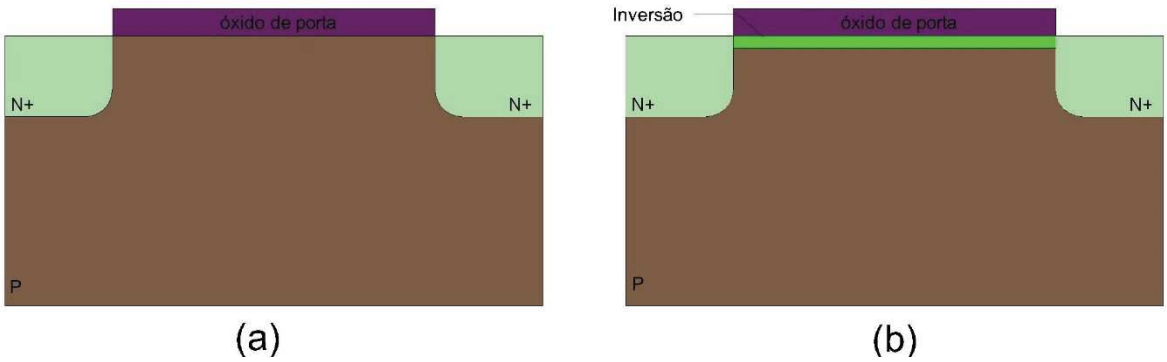


Fonte: Autor

Para que este dispositivo entre em regime de condução, deve ocorrer uma inversão do tipo de portadores majoritários na superfície da região ativa da lâmina de lacunas para elétrons. Essa inversão, que resulta na formação de uma corrente elétrica (quando a tensão de dreno, V_{ds}, for maior que zero), ocorre após uma depleção ser criada. Para que isso ocorra, é necessário aplicar uma tensão V_{gs} (Tensão aplicada entre Porta e Fonte). Quando essa tensão é inferior à tensão de limiar, V_{th}, será criada a depleção, formando uma região com ausência de portadores livres na camada de silício abaixo da interface com o óxido de porta. Quando a intensidade de V_{gs} for maior que V_{th}, cargas de polaridade inversas às cargas do canal são atraídas para a região ativa da lâmina, próximo à região de porta. O princípio para entendimento de funcionamento dessa tensão será explicado no decorrer deste capítulo.

A figura 2 é uma representação esquemática da estrutura de um transistor MOS sem (a) e com a formação de canal (b) [10]. É importante observar que nesta figura não são apresentadas as regiões de depleção de porta, fonte e dreno, e sim como o transistor está antes da inversão e após a inversão. No caso de (b), o canal está na região de trabalho de triodo, a qual será descria a seguir.

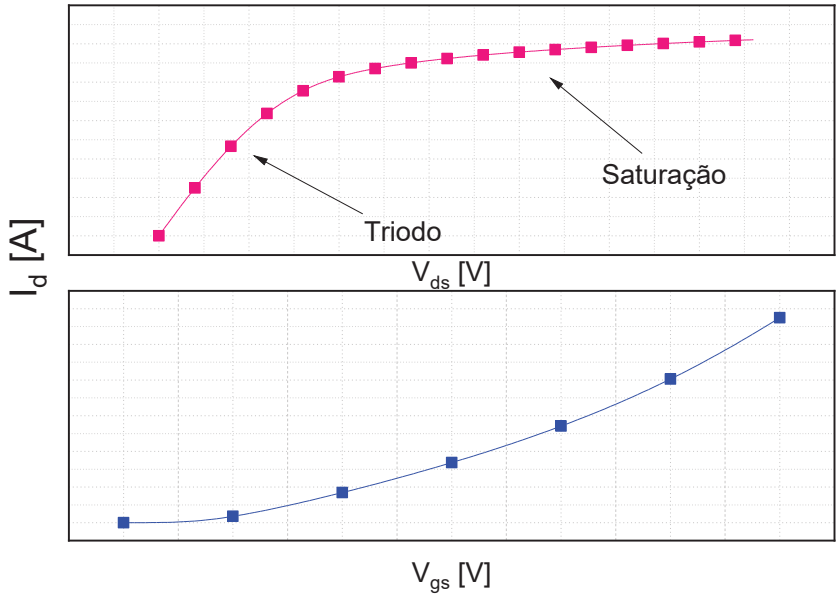
Figura 2 - Vistas de um transistor nMOS modo inversão.



Fonte: Autor
Legenda: (a) Sem inversão e (b) Com inversão

As curvas características comuns em um transistor MOS, são aquelas da corrente de dreno, I_d, obtida em função das quedas de tensão entre dreno/fonte e porta/fonte, conforme o esboço apresentado na figura 3.

Figura 3 - Curvas I_d x V_{ds} e I_d x V_{gs} de um transistor nMOS convencional.



Fonte: Autor

Primeiramente, será introduzido o conceito da região de triodo. Quando uma tensão de porta V_{gs} maior que V_{th} é aplicada, de modo que a tensão entre dreno e fonte é inferior à diferença entre V_{gs} e V_{th}, o dispositivo opera na região de triodo, como visto na equação 1.

$$V_{ds} < V_{gs} - V_{th} \tag{1}$$

Conforme a tensão aplicada ao dreno é incrementada, a queda de tensão V_{ds} aumenta. No momento em que este valor for igual à diferença entre as tensões de V_{gs} e V_{th}, o dispositivo está na transição da região de triodo para a região de saturação. Neste instante, o canal no lado do dreno está na iminência de desaparecer. Este fenômeno é chamado de pinçamento (*pinch-off*) da camada de inversão. Para tensão V_{ds} superior à diferença entre V_{gs} e V_{th}, este pinçamento se desloca em direção da fonte, sendo este regime de operação chamado de saturação. A condição de polarização para que o dispositivo opere na região de saturação é descrita na equação 2.

$$V_{ds} > V_{gs} - V_{th} \tag{2}$$

Num modelo de primeira ordem, a corrente I_d, na região de triodo tem seu comportamento descrito conforme a equação 3.

$$I_d = \beta_n \, x \left[\left(V_{gs} - V_{th} \right) x V_{ds} \; - \frac{{V_{ds}}^2}{2} \right] \tag{3}$$

De forma similar, a equação 4 descreve a corrente I_d através de um modelo de primeira ordem, na região de saturação.

$$I_d = \beta_n x \left[\frac{\left(V_{gs} - V_{th} \right)^2}{2} \right] \tag{4}$$

Onde β_n, chamado de fator de ganho do transistor, é descrito pela equação 5.

$$\beta_n = \frac{\mu_n * \varepsilon_{ox}}{t_{ox}} x \left(\frac{W}{L} \right) \tag{5}$$

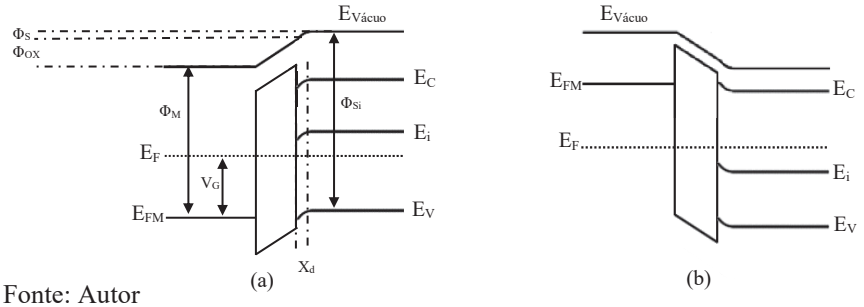
Onde μ_né a mobilidade dos elétrons, ε_{ox} é a permissividade do óxido de porta, Wé a largura do canal, L é o comprimento do canal e t_{ox} é a espessura do óxido de porta.

Para um dispositivo nMOS, tem-se a formação de canal dada por elétrons. Já em um pMOS, tem-se a formação de canal dada por lacunas, contudo em valores absolutos as curvas e equações tem o mesmo comportamento.

2.1.2 Diagrama de bandas de energia

Para compreender o funcionamento dos transistores convencionais, primeiro é necessário estudar o comportamento físico presente nas interfaces e região do canal. Para tanto, o estudo do diagrama de faixas de energia é um método muito utilizado nas execuções desses estudos, o qual consiste em demonstrar os níveis energéticos de cada material, bem como o comportamento ao aplicar-se uma diferença de potencial entre os terminais do dispositivo, além de demonstrar a região de depleção formada no canal do dispositivo [12]. Na figura 4, é apresentado o diagrama de bandas de energia para transistores nMOS e pMOS, na condição de depleção.

Figura 4 - Diagrama de banda de energias (A) nMOS e (B) pMOS.



Fonte: Autor
Legenda: (a) nMOS e (b) pMOS

Onde:

- $E_{VÁCUO}$, representa o nível de energia no vácuo;
- E_V, representa o nível energético máximo da camada de valência, o qual é o máximo nível de energia ocupado por um elétron, quando está na ligação covalente;
- E_F, representa o nível de Fermi, onde existe a probabilidade de 50% de ter a ocupação de um elétron;
- E_i, representa o nível intrínseco, o qual é o nível onde existe a probabilidade de 50% de ocorrer a ocupação de um elétron, no semicondutor intrínseco;
- E_C, representa o nível mínimo da camada de condução;
- Φ_S, representa o potencial de superfície, referente à interface entre o óxido de porta e o silício do canal;
- Φ_{OX}, representa a queda de potencial no óxido de porta;
- Φ_M, representa a função trabalho do metal, a qual é a energia necessária para extrair um elétron do material;
- Φ_{Si}, representa a energia necessária para extrair elétrons do silício. (Função trabalho do Silício)
- X_d, representa a espessura da camada de depleção;
- V_G, representa a tensão aplicada à porta.

Ao aplicar um potencial na porta do dispositivo, o nível energético E_i se desloca em direção a E_F. Neste momento, a região de depleção a qual pode já existir, aumenta e o dispositivo estará em modo inversão quando o potencial de superfície, definido pela variação do nível intrínseco do substrato em direção a interface, for 2 vezes o Φ_F (Potencial de Fermi), ou seja, após o nível intrínseco cruzar com o nível energético de Fermi. O transistor estará em acumulação quando o nível intrínseco estiver se afastando do nível de Fermi junto da interface. O potencial de Fermi é dado por:

$$\Phi_F = \frac{kT}{q} ln\left(\frac{N_A}{n_i}\right) \tag{6}$$

Onde n_i é a concentração intrínseca do silício, N_A é a concentração de dopantes aceitadores, k é a constante de Boltzmann, T é a temperatura e q é a carga do elétron.

A depleção, região em que não há portadores livres, será formada na região ativa da lâmina e, em um dispositivo nMOS modo inversão, sua espessura aumenta com o aumento da

tensão de porta, até que o dispositivo atinja a tensão de limiar, onde é alcançada uma profundidade máxima de depleção, X_{dMAX}, descrita por:

$$X_{dMAX} = \sqrt{\frac{2\varepsilon_{Si}2\Phi_F}{qN_A}} \tag{7}$$

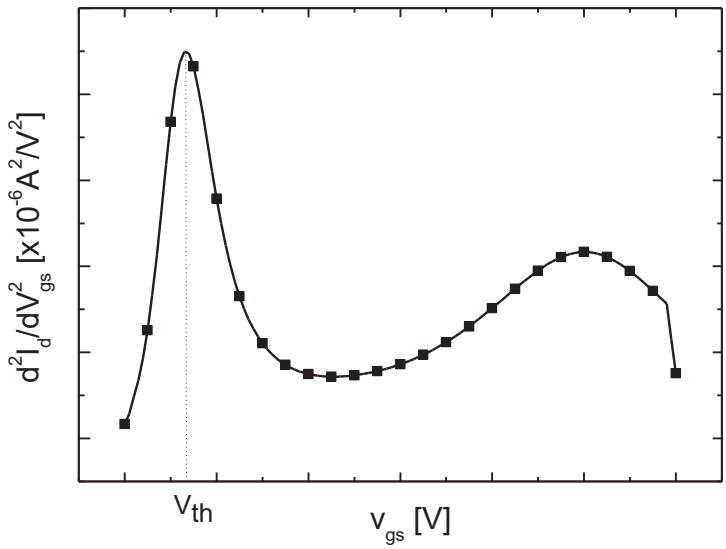
Onde ε_{Si} é a permissividade do silício.

2.1.3 Tensão de limiar

Assim que uma tensão próxima da tensão de limiar (V_{th}) for aplicada à porta do dispositivo, para um dispositivo nMOS, os portadores majoritários, no caso lacunas, são repelidos e elétrons livres são atraídos para uma região próxima da interface óxido de porta/região ativa da lâmina. Nesse momento, ocorre o efeito de inversão no canal do dispositivo [13].

Para se obter este parâmetro a partir de uma curva característica do dispositivo, é proposto o método da segunda derivada da curva I_d x V_{gs}, aplicando-se, por necessidade, uma baixa tensão entre dreno e fonte. A obtenção da tensão de limiar é dada pelo primeiro pico máximo da curva obtida na derivada de segunda ordem de I_d em função de V_{gs}, conforme a figura 5 [14].

Figura 5 – Curva da segunda derivada de I_d em função de V_g para V_d baixo, onde é indicado V_{th}.

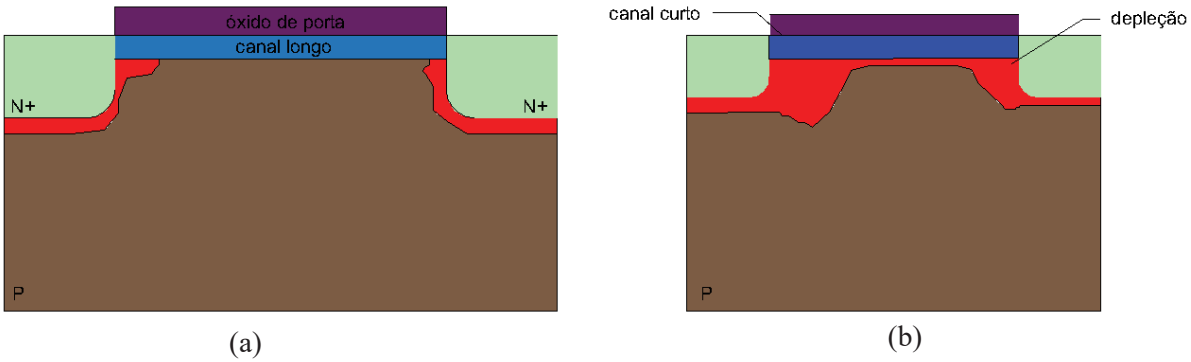


Fonte: Autor

2.1.4 O efeito de canal curto (SCE)

Os dispositivos MOS com um comprimento de canal considerado pequeno tem efeitos que não podem deixar de ser analisados. Neste caso, é necessário notar que nem todas as cargas existentes no canal podem ser facilmente controladas, devido às cargas que são controladas pelas regiões de depleção criadas nas junções dreno/região ativa e fonte/região ativa. A figura 6 mostra a diferença entre um dispositivo de canal longo (a) e um de canal curto (b).

Figura 6 – O efeito de canal curto.



Fonte: Autor
Legenda: (a) Sem efeito de canal curto e (b) Com efeito de canal curto

2.1.5 Influência de V_d

Com a diminuição do comprimento de canal, certos efeitos ficam mais significativos. Entre eles, o DIBL[7] é um parâmetro muito importante. Em transistores com o comprimento de canal reduzido, as regiões de depleção entre fonte e dreno passam a ter um controle maior dos portadores que fluem pelo canal. Assim, o controle de parte desses portadores se dá não mais apenas pela porta. Com isso, as características do dispositivo passam a sofrer alterações como, por exemplo, a redução da tensão de limiar do dispositivo. Esses efeitos ocorrem devido à barreira de potencial existente próxima à região de dreno, sofrer um aumento, reduzindo a parcela de carga controlada pela porta. Em casos extremos, para L muito pequeno, se a tensão de dreno for grande o suficiente, as regiões de depleção da fonte e do dreno podem se tocar. Quando isso acontece, a corrente de dreno não é mais controlada pela tensão de porta e flui através do corpo do dispositivo. Essa corrente é denominada corrente de perfuração MOS [5].

[7] Do termo em inglês *Drain Induced Barrier Lowering*

2.1.6 Inclinação de sublimiar

Para tensões de porta menores que a tensão de limiar, não há inversão do canal. Ainda assim, existe uma corrente que flui entre o dreno e a fonte, a qual é chamada de corrente de sublimiar. Esta corrente independe da tensão entre dreno e fonte (V_{ds}) e existe por causa da difusão, ou seja, pela diferença na concentração de portadores entre as regiões de fonte e dreno. Sendo uma corrente que varia de maneira exponencial em função da tensão, a definição da inclinação de sublimiar é mostrada na equação 8 [12].

$$S = \frac{dV_{gs}}{dLog(I_d)} \tag{8}$$

Onde S é a inclinação de sublimiar e indica qual a variação de tensão de porta necessária para a variação da corrente por um fator de 10. Quanto menor o valor de S, mais rápido o dispositivo é no chaveamento.

As capacitâncias existentes no transistor influenciam no valor de S como visto na equação 9.

$$S = \frac{kT}{q}\ x\ ln(10)\ x\ \left(1 + \frac{C_D + C_{it}}{C_{OX}}\right) \tag{9}$$

Onde C_{OX} é a capacitância do óxido de porta, C_D é a capacitância de depleção e C_{it} é a capacitância das armadilhas de interface. Pelo fato de uma C_{it} depender do valor da concentração de armadilhas, existe a importância de se determinar este valor nos dispositivos.

2.2 CARGAS NO ÓXIDO

As cargas no óxido ocorrem em uma região próxima à interface óxido de porta / silício e silício / óxido enterrado. Como o objetivo deste trabalho é o estudo da interface com a porta, serão discutidas as cargas existentes nessa região. Estas cargas podem ter diferentes características que degradam as propriedades elétricas dos dispositivos. Parte dessas cargas têm energia de ativação no interior da banda proibida, as quais possibilitam níveis os quais elétrons podem assumir. Assim, não são controladas e interferem nos níveis de corrente, hora adicionando elétrons hora retirando elétrons que fluem através do canal do dispositivo. Estas cargas existem por ligações atômicas que não foram concluídas com sucesso ou impurezas que foram depositadas no processo de fabricação [12].

Basicamente, existem 4 tipos diferentes de cargas no óxido que podem alterar as características de funcionamento do dispositivo, além de introduzir uma capacitância adicional à estrutura.

Incialmente, pode-se citar as cargas móveis no óxido (Q_{om}), que correspondem à contaminação contida no óxido, em sua grande maioria por metais alcalinos como, por exemplo, Na^+, K^+, Li^+, H^+ e H_3O^+ [12]. São chamadas de cargas móveis, pois, quando submetidas a um campo elétrico, se movem dentro do óxido. Caso existam, é de extrema dificuldade quantizá-las, por serem possíveis de assumir muitos estados energéticos. Em processos de fabricação atuais a presença deste tipo de cargas pode ser considerada desprezível.

As cargas fixas no óxido, também chamadas de cargas na interface Si – SiO_2 (Q_{os}), por sua vez, são íons que foram aprisionados durante a formação do óxido e de reações incompletas com o oxigênio, que dependem da orientação cristalina do substrato.

Como ocorrem falhas no processo de fabricação do dispositivo, algumas lacunas ou elétrons ficam presos por toda a camada de SiO_2. No caso, são ligações atômicas que foram quebradas ou impurezas contidas no ambiente. Estas cargas são chamadas de cargas armadilhadas no óxido (Q_{of}).

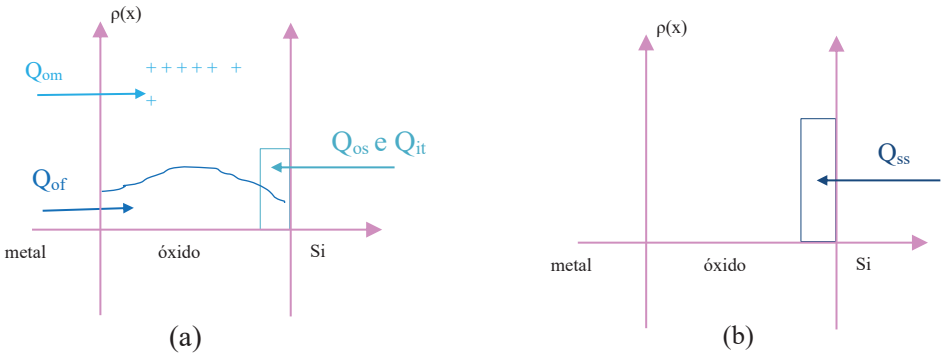
Por fim, existem as cargas de armadilha de interface (Q_{it}). São provenientes dos defeitos de posicionamento dos átomos na interface. Como na região do canal a estrutura do material é cristalina, todas as ligações elétricas estão bem definidas. Já na região do óxido de porta, o material é amorfo, ou seja, as regiões internas do material não seguem uma mesma orientação de ligação elétrica dos átomos. Assim, em alguns pontos podem haver ligações incompletas e, na região da interface, podem haver descasamento entres os átomos, fazendo com que as ligações Si – SiO_2 fiquem incompletas. Logo, podem aprisionar ou liberar elétrons em função do potencial de superfície. Estas cargas assumem diferentes níveis energéticos dentro da banda proibida, desde o nível de energia de condução até próximo ao nível de valência. A distribuição de energia das armadilhas geralmente é exponencial em função da banda proibida [8, 12].

Caso a quantidade de cargas móveis seja pequena, ou até que a mobilidade delas seja reduzida, pode-se determinar um valor efetivo de cargas na interface (Q_{ss}), o qual é equivalente ao total produzido pelos quatro tipos de carga existentes [12]. A figura 7 demostra as diferentes cargas contidas no interior da banda proibida. No decorrer deste trabalho, será considerada esta situação para efeito de cálculos.

Como estas armadilhas, ou defeitos, afetam diretamente parâmetros importantes, tais como tensão de limiar e capacitância de junção, é de extrema importância saber a qualidade de interface na fabricação dos dispositivos e ter uma estimativa mais próxima ao real, para fins de

projetos. Como objetivo deste trabalho, pretende-se desenvolver um método que possa estimar essa densidade de cargas em transistores sem junções. No decorrer, será explicada e apresentada uma proposta de extração da densidade de armadilhas no JNT.

Figura 7 - Disposição das cargas no óxido.



Fonte: Adaptado de [10]
Legenda: (a) Condição real e (b) Condição equivalente

2.2.1 Contribuição na corrente pela recombinação de armadilhas de interface em um transistor nMOS

Em um transistor nMOS, quando o substrato vai da acumulação para inversão através da aplicação de um pulso à porta partindo de um V_{gs} suficientemente negativo, portadores minoritários fornecidos pela fonte e pelo dreno (elétrons neste caso) fluem para o canal e algumas destas cargas são capturadas por armadilhas de interface vazias. Quando o transistor volta à acumulação após o término do pulso, estes elétrons que estavam aprisionados são emitidos e se movem para a região de maior potencial, dando origem a uma corrente de substrato. Durante cada ciclo, as armadilhas de interface são preenchidas novamente com elétrons vindos da fonte e do dreno. Ao término de cada pulso, esses portadores são, então, "bombeados" para o substrato.

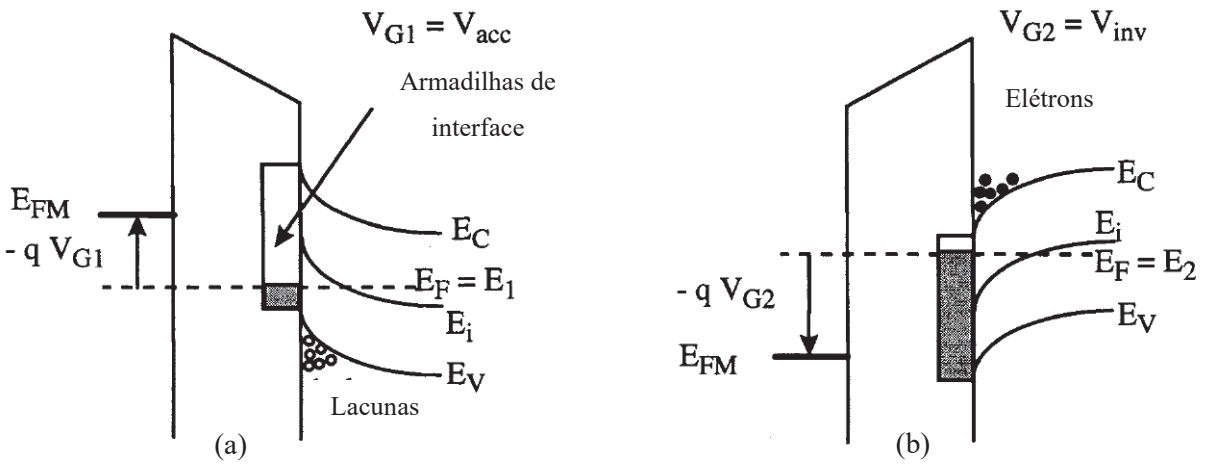
Uma interpretação simples de como as armadilhas de interface são capazes de atuar como um meio de acoplamento de carga é apresentado na figura 8, para um substrato do tipo p.

Quando uma tensão de porta negativa é aplicada ($V_{g1} < 0$) em relação ao substrato, as bandas de energia são deslocadas para cima, perto da interface. O nível de Fermi na interface se move em direção à banda de valência. Isso é consistente com um aumento na probabilidade de ocupação de estados por lacunas próximas à superfície do semicondutor. Consequentemente, a maioria dos níveis de armadilha está acima do nível de Fermi $E_F = E_1$ e a carga aprisionada é

positiva, no caso lacunas. O diagrama da banda de energia para o transistor operando com a 1ª interface em acumulação é mostrado na figura 8 a.

Quando uma tensão de porta positiva é aplicada ($V_{g2} > 0$) em relação ao substrato, as bandas de energia são deslocadas para baixo perto da interface. O nível de Fermi na interface se move em direção à banda de condução. A maioria dos níveis de armadilha está agora abaixo de $E_F = E_2$ e as cargas armadilhadas são negativas. Nota-se que nem todas as armadilhas foram ocupadas e que houve uma maior captura de cargas quando o transistor entrou em inversão. Este evento é ilustrado na figura 8 b [15].

Figura 8 - Ilustração da recombinação de armadilhas de interface em um transistor nMOS a partir de seu diagrma da bandas de energia



Fonte: Adaptado de [15]
Legenda: (a) Armadilhas de interface com lacunas armadilhadas e (b) Armadilhas de interface com elétrons armadilhados

Onde:

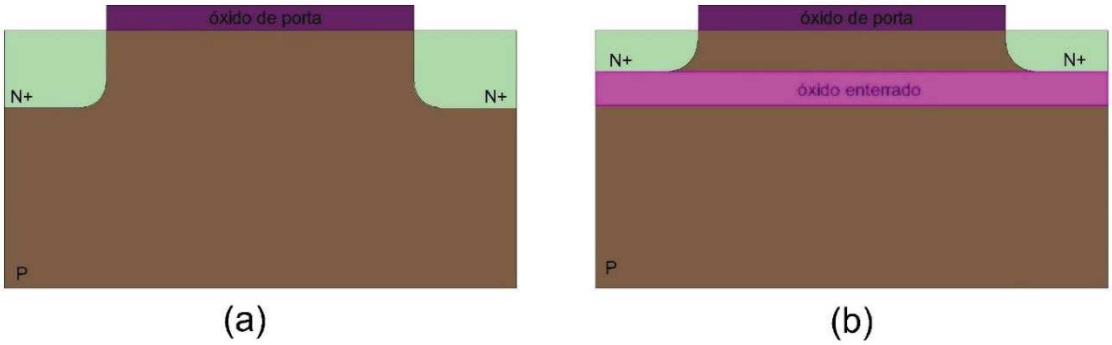
- V_{acc}, é a tensão aplicada à porta na qual o transistor está no modo acumulação;
- V_{inv}, é a tensão aplicada à porta na qual o transistor está no modo inversão;

2.3 TECNOLOGIA SOI

A tecnologia SOI tem como principal função melhorar complicações encontradas em tecnologias MOS convencional tais como efeitos de canal curto. As características elétricas do SOI, na sua maioria, são melhores quando comparadas à tecnologia MOS convencional. Um exemplo são as capacitâncias parasitárias, as quais são reduzidas na tecnologia SOI [3].

Os dispositivos com esta tecnologia aplicada consistem em ter uma camada de óxido enterrado, usualmente denominado BOX, entre as regiões ativa da lâmina e o substrato. Assim, essas duas regiões serão isoladas eletricamente. Na figura 9, são apresentados esquemas de um transistor MOS convencional (a) e de um SOI (b), ambos modo inversão, onde pode-se verificar a diferença entre as duas tecnologias [3].

Figura 9 – Vista planar de um transistor.



Fonte: Autor

Legenda: (a) MOS convencional e (b) SOI

Um dispositivo com a tecnologia SOI aplicada pode ser classificado em dois tipos diferentes, sendo eles, totalmente depletado e parcialmente depletado. Para um entendimento melhor, a figura 10 mostra um dispositivo planar com suas espessuras [3]. No caso do estudo realizado neste trabalho, o transistor JNT se assemelha ao funcionamento de um transistor totalmente depletado em modo acumulação, para tanto esse assunto será tratado no decorrer deste trabalho.

Figura 10 – Perfil de um dispositivo SOI nMOS.

Fonte: Autor

Para um dispositivo parcialmente depletado, é necessário que a espessura da camada de silício t_{Si} seja maior que duas vezes o tamanho de X_{dMAX}. Com essa configuração, as depleções formadas a partir das interfaces região ativa/óxido de porta e região ativa/óxido enterrado, não

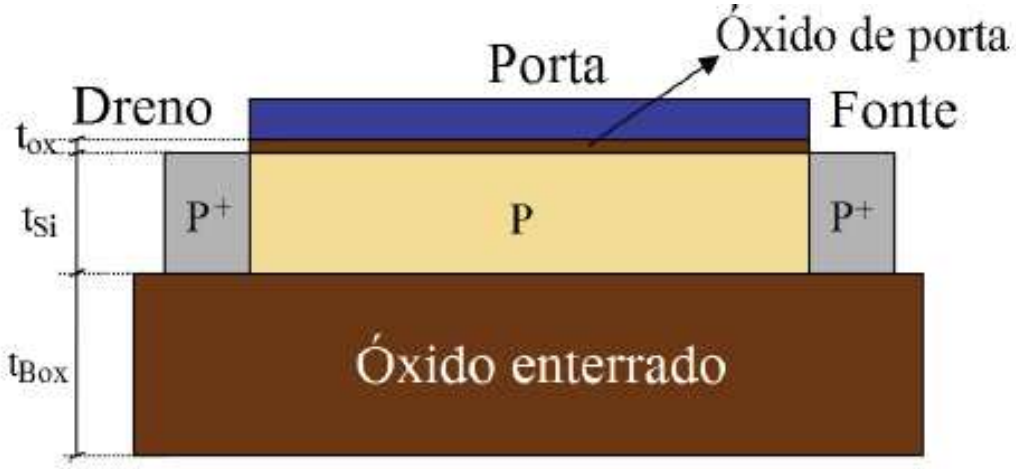
terão interações entre si. Esses dispositivos são chamados de SOI de camada espessa [3, 16]. Quando há contato de corpo, este modo é similar ao transistor MOS convencional, com a vantagem de reduzir as capacitâncias de junção, inclinação de sublimiar e reduzir o efeito de canal curto [2, 17, 18].

Um dispositivo totalmente depletado é desenvolvido quando a espessura da camada de silício t_{Si} é menor que X_{dMAX}. Assim, ocorrerá uma interação entre as regiões de depleção geradas, criando uma depleção total na região ativa do dispositivo. Chamados de SOI de camada fina, estes dispositivos apresentam muitas vantagens quando comparados aos dispositivos convencionais como, por exemplo, menor inclinação de sublimiar, melhor controle de cargas no canal e redução das correntes de fuga [2].

2.3.1 Transistor SOI modo acumulação

O transistor SOI modo acumulação tem como principal característica a dopagem de mesmo tipo desde o início da fonte, até o final do dreno. Este dispositivo foi possível ser fabricado após o desenvolvimento do transistor SOI FD [19]. A vista planar deste dispositivo, é demonstrada na figura 11, sendo esquematizado um transistor pMOS, modo acumulação.

Figura 11 - Vista planar do pMOS modo acumulação.

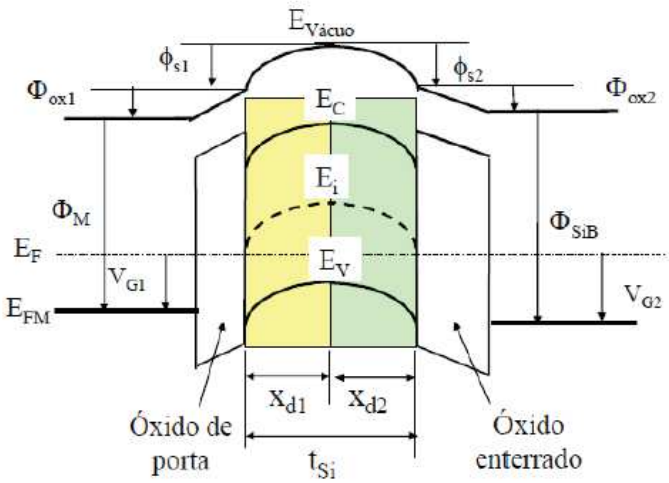


Fonte: [19]

Como existe uma camada de óxido enterrado, a interface deste junto à camada de silício, também forma uma região de depleção, como ilustrado na figura 12. Assim, utilizando-se um material de porta com função trabalho adequada, o transistor pode permanecer com a depleção cobrindo totalmente a região por onde os elétrons fluem, mesmo sem que nenhuma tensão seja

aplicada à porta. Assim, o transistor está trabalhando como uma chave aberta. Ao se aplicar uma tensão na porta, neste caso negativa e menor que a tensão de limiar por ser um pMOS, essa região de depleção diminui e o fluxo de corrente começa a existir [19].

Figura 12 - Diagrama de banda de energia para um pMOS modo acumulação (SOI FD) com todo o canal deplatado.



Fonte: [20]

Para este tipo de dispositivo são observados dois caminhos para a condução de corrente, sendo eles pelo corpo do dispositivo (I_b) e pela camada de acumulação (I_{acc}). Inicialmente, a camada de silício está totalmente depletada, como na Figura 12. Neste caso, o valor absoluto da tensão aplicada à porta do dispositivo é menor que a tensão de limiar do mesmo. Assim que o valor absoluto da tensão de porta for igual ou superior a de limiar, a corrente de corpo flui pelo dispositivo. Para que a corrente da camada de acumulação comece a aparecer, o valor absoluto da tensão de porta deve ser maior que a tensão de faixa plana V_{fb} [21, 22].

A tensão de faixa plana é definida como tensão aplicada à porta do dispositivo, para que o potencial de superfície seja nulo, ou seja, não há nenhuma carga no semicondutor. Como, de modo inerente, existirão cargas no dispositivo provindas da diferença da função trabalho do metal com a função trabalho do silício e das armadilhas no óxido, a tensão de faixa plana será dada pela equação 10 [23].

$$V_{fb} = -\frac{Q_{ss}}{C_{ox}} + \Phi_{ms} \tag{10}$$

Onde Φ_{ms} é a diferença entre a função trabalho do metal e o semicondutor.

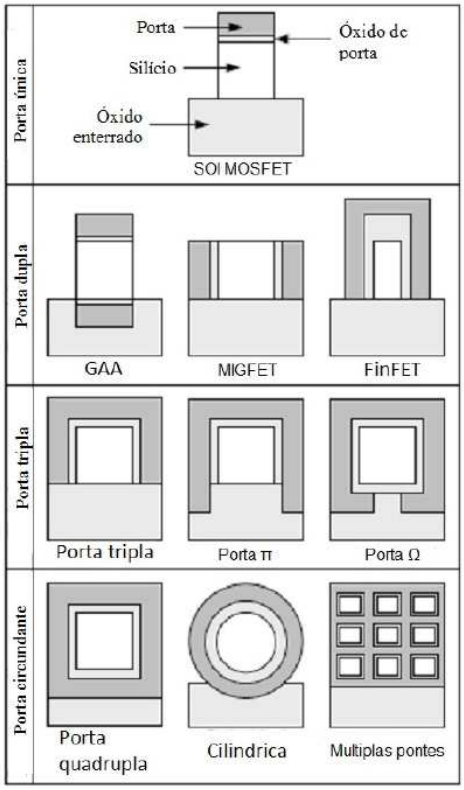
2.4 TRANSISTORES DE MÚLTIPLAS PORTAS

Neste tópico, serão discutidos os principais tipos e topologias de transistores fabricados com a tecnologia SOI que possuem mais de uma porta.

2.4.1 Estruturas SOI de múltiplas portas

Foram desenvolvidas algumas topologias em estruturas SOI que possuem múltiplas portas. Na figura 13, são apresentadas as secções transversais de estruturas de diversas topologias e a quantidade de portas para cada uma. A adição de mais portas aos dispositivos melhora o acoplamento capacitivo da estrutura e, de forma inerente, minimiza os efeitos de canal curto, permitindo a fabricação de transistores com dimensões ainda mais reduzidas [5].

Figura 13 – Estruturas SOI de múltiplas portas.



Fonte: [24]

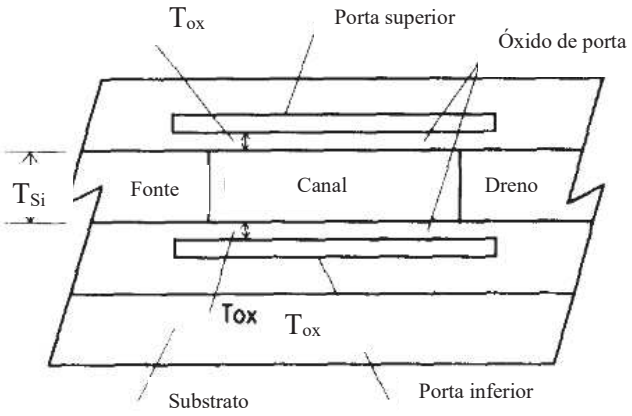
2.4.2 Classificação de transistores de múltiplas portas

Neste item, serão descritos os diferentes tipos de transistores de múltiplas portas, separados por quantidade de portas.

2.4.2.1 Porta dupla

O primeiro transistor de porta dupla desenvolvido foi o XMOS que apresenta uma porta superior e uma inferior como mostrado na figura 14. Com essa tecnologia, foi possível reduzir significativamente os efeitos de canal curto e o controle eletrostático da região do canal se tornou muito melhor, quando comparado com a tecnologia convencional [25].

Figura 14 – Topologia do transistor XMOS

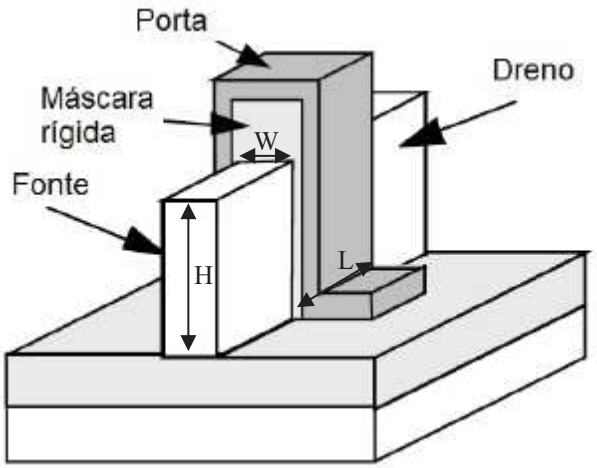


Fonte: Adaptado de [24]

Uma estrutura muito utilizada é o FinFET, representado na figura 15, onde o canal é vertical e não mais horizontal. Ele é considerado um transistor de porta dupla devido à largura do canal ser muito menor que a espessura da camada se silício (t_{Si}) [5].

A região denominada máscara rígida é introduzida no FinFET para evitar a formação da inversão parasitária do canal nos cantos superiores do transistor e, assim, melhorar o controle eletroestático da região do canal [26].

Figura 15 – Dispositivo FinFET de porta dupla.



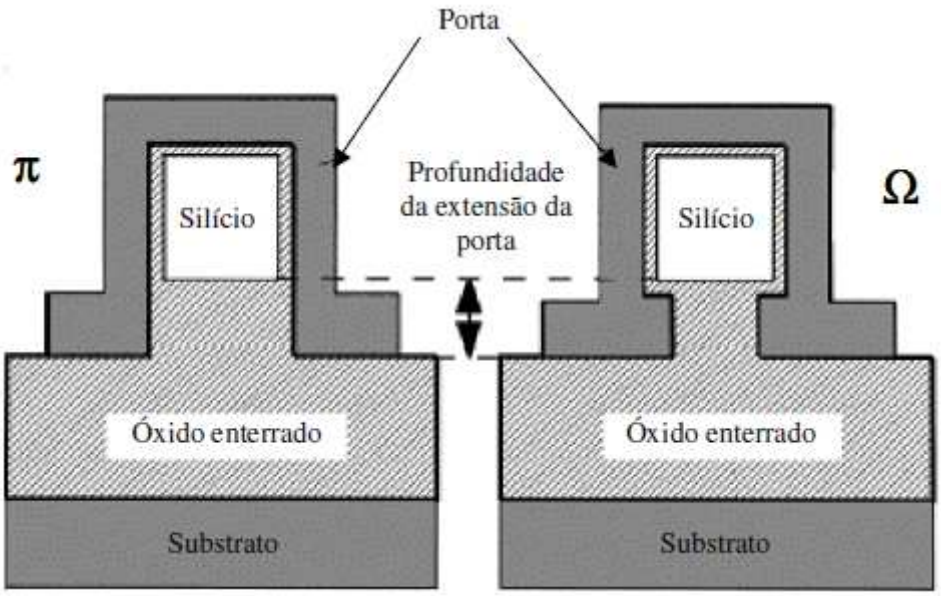
Fonte: [5]

2.4.2.2 Porta tripla

A evolução dos dispositivos FinFET foi consolidada em seu processo de fabricação, mais precisamente na formação da camada de silício na região ativa do dispositivo. Ao se reduzir a espessura desta camada de modo que largura e altura do dispositivo adquirissem dimensões equivalentes, tornou-se viável uma região de óxido de porta com a mesma espessura nas três faces. Sendo assim, o controle da corrente nas três regiões é muito mais preciso. Como o processo de fabricação é compatível ao da tecnologia SOI planar, esta estrutura se tornou muito útil [26, 27].

Outro passo significativo na evolução da tecnologia, foi o desenvolvimento dos transistores (3+gates)[8]. São transistores de porta tripla onde o eletrodo de porta nas laterais é estendido abaixo da camada de silício, formando assim um campo induzido na parte inferior da região do canal, melhorando o controle eletroestático da região onde o canal é formado. Essa extensão equivale à formação de uma quarta porta do dispositivo. Porém, como efetivamente não está por baixo da região do canal, é chamada de pseudo porta [28]. Exemplos dessa topologia são os chamados π-gate e Ω-gate, representados na figura 16 [29, 30, 31].

Figura 16 - Exemplo da estrutura de π-gate e Ω-gate.



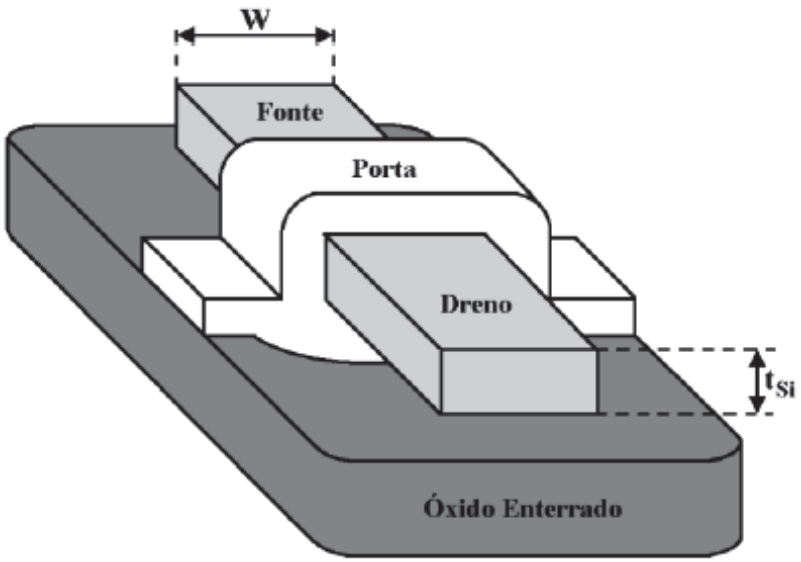
Fonte: [3]

[8] Do termo em inglês *Triple Plus Gate*

2.4.2.3 Porta circundante

Conhecidos na literatura como GAA[9], em alguns casos são considerados transistores de porta dupla. Mesmo com toda a área ao redor do canal envolvida pela porta, ele se comporta semelhantemente ao dispositivo de porta dupla devido a largura do canal ser muito maior que a espessura da camada de silício. Sendo assim, os efeitos das portas laterais podem ser desprezados. Com as vantagens de melhorar o efeito de canal curto, por exemplo, e ter seu processo de fabricação muito parecido com um transistor SOI porta simples, este dispositivo foi proposto como parte da evolução tecnológica na área na nanoeletrônica [32]. Uma vantagem, que vale a pena ser enunciada, é o aumento significativo da corrente de dreno, quando comparado com um transistor SOI convencional, o qual se dá pela soma das correntes que fluem por todas as interfaces onde existe o óxido de porta. Assim, a corrente total em um dispositivo GAA é aproximadamente o dobro, quando comparada ao transistor SOI convencional [5]. A figura 17, demostra a topologia de um transistor GAA.

Figura 17 - Exemplo de um GAA



Fonte: [33]

Tem-se fabricado transistores GAA em que a região ativa da camada de silício possui espessura e largura de dimensões similares e bastante reduzidas (da ordem de 10 nm). Tais dispositivos podem apresentar secção transversal aproximadamente retangular ou então circular

[9] Do termo em inglês *Gate-All-Around*

e são frequentemente denominados nanofios transistores. Estes dispositivos de secção quadrada teriam o equivalente a quatro portas [5, 32].

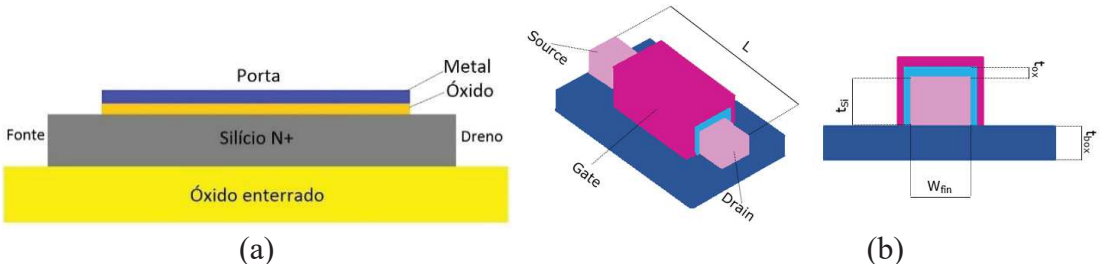
2.5 TRANSISTORES JNT

Neste tópico, serão discutidos os princípios do funcionamento de transistores MOS sem junção (JNT).

2.5.1 Estrutura de um JNT

O transistor sem junção recebe esse nome devido à concentração constante de dopantes desde o início da fonte até o final do dreno, a qual também é bastante alta (da ordem de 10^{19} cm^{-3}). É importante ressaltar que este transistor é, usualmente, fabricado na tecnologia SOI, conforme ilustrado na figura 18 [6].

Figura 18 – Vista planar do transistor sem junção (a) Vista tridimensional do transistor sem junção (b).



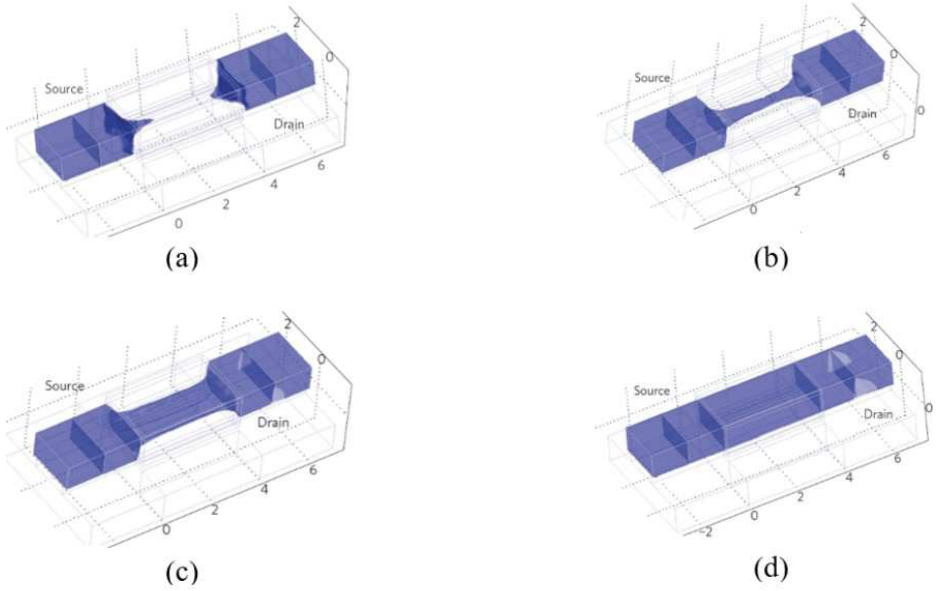
Fonte: [34, 35]
Legenda: (a) Vista planar e (b) Vista tridimensional

Esta nova estrutura costuma ser fabricada em tecnologias múltiplas portas, como a de porta tripla, conforme ilustrado na Figura 18 [36]. Os JNTs apresentam um modo de condução diferente dos transistores do modo de inversão. Devido ao tipo de dopantes e à sua alta concentração na região de canal, bem como às diferentes funções trabalho do material de porta e do silício, para $V_{gs} = 0$ V, toda a camada de silício está depletada, inibindo o fluxo de corrente. Para um transistor nMOS, ao aumentar a tensão V_{gs} acima de V_{th}, observa-se uma redução da espessura da camada de depleção e a formação do canal longe das interfaces. O aumento do V_{gs} acima da tensão de faixa plana (V_{fb}) gera uma camada de acumulação superficial, que permite a formação de outro caminho para a corrente elétrica fluir [37].

2.5.2 Formação do canal no JNT

Como já mencionado, inicialmente, sem a aplicação de potencial à porta, o JNT está totalmente depletado. Nesse caso, o transistor está em corte e não flui corrente significativa entre a fonte e o dreno. A figura 19 (a) exibe o comportamento do canal em um dispositivo nMOS, onde não existe uma ligação entre a fonte e o dreno, caracterizando assim o corte. Conforme V_g aumenta, a depleção existente no canal começa a diminuir, e se inicia a condução de corrente pelo corpo do dispositivo. Isso ocorre quando $V_g = V_{th}$ (b). A tendência do canal formado no dispositivo é aumentar o seu tamanho conforme V_g aumenta, sendo o comportamento da corrente nessa região muito parecido com o da região de triodo em um transistor MOS convencional, se o valor de V_{ds} for considerado baixo (c). Quando $V_g >> V_{th}$ ocorre a total condução pelo corpo e pela superfície do dispositivo. Este ponto é atingido quando $V_g = V_{fb}$ (d) [6].

Figura 19 – Formação do canal no JNT.



Fonte: [6]
Legenda: (a) $V_g < V_{th}$, (b) $V_g = V_{th}$, (c) $V_g > V_{th}$ e (d) $V_g = V_{fb}$

Nesta condição, o JNT se comporta basicamente como um resistor [6]. Nesse momento, como existe corrente fluindo próximo à interface entre óxido de porta e região ativa, as armadilhas existentes passar a influenciar ainda mais na corrente que flui pelo dispositivo [38].

Quando uma tensão de porta V_{gs} positiva for aplicada (para dispositivos nMOS), a região de depleção é diminuída, dando lugar a portadores majoritários (cargas negativas). Assim, a passagem de corrente entre dreno e fonte ocorre de forma parecida à um transistor modo acumulação, onde a corrente possui dois caminhos para a condução I_b, corrente de corpo, e I_{acc}, corrente na camada de acumulação formada próxima da região óxido de porta/região ativa, onde as armadilhas de interface estão [21, 22]. No caso dos transistores em modo acumulação, estes possuem mais de uma tensão de limiar, devido a estas duas componentes de corrente, formadas na região ativa da lâmina de silício [39], o que pode ser observado também em transistores sem junções [6].

A variação de V_{ds} nos transistores sem junções tem um efeito similar ao observado em transistores modo inversão. Para $V_{ds} < V_{gs} - V_{th}$, o dispositivo opera em regime de triodo, enquanto que para $V_{ds} \geq V_{gs} - V_{th}$, o dispositivo opera em saturação.

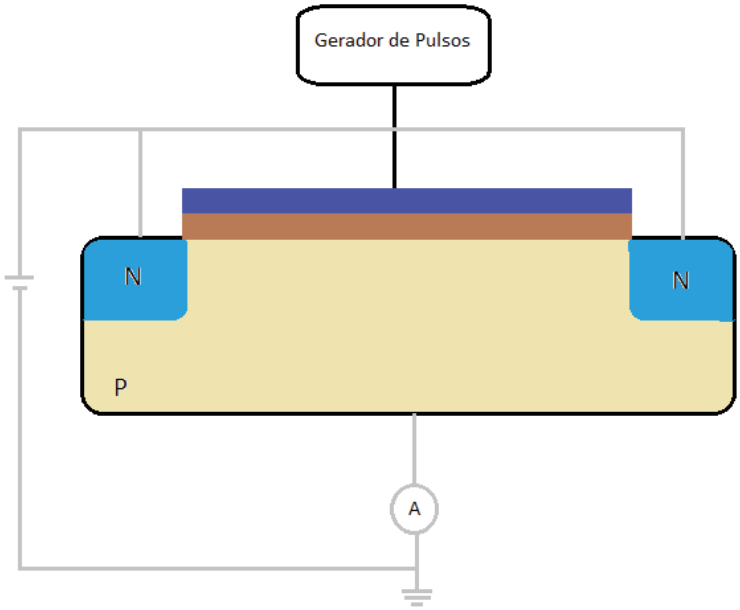
2.6 BOMBEAMENTO DE CARGAS

Como a proposta deste trabalho é verificar a possibilidade de extrair uma curva que indique a densidade de armadilhas existentes no JNT, o método de bombeamento de cargas (*charge pumping*) será utilizado de uma maneira adaptada. Assim, inicialmente, será apresentado como esta técnica é aplicada em transistores MOS convencionais e SOI modo inversão.

2.6.1 Bombeamento de cargas aplicado em MOS convencional

O método de bombeamento de cargas costuma ser utilizado para a determinação da densidade de armadilhas de interface observada em diferentes dispositivos que apresentam a estrutura metal-óxido-semicondutor. É uma técnica confiável e não danifica os dispositivos [9]. Por esses motivos, será utilizado e sua topologia padrão é representada na figura 20.

Figura 20 – Topologia padrão do bombeamento de cargas.



Fonte: Autor

Quando um transistor nMOS tem seus terminais de fonte e dreno curto-circuitados e um pulso de valor positivo é aplicado à porta do dispositivo, será gerada uma corrente de portadores minoritários através de seu corpo que irão popular a região de canal, de forma a responder ao pulso aplicado. Esses portadores minoritários são providos pelas regiões de fonte e dreno. O processo para armadilhar e formar o canal ocorre rapidamente. Quando o pulso é removido, estas cargas que formam o canal se dissipam rapidamente, restando apenas as cargas armadilhadas, as quais resultam na curva de corrente transitória enquanto são dissipadas no desarmadilhamento [15]. A corrente que flui pelo corpo do dispositivo, nesta situação, deve apresentar um perfil transitório, a partir do qual pode-se extrair a densidade de armadilhas distribuídas no dispositivo estudado. Diferentes níveis energéticos das armadilhas podem ser extraídos variando a tensão aplicada na porta [9].

Ao se aplicar o método, a densidade de armadilhas pode ser extraída conforme a equação 11. Esta densidade corresponde, principalmente, às cargas das armadilhas de interface, ou seja, àquelas decorrentes de defeitos entre o cristal de silício e o óxido de porta. Tais cargas produzem variações indesejadas nos níveis de corrente e, a partir da estimativa de sua densidade, pode-se ter um demonstrativo de qualidade de processo de fabricação de dispositivos MOS convencionais.

$$N_{it} = \frac{I_{cp}}{M*w*l*q*f} \quad (11)$$

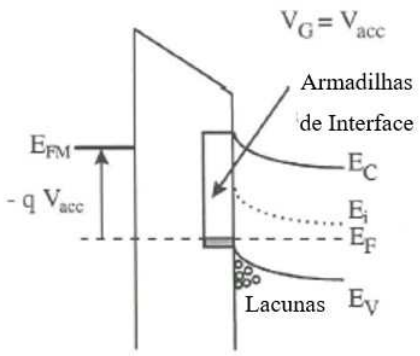
Onde N_{it} é a concentração de armadilhas, M é número de *fins* do dispositivo, f é a frequência do pulso aplicado e I_{cp} é a corrente de bombeamento.[10]

2.6.2 Os diferentes processos que ocorrem durante um ciclo do bombeamento de cargas em um transistor nMOS

Quando V_g aumenta a partir de V_1 (nível baixo) para V_2 (nível alto), com $V_1 < V_{fb}$ e $V_2 > V_{th}$, a região passa por três modos diferentes, acumulação, depleção e inversão. O mecanismo de recombinação que atua durante cada ciclo do pulso aplicado é descrito a seguir. A forma de onda do pulso pode ser dividida em seis regiões, conforme indicado na figura 21. Nos instantes de tempo em que o transistor está em acumulação (t_{acc}), tempo de subida (t_r), tempo em que o transistor está em inversão (t_{inv}), tempo de descida (t_f) e novamente tempo em que o transistor está em acumulação (t_{acc}).

Primeira fase, tempo de acumulação: Durante este intervalo de tempo, a superfície está em acumulação e o nível energético das armadilhas de interface está em equilíbrio com as bandas de energia. As armadilhas de interface abaixo de E_F são preenchidas com elétrons, enquanto aquelas acima dela estão vazias. Esta primeira fase é ilustrada na figura 21.

Figura 21 - Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, primeira fase



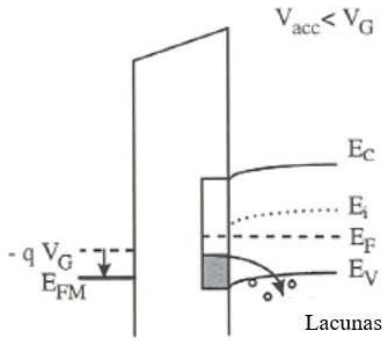
Fonte: adaptado de [15]

Segunda fase, tempo de subida: Quando V_g aumenta, o potencial de superfície está mudando a uma certa taxa e a interface primeiramente começa a depletar (quando $V_g = V_{fb}$). O

[10] Do termo em inglês *charge pumping current*

nível de Fermi na superfície do substrato segue a elevação na tensão de porta e sobe em direção à banda proibida. O nível de energia na interface indica que parte das lacunas excitadas pelo aumento de energia, devem capturar elétrons. Inicialmente, são emitidas lacunas em direção à banda de valência (isto é, capturados elétrons da banda de valência), conforme ilustrado na figura 22.

Figura 22 - Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, segunda fase

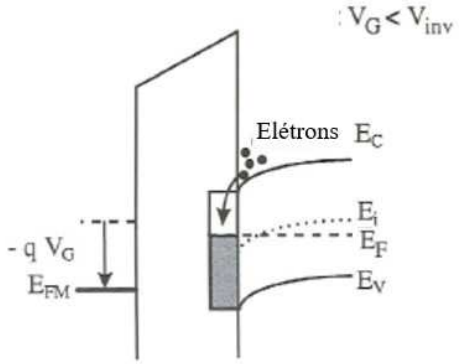


Fonte: adaptado de [15]

Por convenção, esta carga é negativa, pois corresponde a uma transferência de cargas positivas da interface para o substrato (ou seja, para a captura de elétrons vindos do substrato). A corrente de bombeamento de carga, associada a este regime de emissão de lacunas da interface de armadilhas para o substrato, por convenção é considerada positiva.

Terceira fase, tempo de subida: Por causa da alta taxa de mudança no potencial de superfície, o canal permanece em um regime de estado não estável até que a tensão da porta exceda a tensão limiar (quando $V_{th} = V_g$). Então, as armadilhas restantes ainda vazias com lacunas, são preenchidas com elétrons vindos das junções de fonte e dreno como ilustrado na figura 23.

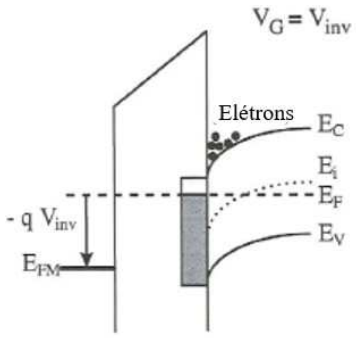
Figura 23- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, terceira fase



Fonte: adaptado de [15]

Quarta fase, tempo de inversão: A tensão da porta agora excede a tensão limiar (quando $V_{th} < V_g < V_2$), e o transistor está no modo inversão. A camada de inversão se forma próximo à interface e as armadilhas de interface são preenchidas com elétrons vindos do junções de fonte e dreno, como ilustrado na figura 24.

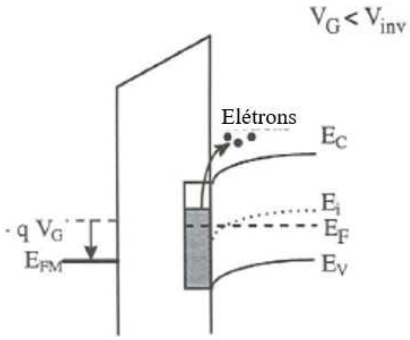
Figura 24- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, quarta fase



Fonte: adaptado de [15]

Quinta fase, tempo de descida: Quando o transistor passa da inversão para depleção, a emissão transitória de elétrons domina a parcela da corrente. Os elétrons são emitidos a partir das armadilhas de interface e fluem de volta para a fonte e o dreno em um regime de estado estacionário. As cargas negativas presas nas armadilhas interface diminuem, devido à emissão de elétrons. Os mecanismos em funcionamento durante este intervalo de tempo são ilustrados na figura 25.

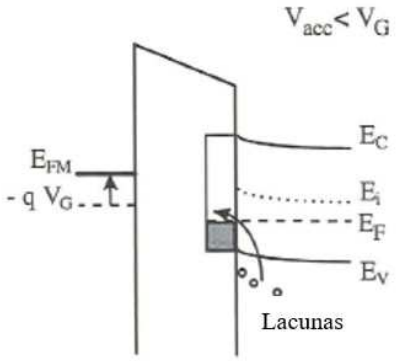
Figura 25- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, quinta fase



Fonte: adaptado de [15]

Sexta fase: tempo de descida: Conforme V_g diminui e se aproxima de V_{acc}, a emissão transitória de elétrons é insignificante. O armadilhamento de lacunas torna-se importante, pois se recombinam elétrons capturados nas armadilhas. Para uma boa aproximação, todos os elétrons presos em armadilhas de interface se recombinam com a captura de lacunas. Os mecanismos de recombinação em funcionamento durante este intervalo de tempo são ilustrados na figura 26 [15].

Figura 26- Os vários processos de emissão e captura que ocorrem durante o método de bombeamento de cargas, sexta fase

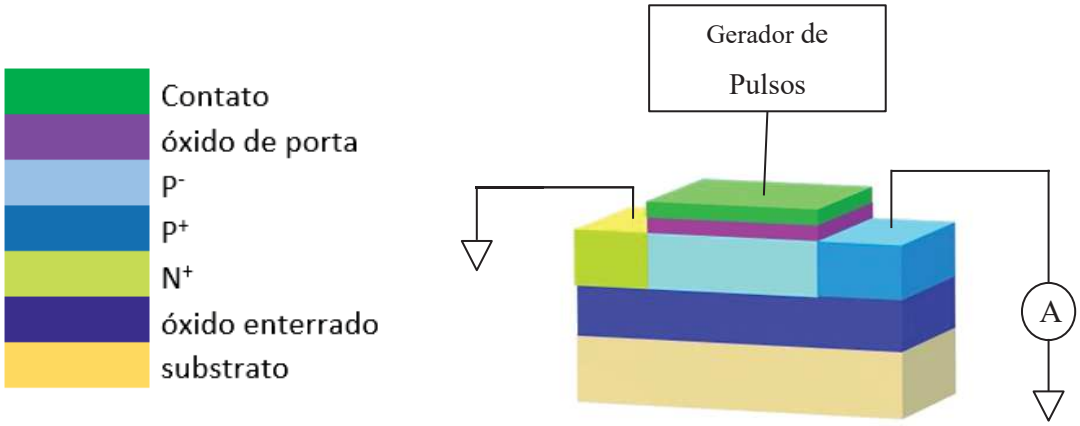


Fonte: adaptado de [15]

2.6.3 Bombeamento de cargas aplicado ao SOI

Nos dispositivos SOI, o fluxo de corrente da região onde as cargas de armadilhas estão presentes até o amperímetro ligado ao substrato da lâmina, como indicado na ra 20, é interrompido pela camada de óxido enterrado. Assim, o método convencional não é usual. Neste caso, como alternativa, é proposto que o método seja aplicado a um diodo com porta e configuração n^+ - p^- - p^+, chamado de PIN *gated diode*, em que uma região tracamente dopada (p^-) é alocada entre duas regiões fortemente dopadas (n^+ e p^+, respectivamente). Assim, o método pode ser adaptado dispositivos SOI, conforme ilustrado na figura 27 [40, 41]. Nesta adaptação, ao se aplicar um pulso à porta do diodo com os terminais das regiões p^+ e n^+ aterrados, uma corrente de eıetrons será gerada a partir da região p^+, de modo a formar uma camada de depleção em resposta ao pulso. Ao se adicionar um amperímetro no eletrodo da região p^+, é possível medir a corrente de transitório durante a formação da camada de depleção e, a partır daí, determinar a densidade de armadilhas de interface presente no dispositivo.

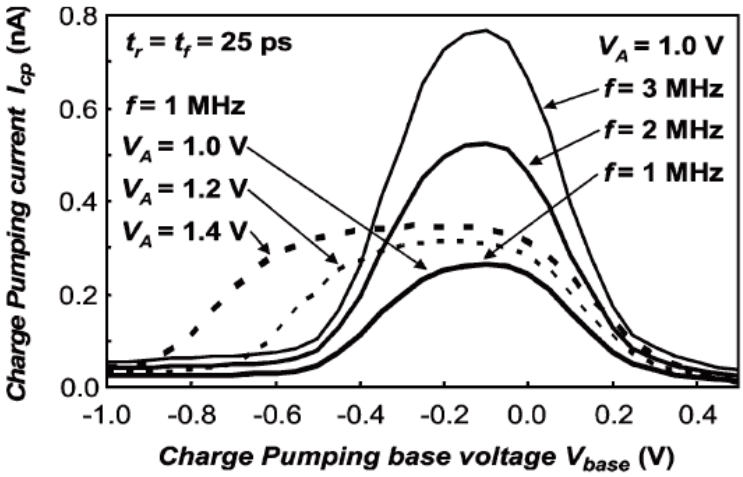
Figura 27 - Topologia do bombeamento de cargas aplicado ao SOI.



Fonte: Autor

A fim de aumentar as possibilidades de utilização do método, uma nova medida adaptada a transistores de múltiplas portas foi apresentada e a curva característica é ilustrada na figura 28 [42].

Figura 28 – Curva obtida através do método de extração de armadilhas para transistores de múltiplas portas.

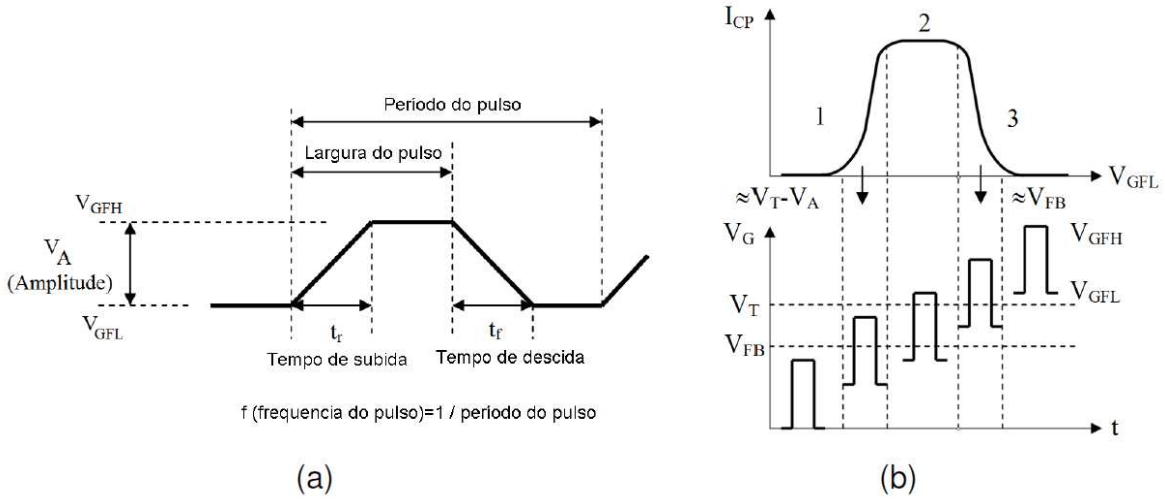


Fonte: [43]

Utilizando o pico do valor de corrente obtido na curva, neste caso chamada de corrente de bombeamento de carga I_{cp}, pode-se extrair a densidade de armadilhas por unidade de volume presentes no dispositivo com a equação 11.

Para um melhor entendimento, a aplicação do pulso para este método é ilustrada na figura 29, onde V_A é a sua amplitude, V_{GFL} é tensão da base do pulso e V_{GFH} é a tensão de nível alto do pulso aplicado. As três regiões descritas na figura 29 (b) possuem características que as diferenciam entre si. Na região 1, $V_{GFL} < V_{FB}$ e $V_{GFH} < V_T$. Assim, o processo de recombinação dos portadores ocorre e por isso existe o crescimento da curva. Na região 2, tem se que, $V_{GFL} < V_{FB}$ e $V_{GFH} > V_T$. Neste momento, a corrente de bombeamento tem seu nível máximo e, a partir esse pico, o valor da densidade de armadilhas pode ser extraído. Na região 3, é observado $V_{GFL} > V_{FB}$ e $V_{GFH} < V_T$. Assim, o processo de recombinação não mais é existente e, com isso, o decaimento da curva acontece [15, 43].

Figura 29 – Pulso aplicado no método de bombeamento de cargas adaptado ao diodo P-I-N

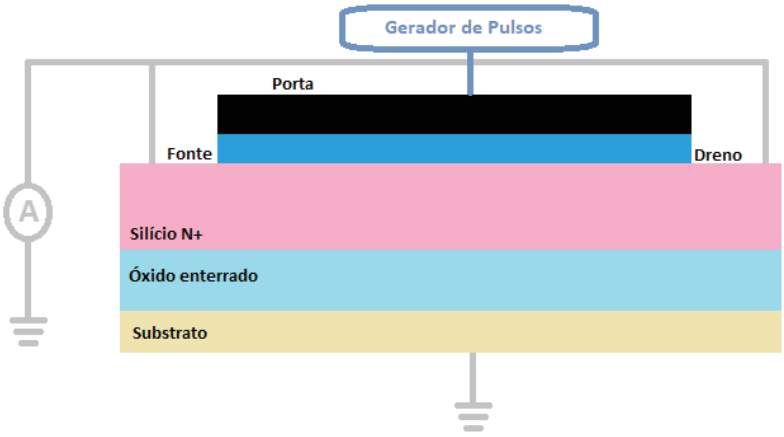


Fonte: [44]
Legenda: (a) Parâmetros do Pulso (b) Curva de reposta do método

2.6.4 Bombeamento de cargas adaptado ao JNT

Com base no estudo realizado e com a finalidade de propor um método de extração das armadilhas de interface em transistores sem junções, o seguinte método foi estudado e praticado a fim de validar sua utilidade. Este método consiste em aplicar um pulso na porta do dispositivo e medir o comportamento da corrente que flui pelos contatos de fonte e dreno. Como a estrutura do JNT é diferente dos dois casos citados anteriormente, para medir a I_{cp} a topologia a seguir, apresentada na figura 30, foi utilizada.

Figura 30 – Esquema do método adaptado de bombeamento de cargas aplicado ao JNT.



Fonte: [Autor]

Com o dreno e a fonte curto-circuitados e ligados ao amperímetro, se observa a corrente de bombeamento nestes eletrodos, todas as referências são conectadas a 0 V e o substrato da lâmina é conectado ao terra. Durante o experimento, um cuidado especial deve ser tomado para reduzir os efeitos causados pelo *overshoot* no pulso aplicado à porta do dispositivo, ou seja, reduzir os valores que excedem o limite máximo determinado para este pulso. Tal efeito ocorre em sistemas de segunda ordem quando submetidos a uma excitação externa, que no caso é a fonte geradora do pulso aplicado à porta do dispositivo. Este efeito transitório pode acarretar em medidas imprecisas e distorção na curva de resposta do método. Para tanto, devem ser utilizados tempos de subida e descida do pulso satisfatórios para que tal efeito interfira minimamente nos resultados. Tais tempos serão explicados posteriormente.

Como a estrutura do JNT tem a dopagem constante desde a fonte até o dreno, ao usar um destes contatos ligados ao terra, toda a corrente provida do carregamento energético das armadilhas contidas na interface do dispositivo, são eliminadas por este caminho, assim não sendo medida pelo amperímetro ligado ao outro contato. Por esse motivo é sugerido, neste método adaptado ao JNT, que os contatos de fonte e dreno estejam em curto-circuito e ligados a um único amperímetro, como na Figura 30. Assim, a corrente provida da carga para energizar as armadilhas poderá ser mensurada. Com estes resultados, análises serão feitas a fim de propor a extração de densidade de armadilhas contidas na interface do JNT.

3 SIMULAÇÕES

Neste capítulo, serão apresentados e discutidos os resultados das simulações efetuadas no simulador *Sentaurus Device* e o *Sentaurus Structure Editor* [45, 46]. Tais simulações foram efetuadas em 2D.

3.1 SIMULADOR SENTAURUS

O *Sentaurus Device* é uma ferramenta poderosa e possuiu capacidade para trabalhar com dispositivos em 1D, 2D e 3D, além de muitos modelos, matemáticos e físicos, os quais podem descrever com precisão o comportamento elétrico de semicondutores, o que torna muito confiável a análise de dados obtida através dele. Para auxiliar no desenvolvimento deste trabalho, foram utilizados alguns modelos presentes na biblioteca do *software*. Quanto aos modelos utilizados para a mobilidade, o Phumob [47] determina o comportamento da mobilidade para baixos valores de campo elétrico e o Enormal foi utilizado para o efeito do campo vertical aplicado na mobilidade efetiva, considerando a dependência da dopagem [48]. Para a dependência da temperatura e da dopagem com a combinação e recombinação dos portadores, o modelo SHR [49] é utilizado, juntamente com os modelos BNG Oldslotboom para o estreitamento de banda [50] e o modelo Highfieldsaturation para considerar a influência do campo elétrico lateral na mobilidade dos portadores [51].

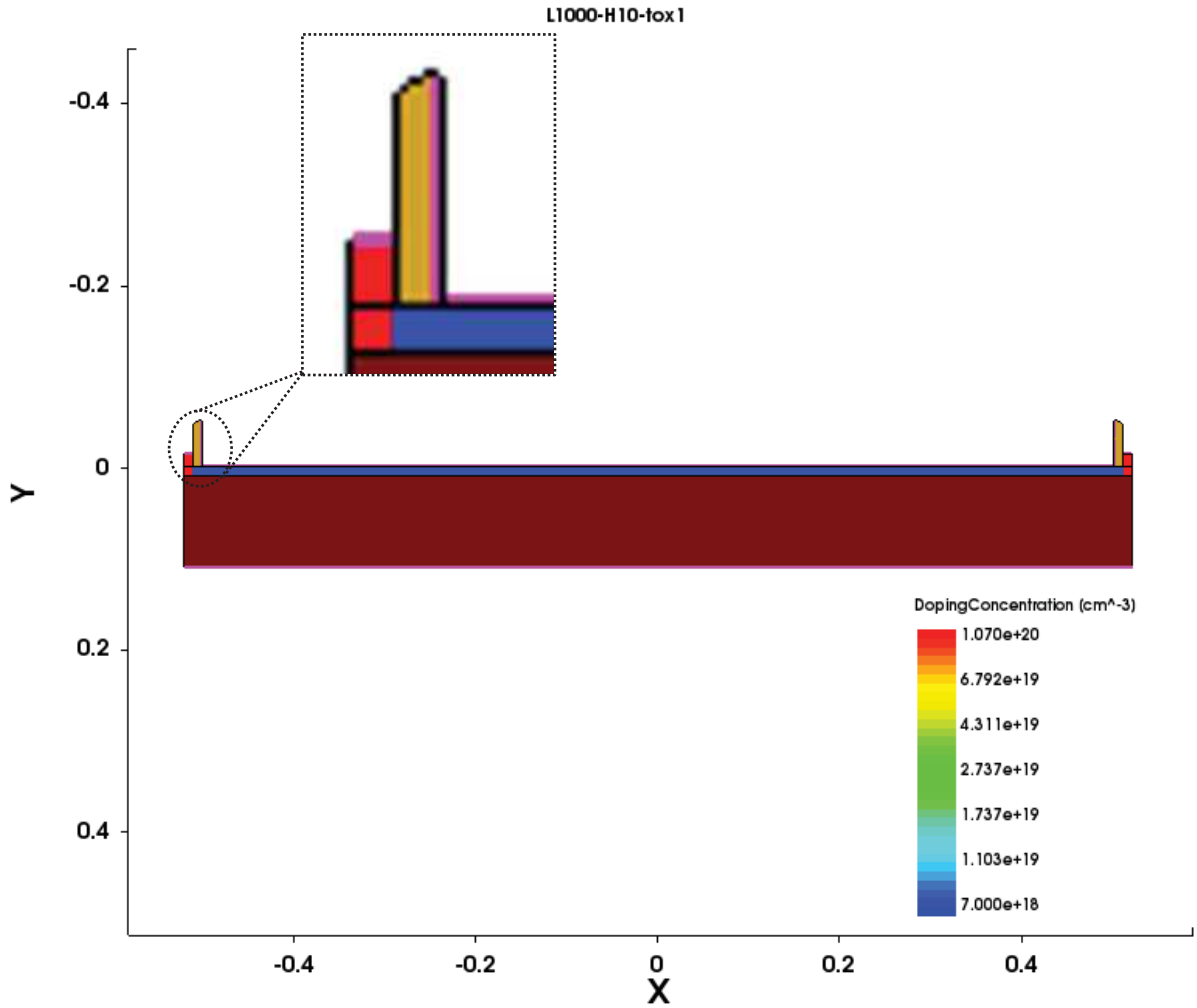
O apêndice A contém um exemplo do arquivo utilizado para gerar a estrutura do dispositivo em duas dimensões. O apêndice B contém um exemplo do arquivo utilizado nas simulações DC para extrair as curvas I_d x V_G, com ou sem influência de armadilhas, as quais foram utilizadas para obtenção de valores das tensões de limiar e faixa plana para cada caso.

O apêndice C contém um exemplo do arquivo utilizado nas simulações AC para extrair as curvas do método adaptado de bombeamento de cargas, com e sem a influência de armadilhas.

3.2 DISPOSITIVO SIMULADO

O dispositivo proposto para a simulação é descrito em duas dimensões e está apresentado conforme a figura 31. Suas características físicas são L = 1 μm, t_{Si} = 10 nm, t_{OX} = 1,3 nm, t_{BOX} = 100 nm e $N_d = 7x10^{18}$ cm^{-3}. Esses valores foram escolhidos por estarem próximos aos propostos na fabricação do dispositivo utilizado, posteriormente, em medidas experimentais. Logo, os resultados simulados podem reproduzir adequadamente as medidas experimentais [52].

Figura 31 – Vista planar do dispositivo virtual.



Fonte: Autor

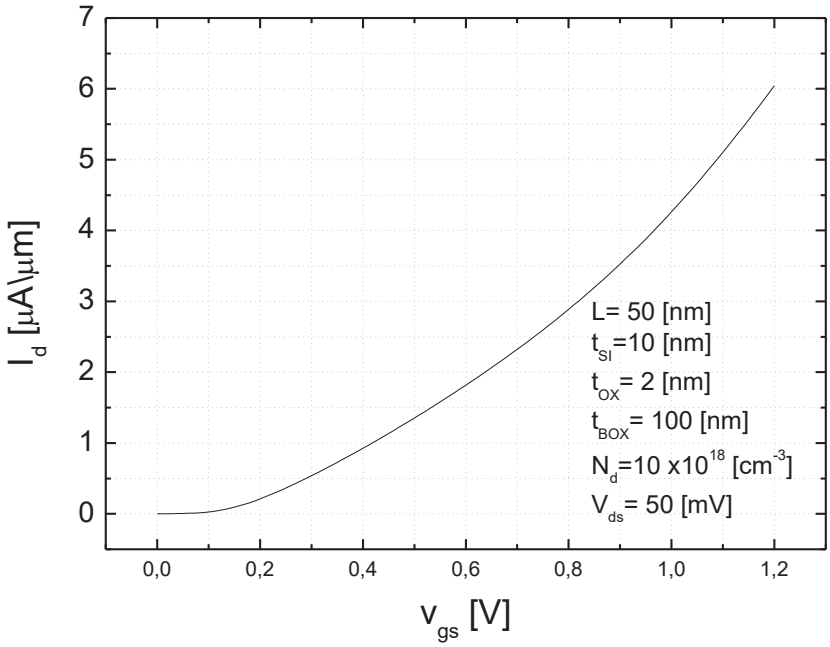
Na figura 31, cada uma das regiões compostas por diferentes materiais ou dopagens, são representadas por diferentes cores, como descrito abaixo:

- Óxido enterrado, na cor vinho;
- Canal e dreno/fonte, nas cores azul e vermelho, respectivamente. As regiões de dreno e fonte são elevadas, assim é possível reduzir a resistência de ambos;
- Contatos, na cor rosa;
- Óxido de porta é uma camada extremamente fina entre o contato e o canal. Pode ser observado em vinho na região em destaque da figura;
- Limitadores ou *spacers*, na cor ocre. Estes limitadores têm a finalidade de diminuir a influência do campo elétrico da porta nas regiões de dreno e fonte.

3.3 EXTRAÇÃO DA TENSÃO DE LIMIAR

Inicialmente, foi simulada a curva I_d x V_g do dispositivo desconsiderando a presença de cargas de interface, a partir da qual são extraídos os valores de tensão de limiar e tensão de faixa plana, para servirem de referência. A figura 32 representa a curva I_d x V_{gs} para V_{ds} = 0,05 V.

Figura 32 - Curva I_d *vs* V_{gs} do dispositivo simulado.

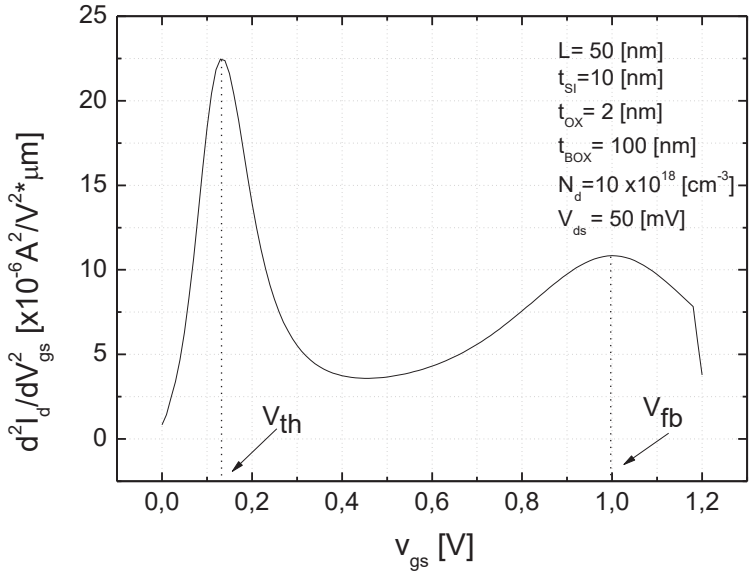


Fonte: Autor

A curva inicial simulada apresenta características semelhantes aos resultados reportados na literatura [6]. A partir dela, pode-se obter características fundamentais referentes ao funcionamento do transistor. Aplicando o método da segunda derivada, pode-se extrair alguns parâmetros elétricos deste dispositivo, como a tensão de limiar (V_{TH}) e a tensão de faixa plana (V_{FB}), a fim de utilizá-los como referência para os estudos realizados no decorrer deste trabalho.

A figura 33 apresenta a derivada de segunda ordem de I_d x V_g. As tensões de porta para as quais a curva apresenta pontos de máximo correspondem aos valores da tensão de limiar e de faixa plana [53], conforme indicado na figura 33. O valor da tensão de limiar sem a influência de cargas de interface é de 0,13 V. O valor da tensão de faixa plana para as mesmas condições é de 1,00 V.

Figura 33 - Tensão de limiar e faixa plana do dispositivo simulado.

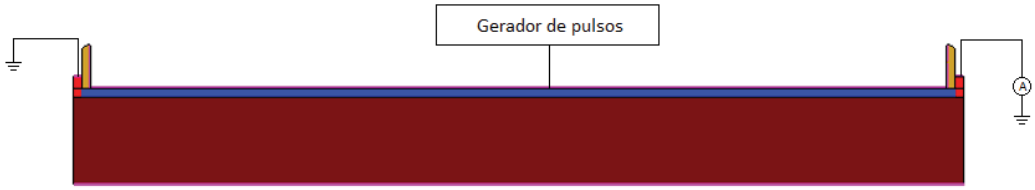


Fonte: Autor

3.4 TOPOLOGIA DO MÉTODO NA SIMULAÇÃO

A topologia indicada na figura 34 foi utilizada para efetuar as simulações para extração da corrente de bombeamento de cargas no JNT. Neste caso em particular, a fonte foi aterrada e a medida foi realizada através do contato do dreno do dispositivo. O substrato também foi ligado ao terra e, na porta do dispositivo, foi conectada uma fonte, a qual gera um pulso que energize a maior quantidade possível de armadilhas.

Figura 34 - Topologia do método na simulação.



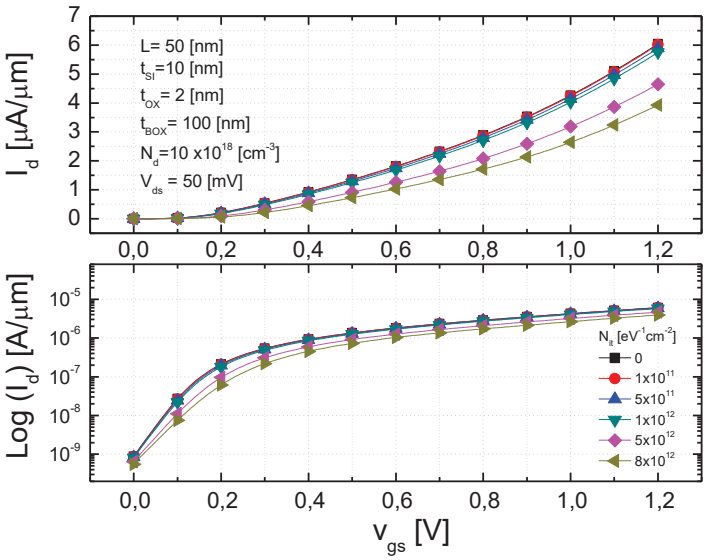
Fonte: [32]

3.4.1 Extração das curvas características com influência das armadilhas de interface no dispositivo simulado

Em seguida, com o efeito das armadilhas, serão comparados os gráficos de I_d vs V_{gs} e log(I_d) vs V_{gs}, para determinar suas influências nas curvas características do dispositivo sem junções. A figura 35 mostra que, conforme a densidade de armadilhas aumenta, o valor da corrente de dreno diminui significativamente. Além disso, o dispositivo se torna mais lento. Isso pode ser verificado calculando o valor da inclinação de subliminar para cada curva. Na literatura, esse efeito é observado não somente nos JNT, como também em transistores no modo inversão [54]. Os valores da concentração de armadilhas considerados ao longo das simulações foram escolhidos com base em estudos já efetuados [55].

Na figura 35, nota-se um decaimento de, aproximadamente, 2 µA no ponto onde V_g assume 1,2 V, ao se variar o valor nominal da concentração de armadilhas de 0 para 8 x 10^{12} $eV^{-1}cm^{-2}$. Neste caso, é um decaimento significativo e foi de aproximadamente 33% do valor total da corrente fornecida pelo dispositivo. Isso aplicado a projetos pode afetar drasticamente o resultado final. Logo, torna-se de extrema importância determinar a qualidade de fabricação do dispositivo e trazer ao máximo as características físicas reais para o projeto.

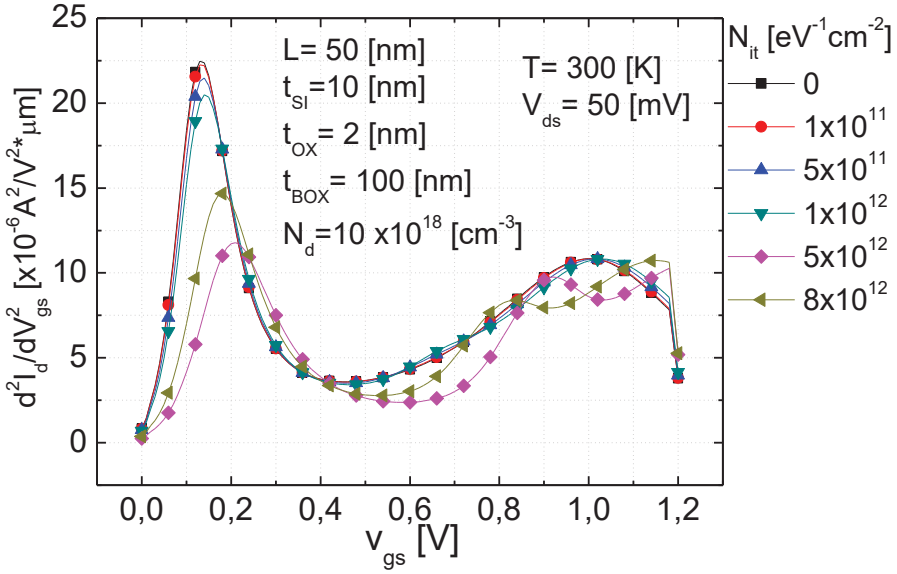
Figura 35 - Curva I_d *vs* V_{gs} e log (I_d) vs V_{gs} com influência de armadilhas no dispositivo simulado.



Fonte: Autor

A figura 36 apresenta o resultado da segunda derivada da curva simulada corrente de dreno em função de V_{gs} para diversas densidades nominais de armadilha, onde é possível notar que a tensão de limiar aumenta 80 mV, comparando o valor de referência com o valor para uma densidade de armadilhas nominal de 8 x 10^{12} $eV^{-1}cm^{-2}$. No caso da tensão de faixa plana, o valor referente à simulação para uma densidade de 8 x 10^{12} $eV^{-1}cm^{-2}$ não foi possível extrair, já que os limites estabelecidos foram extrapolados. Contudo, o valor aumenta em 150 mV, até o último valor extraído, o qual tem uma densidade de armadilhas de 5 x 10^{12} $eV^{-1}cm^{-2}$. Entretanto, a variação de V_{fb} foi inferior a 5% ao se variar a densidade de armadilhas de 0 a 1 x 10^{12} $eV^{-1}cm^{-2}$. A tabela 1 apresenta os valores de V_{th} e V_{fb} para cada densidade de armadilhas.

Figura 36 - Tensão de limiar e faixa plana com influência de armadilhas no dispositivo simulado.



Fonte: [34]

Tabela 1- Valores de tensão de limiar e faixa plana extraídos na simulação.

Densidade Nominal de Armadilhas	Tensão	
[$eV^{-1}*cm^{-2}$]	Limiar [V]	F. Plana [V]
0	0,13	1
1x10^{11}	0,13	1
5x10^{11}	0,14	1,02
1x10^{12}	0,14	1,03
5x10^{12}	0,18	1,15
8x10^{12}	0,21	--

Fonte: Autor

3.4.2 Extração da corrente de bombeamento de cargas no dispositivo simulado

Para se verificar a resposta do método de bombeamento de carga, a curva simulada sem a influência das armadilhas será utilizada como referência. A figura 37 apresenta os resultados das simulações da corrente em função do tempo utilizando-se o método de bombeamento de cargas proposto para transistores sem junções, considerando diversas densidades nominais de armadilha. A corrente de transitório, referente ao bombeamento de cargas estudado é a descrita na curva a partir de 600 ns até 1,1 μs. Nesse intervalo, conforme a densidade de armadilhas aumenta, o valor da corrente também aumenta variando 5 décadas do valor de referência até uma densidade de 8 x 10^{12} $eV^{-1}cm^{-2}$. Isso ocorre devido ao tempo que os portadores levam para se locomover até serem liberados dos níveis energéticos provenientes das armadilhas, gerado pelas armadilhas de interface existentes.

O pulso utilizado nas simulações da corrente de bombeamento apresentada na figura 37 tem as seguintes características: tensão de referência (V_1) 0,05 V, tensão de nível alto (V_2) 1,2 V, tempo de atraso (t_d) 10 μs, tempo de subida (t_r) 0 s, tempo de descida (t_f) 0 s, largura de pulso (t_{pw}) 0,5 μs, período (t_{per}) 1 μs. O pulso tem estas características para poder energizar grande parcela das armadilhas presentes no óxido. Como explicado anteriormente, as cargas presentes na interface podem assumir diversos valores de energia na região da banda proibida, variando sua densidade desde a banda de valência até a banda de condução, podendo assumir níveis de energia possíveis dentro da banda proibida. Assim, fazem com que elétrons sejam aprisionados ou liberados. A fim de energizar a maior quantidade possível de cargas, um valor de tensão de porta próximo ao limite da tecnologia foi estipulado [52]. Como a distribuição de armadilhas em função da energia é exponencial, com a maior concentração de armadilhas localizadas próximo a banda de energia no nível de condução e a menor concentração localizada próximo ao nível de valência [55], o valor de tensão de porta 1,2 V foi escolhido, tomando o cuidado de não danificar a porta do dispositivo e ao mesmo tempo energizar todas as armadilhas, ou o maior número possível delas.

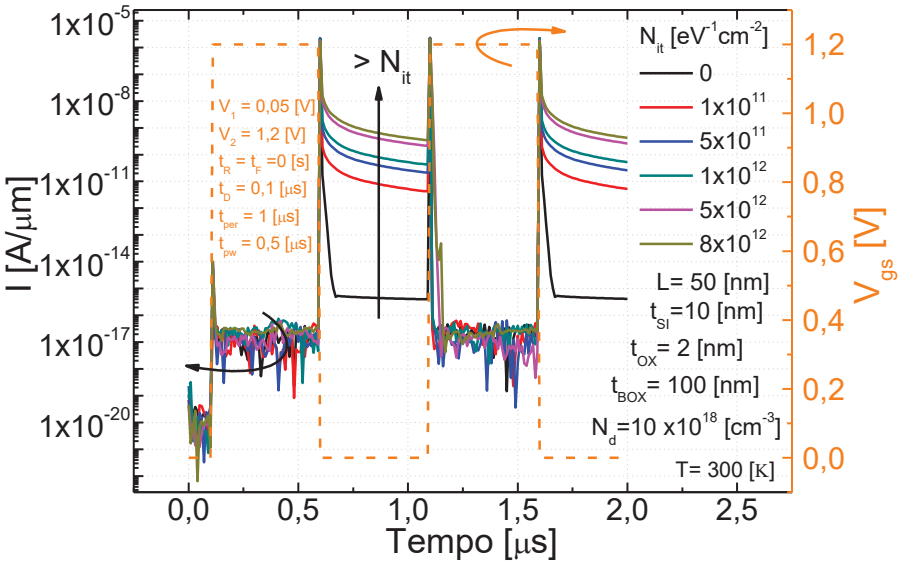
O comportamento de decaimento exponencial da curva de I_d vs Tempo é gerado pelo aumento da densidade de armadilhas contidas na interface. Como existe uma alteração clara no valor absoluto da corrente transitória ao se variar a densidade de armadilhas, é possível afirmar que o método pode ser aplicado ao JNT estudado, a fim de determinar a densidade de armadilhas contidas no dispositivo.

A fim de verificar a dependência da variação da corrente de dreno com a densidade da armadilha contidas no dispositivo, o valor de I_d foi obtido a 1 μs (ao longo do decaimento

exponencial) e plotado em função de N_{it}, como mostrado na figura 38. Como se pode observar, os resultados indicam que a aplicação do método de bombeamento de cargas adaptado ao JNT pode indicar a magnitude da N_{it} em dispositivos experimentais, por se tratar de uma dependência linear.

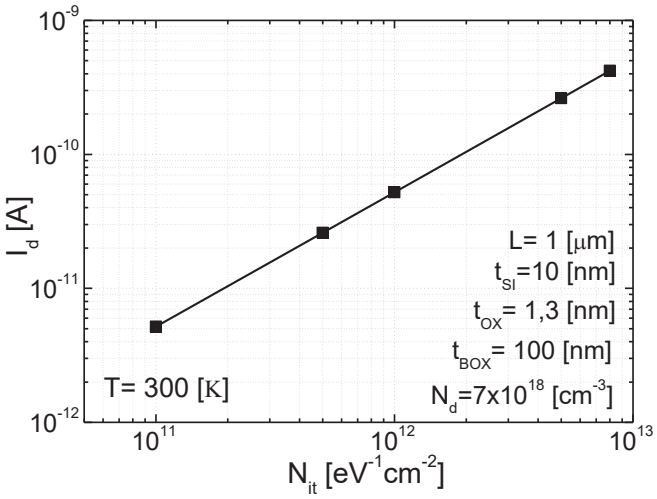
A dependência linear exibida na figura 38 permite dizer que o método pode ser aplicado ao transistor sem junções, confirmando assim a possibilidade de se desenvolver uma expressão matemática através da qual seja possível extrair a densidade de armadilhas de interface nestes dispositivos.

Figura 37 - Curva I_d vs Tempo para diversas densidades nominais de armadilha de Interface.



Fonte: [34]

Figura 38 - I_d extraído a 1 μs em função da densidade nominal de armadilhas no dispositivo simulado.



Fonte: [34]

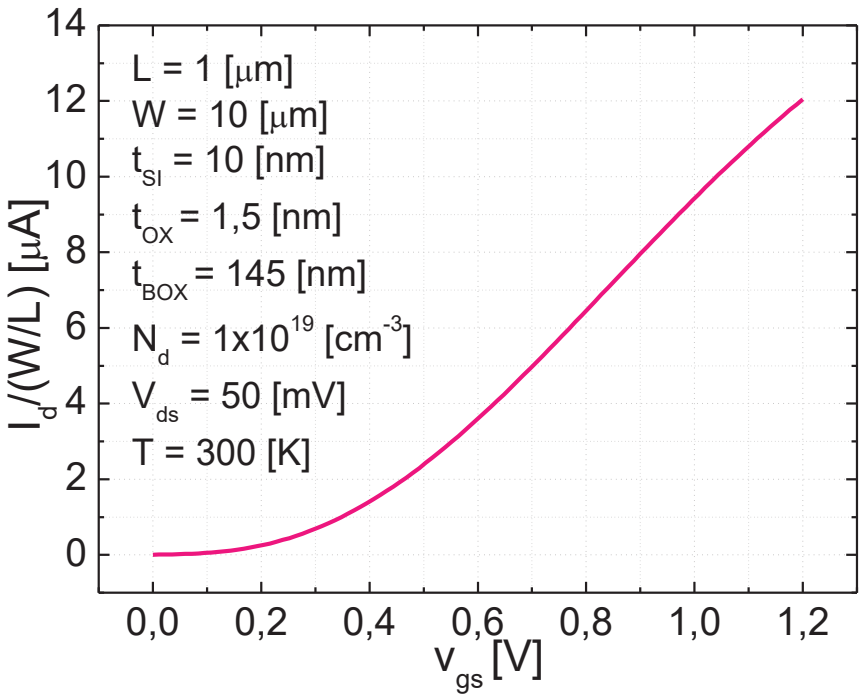
4 MEDIDAS EXPERIMENTAIS

As curvas simuladas mostram a aplicabilidade do método de bombeamento de cargas no dispositivo JNT e indicam a possibilidade de ser um método importante para avaliar a qualidade do processo de fabricação do JNT. Com base nessas curvas, dados experimentais foram medidos em um Analisador de Parâmetros B1500 Keysight Semiconductor,

4.1 EXTRAÇÃO DA TENSÃO DE LIMIAR

As características físicas objetivadas no processo de fabricação do transistor usado nos dados experimentais são t_{BOX} = 145 nm, t_{Si} = 10 nm, N_d = 1 x 10^{19} cm^{-3}, espessura efetiva do óxido de porta (EOT) de 1,5 nm e L = 1 μm. Como são fabricados na tecnologia de múltiplas portas, no caso com porta tripla, um transistor com grande largura de canal foi utilizado para as medições experimentais (W_{fin} = 10 μm) a fim de trazê-lo mais próximo ao simulado. Como a largura é extremamente superior à altura da camada de silício, o efeito das portas laterais pode ser desprezado, tornando suas características próximas a de um transistor planar. Os transistores foram fabricados no CEA-LETI, de acordo com o processo de fabricação descrito em [52]. A curva I_d vs V_{gs} para V_{ds} = 50 mV é mostrada na figura 39.

Figura 39 - Curva I_d vs V_{gs} da medida experimental realizada no dispositivo JNT.

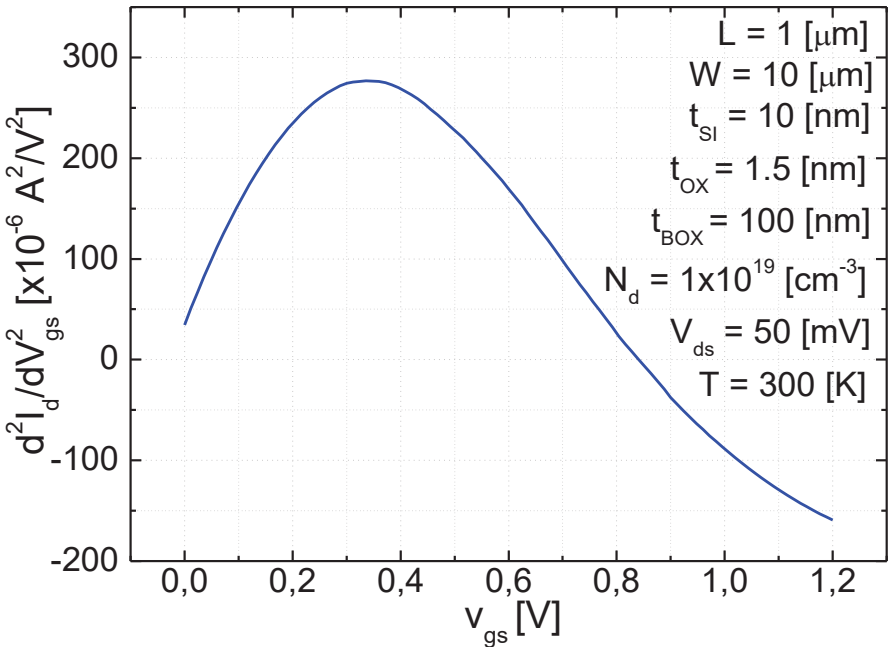


Fonte: [34]

Comparando os resultados entre medição e simulação, é notável o mesmo comportamento nos dois casos. A corrente I_d apresenta ordem de magnitude semelhante e a diferença nos valores absolutos pode estar associada à diferente concentração de dopagem entre dispositivos experimental e simulado. No caso, N_d é ligeiramente menor no dispositivo fabricado, quando comparado ao dispositivo simulado [56]. Além disso, são esperadas possíveis variações em t_{Si} do transistor experimental, que pode ser um pouco menor que o proposto também.

A figura 40 mostra a segunda derivada de I_d vs V_{gs}. O primeiro pico, que define a tensão de limiar, está em torno de V_{gs} = 0,3 V. Na curva experimental não é possível observar o segundo pico, que indicaria a tensão de faixa plana. Possivelmente, este pico esteja encoberto pela curva decorrente do primeiro pico.

Figura 40 - Curva da segunda derivada de I_d vs V_g, onde o pico representa o valor da tensão de limiar do dispositivo.



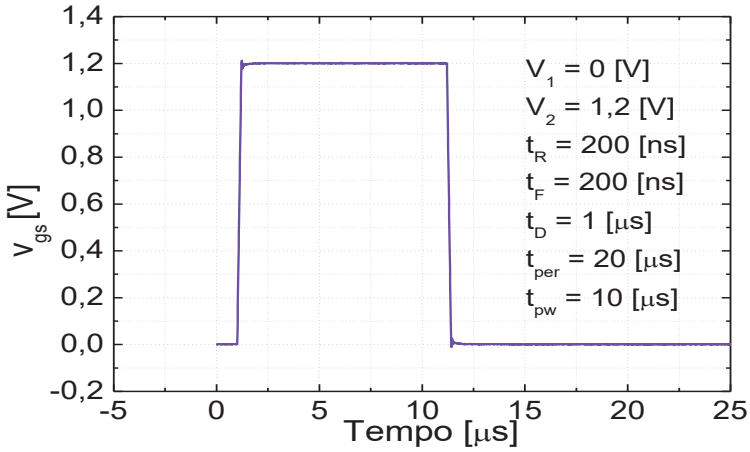
Fonte: [34]

4.2 EXTRAÇÃO DA CORRENTE DE BOMBEAMENTO DE CARGAS ATRAVÉS DO MÉTODO ADAPTADO AO JNT

Para a medição experimental, o contato de porta do dispositivo foi conectado em um gerador de pulsos com baixo e alto potencial (V_1 e V_2, respectivamente) iguais a 0 V e 1,2 V, tempo de subida e descida (T_r e T_f, respectivamente) iguais a 200 ns, largura de pulso (t_{pw}) de

10 μs, período (t_{per}) de 20 μs e tempo de atraso (t_d) de 1 μs. Este tempo de atraso é o parâmetro que determina o tempo para iniciar o pulso. O pulso aplicado é demostrado na figura 41.

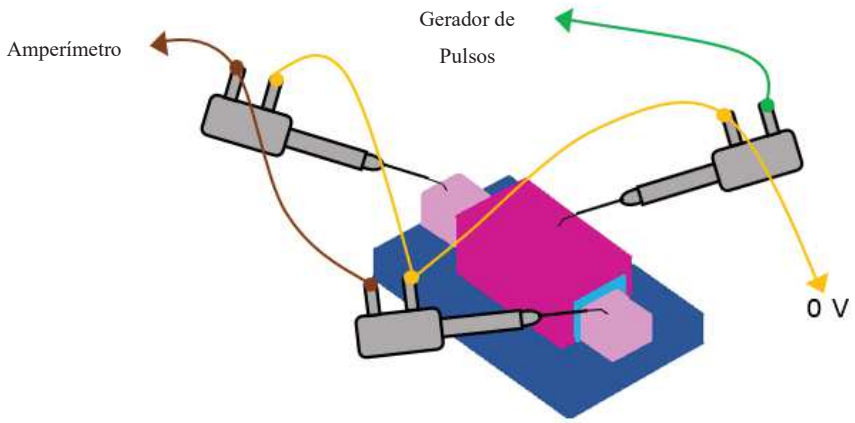
Figura 41 - Forma de onda aplicada à porta do transistor experimental, a fim de verificar a aplicabilidade do método de bombeamento de carga.



Fonte: [34]

A figura 42 ilustra a topologia física utilizada no equipamento de medição, bem como as conexões elétricas. As pontas de prova, em cinza, são do equipamento microprovador utilizado, na qual é possível, com o devido ajuste, efetuar o contato e aplicação de potencial elétrico aos terminais do transistor com o auxílio do analisador de parâmetros semicondutores. Deste modo, pode-se efetuar o pulso na porta e mensurar a corrente nos contatos de fonte e dreno.

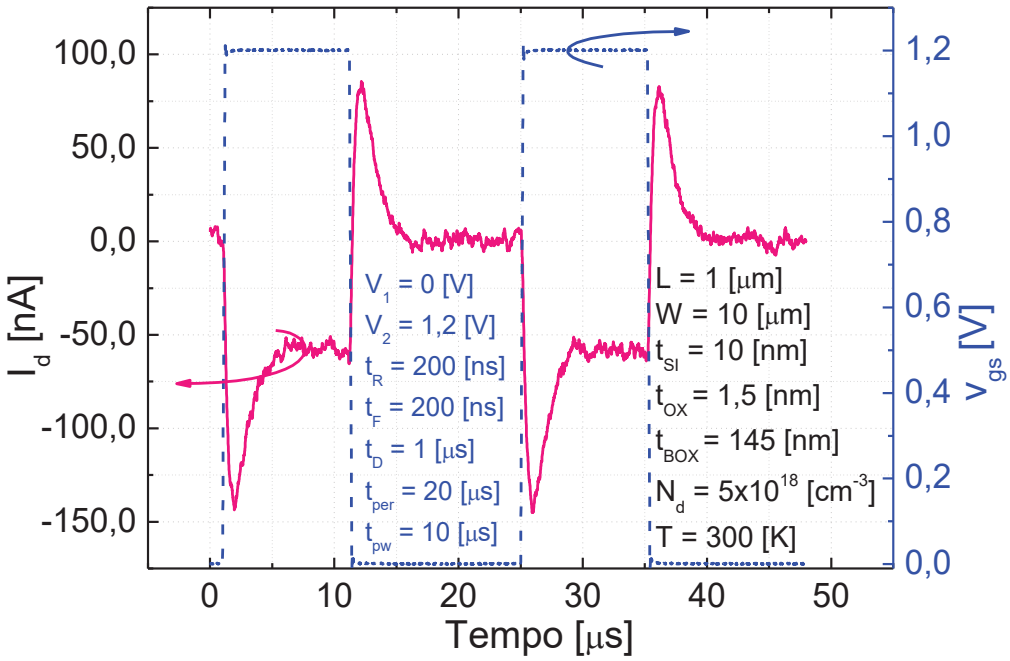
Figura 42 topologia física do método adaptado de bombeamento de cargas aplicado ao JNT.



Fonte: [Autor]

A figura 43 mostra a curva de I_d vs Tempo, a partir dos dados experimentais, considerando a forma de onda em azul na figura 41 aplicada à porta do dispositivo. Similarmente aos resultados simulados, no caso de curvas experimentais, um pico de corrente é observado logo após a transição do sinal de entrada de 1,2 V para 0 V e, em seguida, I_d tem seu módulo reduzido exponencialmente. Esse efeito ocorre de 12 µs a 16 µs e indica o efeito das armadilhas de interface. Isso mostra que é possível aplicar o método de bombeamento de carga no JNT para avaliar a qualidade da interface do dispositivo.

Figura 43 - Corrente de bombeamento extraída a partir de medidas experimentais.

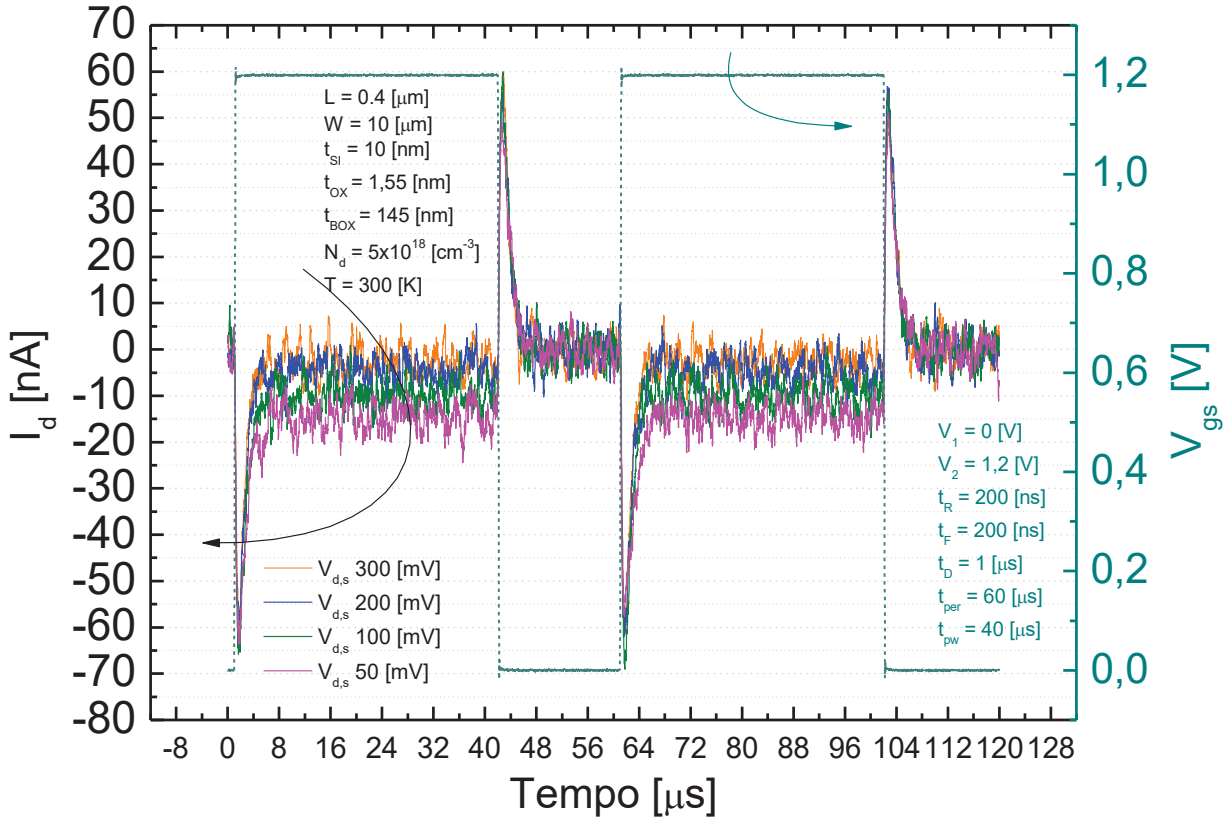


Fonte: [34]

No entanto, um comportamento diferente é observado em relação aos resultados simulados quando a polarização da porta varia de 0 V a 1,2 V. Nesse caso, um pico negativo de I_d é observado e, então, a corrente absoluta diminui exponencialmente. Essa corrente negativa pode estar relacionada ao movimento de lacunas no interior da camada de silício, o que não foi previsto nas simulações. Essa corrente pode indicar a presença de armadilhas não apenas na parte superior da faixa proibida, mas também na parte inferior. Como descrito anteriormente, estas cargas assumem distribuição exponencial no interior da banda proibida. É notado uma corrente residual da ordem de -50 nA após o término do transitório, no momento em que V_2 é aplicado. Visando compreender melhor esse comportamento, um outro dispositivo idêntico foi medido e também apresentou uma corrente residual. Entretanto, neste caso, a corrente foi da ordem de 20 nA. Na sequência, foram adicionados níveis de tensão nos eletrodos conectados à

fonte e dreno buscando zerar essa corrente residual. Os resultados podem ser vistos na figura 44.

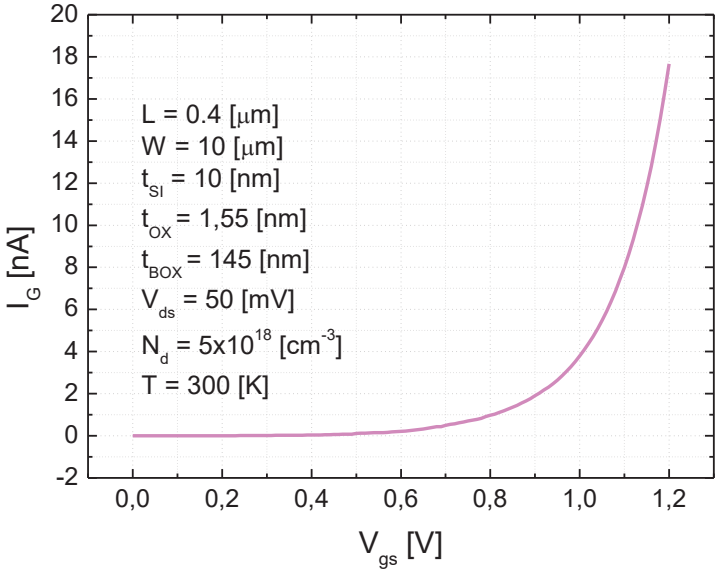
Figura 44 - Corrente de bombeamento extraída a partir de medidas experimentais, com diferentes valores de V_{ds}.



Fonte: Autor

Com o aumento da tensão nos eletrodos de fonte e dreno, variando de 50 mV até 300 mV, é notado uma diminuição significativa do módulo desta corrente residual existente na obtenção da curva. Estima-se que esta corrente esteja relacionada com uma fuga ocorrida através do óxido de porta (I_G), que recebe uma tensão de 1,2 V em seu valor máximo, o qual é próximo ao limite suportado pela tecnologia. A fim de validar esta suposição, a curva I_G vs V_{gs}, foi extraída para este dispositivo e é exibida na figura 45.

Figura 45 - Curva I_G vs V_{gs} para extrair o valor de corrente quando V_{gs} = 1,2 V.



Fonte: Autor

Com base no valor de I_G para V_g = 1,2 V, é obtido que I_G = 18 nA. Tal valor está muito próximo quando comparado com o patamar de corrente negativa na curva experimental da aplicação do método de bombeamento de cargas adaptado ao transistor sem junções. Sendo assim, é possível afirmar que o patamar de corrente obtido na medida experimental é uma fuga de corrente ocorrida através da porta do dispositivo.

5 EXTRAÇÃO DA DENSIDADE DE ARMADILHAS DE INTERFACE

A partir dos dados da simulação, será proposto um método para extrair o valor da densidade de armadilhas contidas no dispositivo. Um método de cálculo que a princípio poderia ser utilizado, consiste em extrair a densidade de carga a partir da curva de corrente transitória em função do tempo.

5.1 CÁLCULO DA QUANTIDADE DE CARGAS ARMADILHADAS COM A APLICAÇÃO DO MÉTODO PROPOSTO

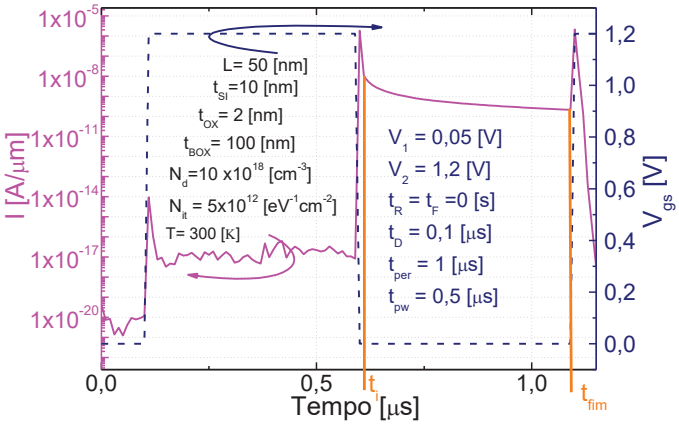
Para a extração da densidade de armadilhas de interface, será calculado através do gráfico da corrente em função do tempo, a integral da curva estudada na região do decaimento exponencial observado após o pulso. Com esse resultado, é obtida a corrente total devido ao desarmadilhamento das cargas. Quando dividido este valor pela carga elementar do elétron, é obtida a quantidade de cargas que foram energizadas pelo pulso aplicado à porta do dispositivo. Com este valor dividido pela área da porta do transistor, o resultado é a densidade de cargas armadilhadas por unidade de área, conforme a expressão 12 [15].

$$\frac{1}{q*W*L}\int_{t_i}^{t_{fim}} f(t)dt \qquad (12)$$

Onde t_i é o instante inicial da curva onde se deseja calcular e t_{fim} é o instante final da curva onde se deseja calcular.

Como primeiro passo, então, foi escolhida uma curva da corrente de dreno em função do tempo com densidade nominal de armadilhas $N_{it} = 5 \times 10^{12}\ eV^{-1}cm^{-2}$. O intervalo de tempo utilizado na integral da equação (12) é ilustrado na figura 46. Vale a pena ressaltar que a corrente total é o dobro da apresentada na figura 46, visto que metade das cargas deixará o canal através do terminal de dreno e a outra metade através da fonte.

Figura 46 - Pontos para o cálculo da quantidade de cargas armadilhadas no dispositivo simulado com N_{it} = 5 x 10^{12} $eV^{-1}cm^{-2}$



Fonte: Autor

Aplicando a expressão obteve-se:

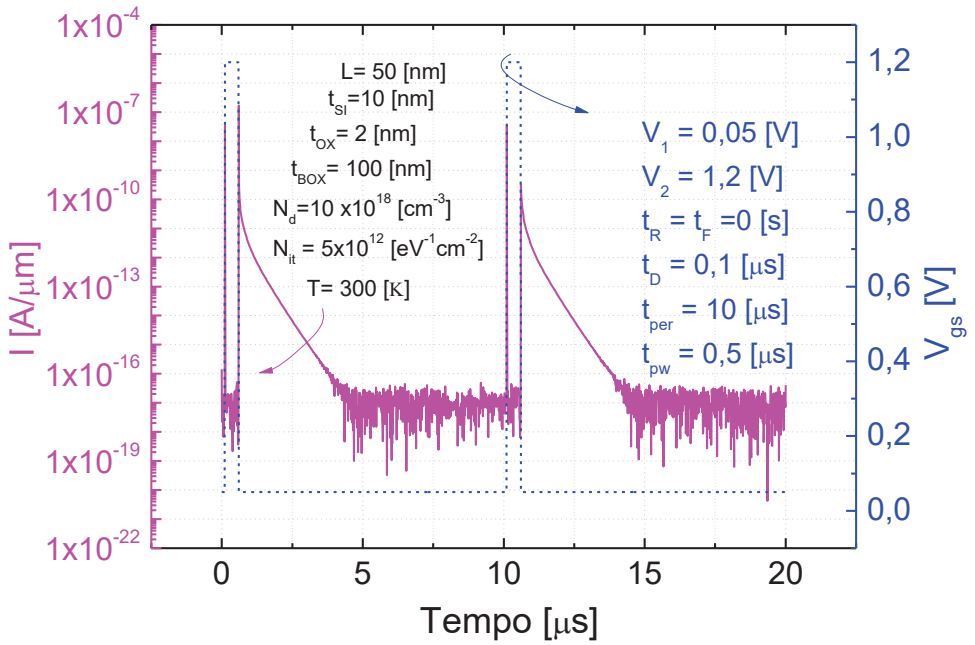
$$\frac{1}{(1{,}6*10^{-19})*(50*10^{-7})*(1*10^{-4})}\int_{0{,}61*10^{-6}}^{1{,}09*10^{-6}} f(t)dt \qquad (13)$$

No qual resulta em aproximadamente 5,2 x 10^{11} cm^{-2}.

Como N_{it} é dado em $eV^{-1}cm^{-2}$ no cálculo baseado na curva experimental é necessário levar em conta a variação da energia, na qual as armadilhas estão dispostas. Para a simulação atual foi utilizado um perfil uniforme com início em -0,25 eV até 0,25 eV, tomando como referência o nível intrínseco, logo a variação é de 0,5 eV. Para expressar N_{it} em função da energia, deve-se dividir o resultado obtido por essa variação calculada, o que resulta em 1,04 x 10^{12} $eV^{-1}cm^{-2}$.

A diferença entre o inserido e o extraído na simulação pode se dar pelo fato de ter interrompido a curva antes do final do decaimento completo, ou seja, quando calculado a integral, não foi possível quantizar todas as cargas, pois o período está menor que o total para este caso. Para melhorar a precisão da extração, é necessário calcular o maior número de cargas presentes na curva. Para isso, uma simulação com o período dez vezes maior, ou seja, t_{per} = 10 μs foi realizada e o resultado é mostrado na figura 47.

Figura 47 - Curva I_d vs Tempo dispositivo simulado com N_{it} = 5 x 10^{12} $eV^{-1}cm^{-2}$ t_{per} = 10 µs



Fonte: Autor

Os pontos de t_i e t_{fim} para a curva da Figura 47 são $0{,}61\mu s$ e 10,1 μs, respectivamente. Substituindo na equação 14, temos:

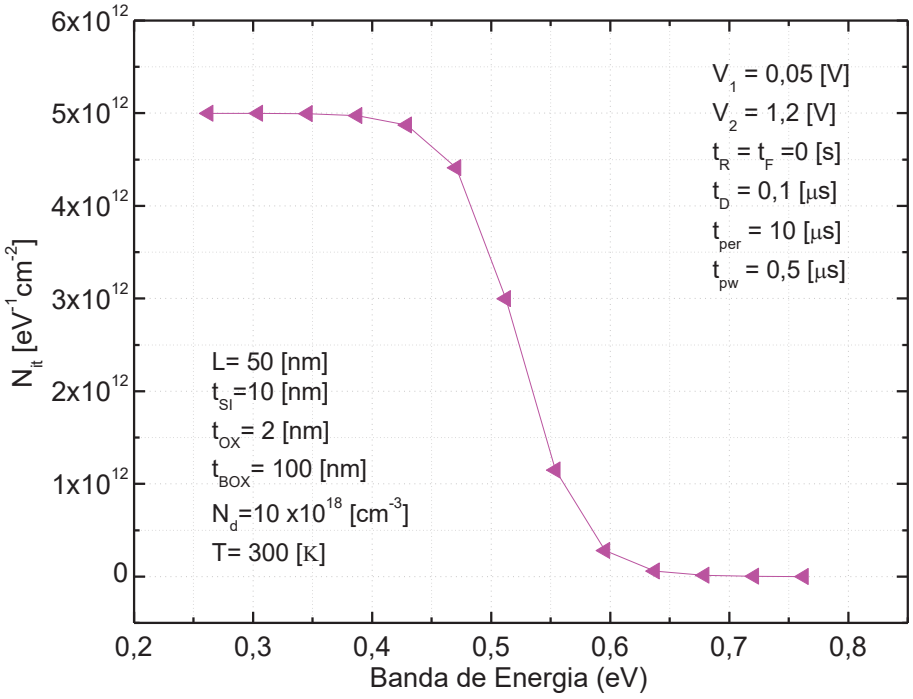
$$\frac{1}{(1{,}6*10^{-19})*(50*10^{-7})*(1*10^{-4})}\int_{0{,}61*10^{-6}}^{10{,}1*10^{-6}} f(t)dt \qquad (14)$$

O valor da densidade de armadilhas resulta em aproximadamente 1,04 x 10^{12} cm^{-2}.

Após dividir o resultado pela variação da energia o valor obtido para extração da densidade de armadilhas é 2,09 x 10^{12} $eV^{-1}cm^{-2}$. Embora o valor de N_{it} extraído permita uma noção em relação à densidade de armadilhas no dispositivo e a diferença entre os valores extraído e nominal tenha sido reduzida, N_{it} extraído ainda é 60% menor que o valor nominal considerado na simulação. Assim, levantou-se a hipótese de que nem todas as armadilhas consideradas na simulação tenham sido efetivamente ocupadas ou que nem todas tenham sido desocupadas ao final do decaimento. Deste modo, foi extraída a curva de N_{it} em função da Energia para os dados simulados tanto no início como no final do decaimento. A curva obtida no início do decaimento demonstrou que praticamente todas as armadilhas estavam ocupadas.

Entretanto, nem todas foram desocupadas ao final do decaimento, como pode ser observado na figura 48.

Figura 48 – Curva N_{it} versus Energia (Banda de energia) no instante t = 10 μs.



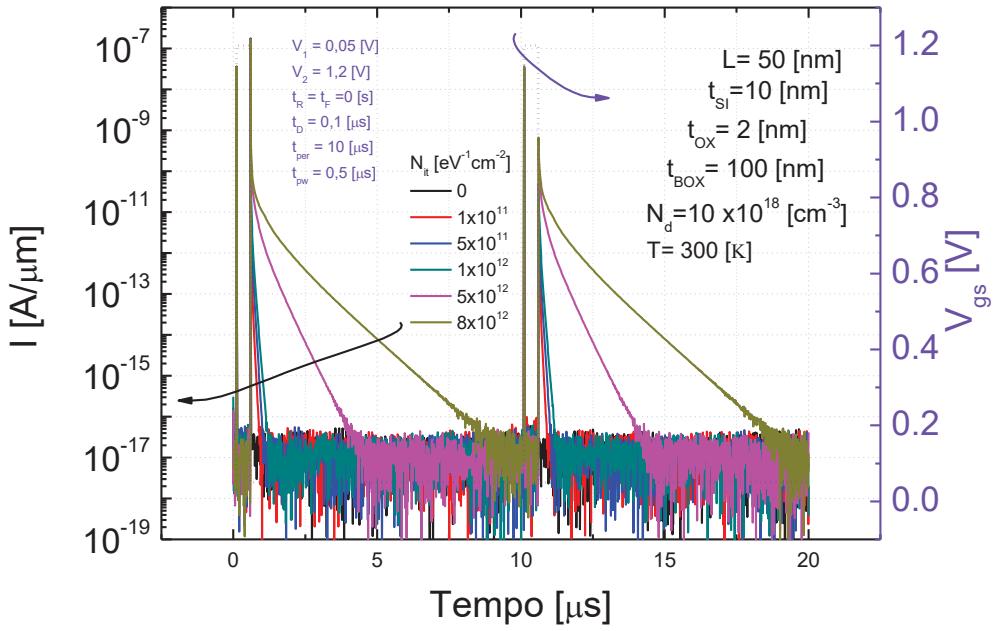
Fonte: Autor

Como se pode observar na figura 48, para energia entre 0,25 eV e 0,4 eV, a densidade de armadilhas é máxima mesmo após o período de decaimento, ou seja, igual ao valor nominal definido. Após 0,4 eV, as cargas sofreram o desarmadilhamento e assim, ao final do pulso, uma quantia de cargas ainda está armadilhada nos defeitos do dispositivo. Para determinar a densidade total de armadilhas efetivamente ativadas ao longo do pulso, é necessário efetuar a integral de N_{it} em função da energia e subtrair do total de cargas, o qual no caso é o valor nominal. Ao efetuar o cálculo da integral, obteve-se uma densidade de armadilhas de 1,30 x 10^{12} cm^{-2}, ou então, 2,60 x 10^{12} $cm^{-2}eV^{-1}$. Quando subtraído do nominal resulta em 2,40 x 10^{12} cm^{-2} o qual é bastante próximo daqueles obtido através da aplicação do método de extração (2,09 x 10^{12} $eV^{-1}cm^{-2}$). Entretanto, para verificar sua aplicabilidade, é necessário que o mesmo apresente resultados promissores para as demais densidades de armadilhas consideradas nas simulações.

5.2 MÉTODO DE BOMBEAMENTO DE CARGAS PROPOSTO APLICADO À DIVERSAS DENSIDADES DE ARMADILHAS DE INTERFACE

Visando aplicar o método às curvas com diferentes densidades de armadilhas, foram efetuadas simulações com o mesmo período do pulso à todas as curvas simuladas e o resultado obtido está ilustrado na figura 49.

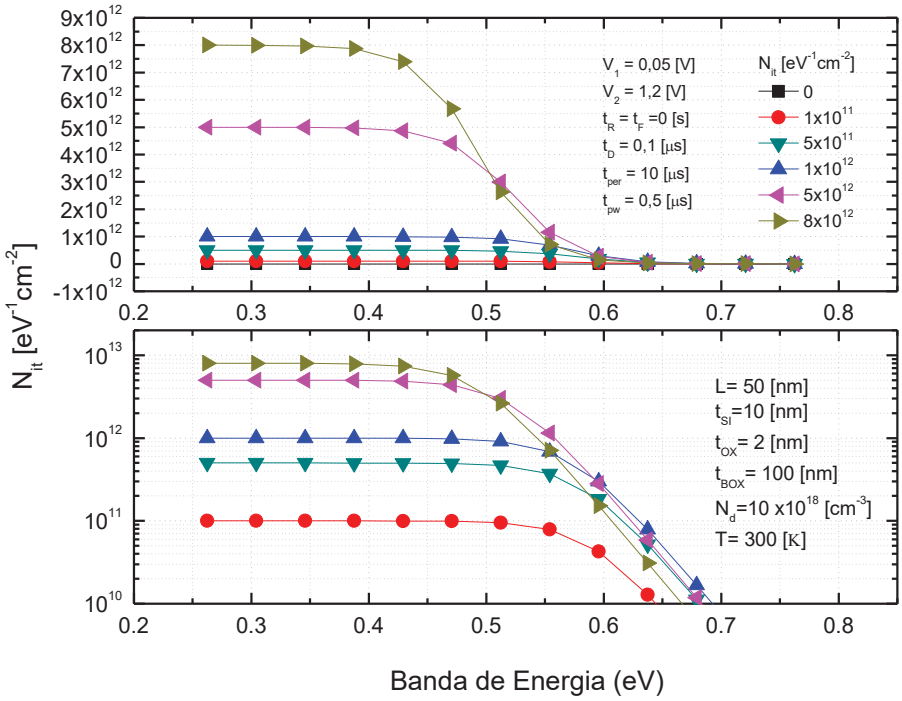
Figura 49 - Curva I_d vs Tempo dispositivo simulado com diversas concentrações de N_{it} e t_{per} = 10 μs



Fonte: Autor

A fim de verificar o total de armadilhas que foram efetivamente armadilhas e desarmadilhas durante o decaimento do pulso, as curvas de N_{it} *versus* Energia (Banda de energia) para todas as densidades de armadilhas nominais foram extraídas e são ilustradas na figura 50. O total de armadilhas que foram energizadas e permaneceram ocupadas até o final do período pode ser extraído ao calcular a área da curva citada [15].

Figura 50 – Curva N_{it} versus Energia (Banda de energia) no instante t = 10 μs.



Fonte: Autor

Para extrair o valor total de armadilhas que que permaneceram ocupadas até o final do período de decaimento para cada um dos valores nominais de N_{it} simulados, é efetuado o cálculo da integral da curva em função da energia, cujos resultados são mostrados na tabela 2. Como permaneceram ocupadas, estas armadilhas não estão associadas à corrente de decaimento. Logo, para determinar a densidade de armadilhas que deve ser efetivamente extraída pelo bombeamento de cargas, é necessário subtrair a densidade nominal de armadilhas daquela densidade de armadilhas ainda ocupadas no final do período, cujos dados são apresentados na coluna da direita da tabela.

Tabela 2 - Resultado do cálculo de extração de armadilhas de interface energizadas nas curvas simuladas.

Densidade de Armadilhas [$eV^{-1}cm^{-2}$]		
Densidade Nominal Uniforme	**Densidade de Armadilhas Ocupadas ao Final do Pulso**	**Densidade de Armadilhas Desarmadilhadas Durante o Pulso**
$1x10^{11}$	$6,52x10^{10}$	$3,48x10^{10}$
$5x10^{11}$	$3,20x10^{11}$	$1,80x10^{11}$
$1x10^{12}$	$6,22x10^{11}$	$3,78x10^{11}$
$5x10^{12}$	$2,60x10^{12}$	$2,40x10^{12}$
$8x10^{12}$	$3,70x10^{12}$	$4,30x10^{12}$

Fonte: Autor

A partir da aplicação do método de cálculo para extração da densidade de armadilhas às curvas da corrente de bombeamento em função do tempo mostradas na figura 49, foi possível calcular os resultados que são exibidos na tabela 3. Inicialmente, as curvas foram simuladas utilizando a mesma quantidade de pontos das simulações efetuadas nos tópicos anteriores, cujos resultados são identificados na tabela como "baixa resolução de pontos".

Tabela 3 - Resultado da aplicação do cálculo de extração de armadilhas de interface nas curvas simuladas.

Densidade de Armadilhas [$eV^{-1}cm^{-2}$]		
Teórico Nominal	Extraído	
	Baixa Resolução de Pontos	Alta Resolução de Pontos no Pico Máximo
$1x10^{11}$	$2,18x10^{12}$	$9,88x10^{10}$
$5x10^{11}$	$2,16x10^{12}$	$2,53x10^{11}$
$1x10^{12}$	$2,16x10^{12}$	$3,26x10^{11}$
$5x10^{12}$	$2,08x10^{12}$	$1,23x10^{12}$
$8x10^{12}$	$2,06x10^{12}$	$2,24x10^{12}$

Fonte: Autor

Para a baixa resolução de pontos, foi utilizado 2000 no total da simulação. Como os resultados para todas as densidades de armadilhas nominais foram similares, foi verificado que a quantidade de pontos utilizada nas simulações não permitia a precisão necessária para a extração de N_{it}. Assim, foi efetuada uma simulação considerando alta concentração de pontos na região do pico máximo de corrente. Foram utilizados 10000 pontos entre os instantes 6×10^{-7} s e $6,01 \times 10^{-7}$ s, com um total de pontos para essa simulação em 22000.

Como é ilustrado nos valores obtidos, ao aumentar de forma significativa o número de pontos da curva, os valores começam a convergir para o teórico, permitindo que se identifique uma quantidade aproximada de armadilhas. A comparação entre os valores da densidade de armadilhas extraídos através do método com aqueles obtidos a partir do cálculo teórico é apresentada na Tabela 4.

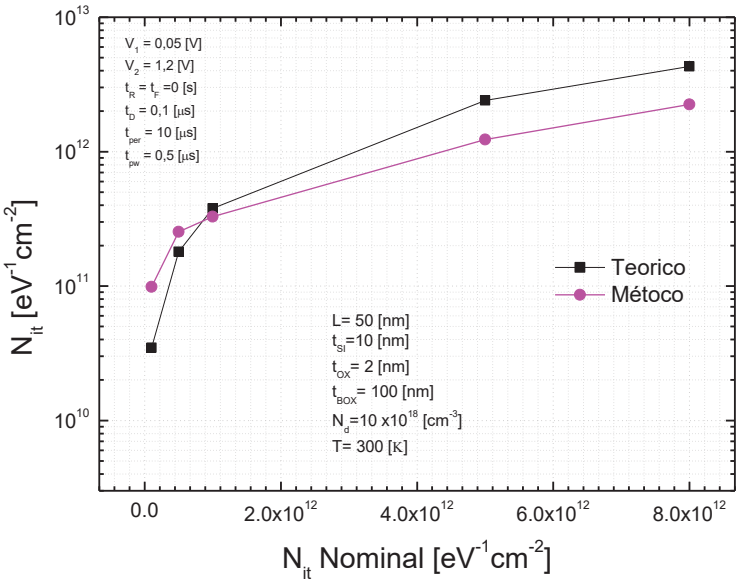
Tabela 4 - Valores de cargas armadilhadas e resultado de cálculo do método

Densidade de Armadilhas [$eV^{-1}cm^{-2}$]		
Valor Teórico da Densidade de Cargas Desarmadilhadas	Cargas Desarmadilhadas Calculadas pelo Método	% de Diferença
$3{,}48x10^{10}$	$9{,}88x10^{10}$	183,91%
$1{,}80x10^{11}$	$2{,}53x10^{11}$	40,50%
$3{,}78x10^{11}$	$3{,}28x10^{11}$	-13,22%
$2{,}40x10^{12}$	$1{,}23x10^{12}$	-48,75%
$4{,}30x10^{12}$	$2{,}24x10^{12}$	-47,90%

Fonte: Autor

Os valores obtidos tanto no método, quanto através do cálculo teórico a partir da densidade nominal, são também comparados na figura 51 em função da densidade nominal de armadilhas.

Figura 51 - Valores de comparação do método com o total de cargas armadilhadas



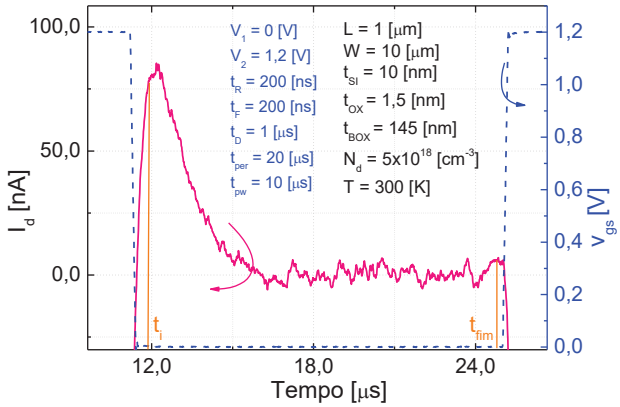
Fonte: Autor

A tendência dos valores obtidos pelo método, comparado com a curva obtida a partir do cálculo teórico demostra que o método pode ser utilizado para cálculo da extração da densidade de armadilhas do sipositivo, visando a obtenção de um valor aproximado. Com isso, o próximo passo é aplicar este método ao dispositivo experimental.

5.3 MÉTODO DE BOMBEAMENTO DE CARGAS PROPOSTO APLICADO À CURVA EXPERIMENTAL

Como os resultados obtidos tendem ao valor que efetivamente demostra a quantidade de cargas energizadas em armadilhas contidas no dispositivo, o cálculo para extração da densidade de armadilhas no dispositivo experimental é feito com os pontos de t_i e t_{fim}, 11,5 μs e 25,0 μs respectivamente, conforme ilustrado na figura 52.

Figura 52 – Definição dos pontos para cálculo da densidade de armadilhas no dispositivo experimental.



Fonte: Autor

Substituindo na equação 15, temos:

$$\frac{1}{(1{,}6*10^{-19})*(1*10^{-4})*(10*10^{-4})}\int_{11{,}45*10^{-6}}^{25{,}00*10^{-6}} f(t)dt \qquad (15)$$

O valor da densidade de armadilhas resulta em aproximadamente 9,15 x 10^{12} cm^{-2}.

O próximo passo de dividir pela energia, para obter o resultado com o mesmo dimensional não é possível, devido ao fato de que a distribuição da energia ao longo da banda proibida não ser conhecida para o dispositivo medido. Entretanto, os valores obtidos tendem àqueles extraídos através de outro método em [55].

6 CONCLUSÕES

Este trabalho foi motivado por não haver um método simples e prático que pudesse ser efetivamente aplicado ao transistor sem junções para a extração de sua densidade de armadilhas de interface. Sendo assim um método baseado na técnica de bombeamento de cargas foi proposto neste trabalho. Num primeiro momento, foi analisado o comportamento da curva de bombeamento de cargas em função do tempo na curva experimental, a qual tem um comportamento muito próximo ao simulado. Já, nas simulações, ao se variar a densidade de armadilhas e comparar o nível de corrente obtido à essa densidade, foi observado uma linearidade na dependência da corrente em função da densidade de armadilhas contidas no dispositivo.

Os resultados das simulações 2D efetuadas nesse trabalho demonstram a influência que as armadilhas de interface têm na corrente de dreno, com uma queda considerável em seu valor, cerca de 50%, na tensão de limiar, com uma diferença de 80 mV e 150 mV para a tensão de faixa plana, conforme a concentração de armadilhas aumenta. O processo de fabricação deve ser bem controlado, a fim de evitar ao máximo a existência de armadilhas de um modo geral.

Em resposta à análise das simulações, é possível afirmar que o método adaptado ao JNT de bombeamento de cargas é capaz de mostrar que há diferença na corrente de bombeamento estudada, para diversas densidades de armadilhas. Quando analisada a curva obtida no experimento prático, pode-se notar a semelhança entre as curvas simuladas e experimentais. Contudo o transitório de corrente, quando analisada a curva no instante em que a tensão do pulso aplicado assume o valor de nível alto pode indicar a presença de lacunas existentes no dispositivo, as quais não foram previstas nas simulações, uma vez que pode haver uma não convergência quando o simulador efetua a conta. Tais lacunas podem indicar a presença de armadilhas de interface tanto na parte superior da banda proibida, quanto na parte inferior.

Como parte final do trabalho, novas simulações foram executadas e com os resultados, o cálculo para extração da densidade de armadilhas foi aplicado. Os resultados das contas indicam a capacidade de extração aproximada da densidade de armadilhas desarmadilhadas no processo contidas no transistor sem junções, não sendo possível extrair por completo a densidade, uma vez que nem todos os estados energéticos puderam armadilhar elétrons durante a aplicação do pulso e parte das cargas, continuam energizadas ao final do experimento.

Com o resultado da simulação para baixos níveis de armadilhas de interface, valores entre $1x10^{11}$ e $5x10^{11}$ $eV^{-1}cm^{-2}$, foram obtidos valores com diferença de até 183,91 %, neste ponto a influência das cargas que formam o canal, são mensuradas na corrente assim esta grande

diferença é explicada. Para as demais densidades de armadilhas de interface simuladas, foi obtido valores que chegam a uma diferença de aproximadamente 48,75%, nestes demais casos, a precisão na curva simulada pode influenciar no resultado, conforme demostrado quanto mais precisa a curva, mais próximo do valor teórico o resultado é obtido.

Com o estudo realizado neste trabalho, é possível afirmar que o método pode ser aplicado ao transistor sem junções e pode trazer um resultado de cálculo com valores próximos dos reais.

7 TRABALHOS REALIZADOS

Participação e apresentação oral de um trabalho no 34th Symposium on Microelectronics Technology and Devices - SBMicro 2019. Com o seguinte trabalho publicado na base de dados do IEEE.

FONTE, E. T.; TREVISOLI, R. ; DORIA, R. T. . Applicability of Charge Pumping Technique for Evaluating the Effect of Interface Traps in Junctionless Nanowire Transistors. In: 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), 2019, Sao Paulo. 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), 2019. p. 1. **DOI:** 10.1109/SBMicro.2019.8919464

Participação e apresentação de poster de um trabalho no XIV Workshop on Semiconductors and Micro & Nano Technology - Seminatec 2019.

FONTE, E. T.; TREVISOLI, R. ; DORIA, R. T. . Charge Pumping Technique for Extraction of Interface Traps in Junctionless Nanowire Transistors. In: XIV Workshop on Semiconductors and Micro & Nano Technology - Seminatec 2019, 2019, Campinas. Conference Proceedings, 2019. p. 1-2.

REFERÊNCIAS

[1] G.E. Moore, “Cramming more components onto integrated circuits”, Eletronics, v. 38, n. 8, p. 114-117, 1965.

[2] K.K. Young, “Short-channel effect in fully depleted SOI MOSFETs”, IEEE Transactions on Electron Devices, v.36, n.2, p.399-402, 1989.

[3] COLINGE J. P. Silicon-on-insulator Technology: Materials to VLSI, Verlag 1991.

[4] S. Cristoloveanu, S. S. Li; Electrical Characterization of Silicon-On-Insulator Materials and Devices, Springer, 1995.

[5] J.P. Colinge, FinFETs and other multigate transistors, Springer, 2008.

[6] COLINGE, J. P. et al., Nanowire transistors without junctions, Nature Nanotechnology, Vol. 5, No. 3, pp. 225-229, 2010.

[7] COLINGE, J. P.; KRANTI, A.; YAN, R.; LEE, C.W. et al.; Junctionless Nanowire Transistor (JNT): Properties and design guidelines, Solid-State Electronics, vol. 65-66, n. 1, pp. 33-37, 2011.

[8] E. H. Nicollian; J. R. Brews. MOS (Metal Oxide Semiconductor) Physics and Technology. Wiley, New York, 1982.

[9] BRUGLER J. S.; JESPERS P. G. A. Charge pumping in MOS devices. IEEE Transactions on Electron Devices, vol-16, p 297, 1969.

[10] J. A. MARTINO, M. A. PAVANELO, P. B. VERDONK. Caracterização Elétrica de Tecnologia e Dispositivos MOS. 1. ed. São Paulo: Thomson, p. 78-87, 2003.

[11] HUANG, C. L; ARORA, N. D.; NASR, A. I.; BELL, D. A. Effect of polysilicon depletion on MOSFET I-V characteristics. IEEE Eletronics Letters, v29, n. 13, p. 1208-1209, 1993

[12] COLINGE J. P, COLINGE C. A. Physics of Semiconductor Devices, Kluwer Academic Publishers 2002.

[13] SZE, S. M.; Physics of Semiconductor Devices. 2ª Edição New York: John Wiley and Sons, 1981.

[14] A. Ortiz-Conde et al., “A review of recent MOSFET threshold voltage extraction methods”, Microelectron. Reliabil., v. 42, pp. 583-596, 2002.

[15] INSTABILITIES IN SILICON DEVICES Silicon Passivation and Related Instabilities G. Barbottin and A. Vapaille (Editors) © 1999 Elsevier Science B.V. Capítulo 6, p 405-493.

[16] CRISTOLOVEANU, S.; LI, S. S. Eletrical Characterization of Silicon-on-Insulator Material and Devices. Boston: Kluwer Academic Publishers, 1995.

[17] COLINGE, J. P.; Subthreshold slope of thin-film SOI MOSFET's, IEEE Electron Device Letters, vol. 7, n. 4, pp. 244-246, 1986.

[18] COLINGE, J. P.; Thin-film SOI technology: the solution to many submicron CMOS problems, International Electron Devices Meeting, 1989. IEDM '89. Technical Digest., pp. 817-820, 1989.

[19] Doria, Renan Trevisoli; Operação e modelagem de transistores MOS sem junções; São Paulo, pp. 39 – 41;2013.

[20] COSTA, F. J; ESTUDO DO EFEITO DE AUTO-AQUECIMENTO EM TRANSISTORES SOI-MOSFET FABRICADOS EM TECNOLOGIA DE CAMADAS ULTRA FINAS (UTB E UTBB); São Paulo, pp. 31 – 35;2018.

[21] COLINGE, J. P.; Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs, IEEE Transactions on Electron Devices, vol. 37, n. 3, pp. 718-723, 1990.

[22] SU, K. W.; KUO, J. B.; Analysis of current conduction in short-channel accumulation-mode SOI PMOS devices, IEEE Transactions on Electron Devices, vol. 44, n. 5, pp. 832-840, 1997.

[23] Y. V. Bhuvaneshwari and A. Kranti, "Extraction of bulk and accumulation mobility components in double gate junctionless MOSFET," 2016 3rd International Conference on Emerging Electronics (ICEE), Mumbai, 2016, pp. 1-4, doi: 10.1109/ICEmElec.2016.8074578.

[24] COLINGE, J. P.; Multi-gate SOI MOSFETs. Microeletronic Engineering, v. 84, n. 9-10, p. 2071-2076, 2007.

[25] SEKIGAWA, T.; HAYASHI, Y. . Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. Solid-State Eletronics, v. 27, n8-9, p. 827-828, 1984.

[26] BIN, Y. et al.; FinFET Scaling to 10 nm Gate Length. IEEE International Electron Devices Meeting IEDM, p. 251-254, 2002.

[27] PEI, G.; KEDZIERSKI, J; OLDIGES, P.; IEONG, M.; KAN, E. C-C.; FinFET design considerations based on 3-D simulation and analytical modeling. IEE Transactions on Electron Devices, v. 49, n.8, p. 1411-1419, 2002.

[28] FREI, J et al.; Body effect in tri-gate and pi-gate SOI MOSFETs. IEE Electron Device Letters, v. 25, n. 12, p. 813-815, 2004.

[29] PARK, J. T.; COLINGE, J. P.; DIAZ, C. H.; Pi-Gate SOI MOSFET. IEE Electron Device Letters, v.22, n.8, p. 405-406, 2001.

[30] PARK, J. T.; COLINGE, J. P.; Multi-gate SOI MOSFETs: device design guidelines. IEE Transactions on Electron Devices, v. 49, n.12, p. 2222-2229, 2002.

[31] YANG, F. L. et al.; 25 nm CMOS Omega FETs. IEE International Electron Devices Meeting IEDM, p. 255-258, 2002.

[32] COLINGE, J-.P.; GAO, M. H.; ROMANO, A.; MAES, H.; CLAEYS, C.; Silicon-on-Insulator "Gate-All-Around Device", Technical Digest of IEDM, p. 595-598, 1990.

[33] DORIA, Rodrigo Trevisoli. Operação analógica de transistores de múltiplas portas em função da temperatura. 2010. Tese (Doutorado em Microeletrônica) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2010. doi:10.11606/T.3.2010.tde-10012011-135500.

[34] FONTE, E. T.; TREVISOLI, R. ; DORIA, R. T. . Charge Pumping Technique for Extraction of Interface Traps in Junctionless Nanowire Transistors. In: XIV Workshop on Semiconductors and Micro & Nano Technology - Seminatec 2019, 2019, Campinas. Conference Proceedins, 2019. p. 1-2.

[35] FONTE, E. T.; TREVISOLI, R. ; DORIA, R. T. . Applicability of Charge Pumping Technique for Evaluating the Effect of Interface Traps in Junctionless Nanowire Transistors. In: 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), 2019, Sao Paulo. 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro), 2019. p. 1.

[36] FERAIN, I.; COLINGE, C. A.; COLINGE, J. P. . Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors, Nature, vol. 479, p. 310-316, 2011.

[37] Lee, C.-W., Afzalian, A., Akhavan, N. D., Yan, R., Ferain, I. and Colinge, J.-P. (2009) Junctionless multigate field-effect transistor, Applied Physics Letters, 94(5), pp. 053511. doi: 10.1063/1.3079411

[38] TREVISOLI, RENAN; PAVANELLO, M.A. ; CAPOVILLA, C. E. ; BARRAUD, S. ; DORIA, R. T. . Analytical Model for Low-Frequency Noise in Junctionless Nanowire Transistors. IEEE TRANSACTIONS ON ELECTRON DEVICES, v. 67, p. 2536-2543, 2020.

[39] COLINGE, J.-P.; Silicon-on-Insulator Technology: Materials to VLSI. 3ª Edição Boston: Kluwer Academic Publishers, 2003.

[40] OUSSIE, T. et al. Adaptation of charge pumping technique to gated p-i-n diodes fabricated on silicon on isulator. IEEE Transactions on Electron Devices, v. 38, n. 6, p. 1432-1444, 1991.

[41] STEWART, M.; HATAILS, M. K. . High performance gated lateral polysilicon PIN diodes. Solid – State Electronics, v. 44, n. 9 p. 1613 – 1619, 2000.

[42] KAPILA, G.; KACZER, B.; NACKAERTS, A.; COLLAERT, N.; GROESENEKEN, G.V. Direct measurement of top and sidewall interface trap density in DOI MOSFETs. IEEE Electron Device Letters, v. 28, n. 3, p. 232-234, 2007.

[43] RODRIGUES, Michele. Estudo de transistores SOI de múltiplas portas com óxidos de porta de alta constante dielétrica e eletrodo de porta metálico. 2010. Tese (Doutorado em Microeletrônica) - Escola Politécnica, Universidade de São Paulo, São Paulo, 2010. doi:10.11606/T.3.2010.tde-01032011-122604.

[44] Heremans P., Witter S J., Groeseneken G., Maes H., IEEE Trans. Electron Devices, 1989, 36, 1318.

[45] Sentaurus Structure Editor User's Manual, SYNOPSYS, 2016.

[46] Sentaurus Device User's Manual, SYNOPSYS, 2016.

[47] D. B. M. Klaassen, “A Unified Mobility Model for Device Simulation—I. Model Equations and Concentration Dependence,” Solid-State Electronics, vol. 35, no. 7, pp. 953–959, 1992.

[48] C. Lombardi et al., “A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices,” IEEE Transactions on Computer-Aided Design, vol. 7, no. 11, pp. 1164–1171, 1988.

[49] A. Schenk, “A Model for the Field and Temperature Dependence of Shockley–Read–Hall Lifetimes in Silicon,” Solid-State Electronics, vol. 35, no. 11, pp. 1585–1596, 1992.

[50] J. W. Slotboom and H. C. de Graaff, “Bandgap Narrowing in Silicon Bipolar Transistors,” IEEE Transactions on Electron Devices, vol. ED-24, no. 8, pp. 1123–1125, 1977.

[51] C. Canali et al., “Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature,” IEEE Transactions on Electron Devices, vol. ED-22, no. 11, pp. 1045–1047, 1975.

[52] S. Barraud et al., “Scaling of trigate junctionless nanowire MOSFET with gate length down to 13 nm”, IEEE Electron Device Letters, vol. 33, pp. 1225-1227, 2012.

[53] T. Rudenko et al., “Method for Extracting Doping Concentration and Flat-Band Voltage in Junctionless Multigate MOSFETs Using 2-D Electrostatic Effects”, IEEE Electron. Dev. Lett., v. 34, n. 8, pp. 957-959, 2013.

[54] R.B. Fair, R.C. Sun, “Threshold-voltage instability in MOSFET's due to channel hot-hole emission”, IEEE Trans. Electron Devices, v. 21, n. 1, p 83-94, 1981.

[55] R. Trevisoli et al., “Extraction of the interface trap density energetic distribution in SOI Junctionless Nanowire Transistors”, Microelectron. Engineer., v. 147, pp. 23-26, 2015.

[56] D.-Y. Jeon, S.J. Park, M. Mouis, M. Berthomé, S. Barraud, G.-T. Kim, G. Ghibaudo, “Revisited parameter extraction methodology for electrical characterization of junctionless transistors”, Solid-State Electronics, vol. 90, pp. 86-93, 2013.

APÊNDICE A: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA ESTRUTURA VIRTUAL.

```
; Limpa
(sde:clear)

; dimensoes
(define L               (/ @L@ 1000))
(define tsi             (/ @H@ 1000))
(define Lspacer                 (/ 10 1000))
(define Lfd             (/ 10 1000))
(define tox             (/ @tox@ 1000))
(define tbox            (/ 100 1000))
(define tporta          (/ 50 1000))
;(define tsib           (/ 10 1000))
(define tsifd           (/ 15 1000))
(define Nd              @Nd@e18)


;Nome
(define nome            "L@L@-H@H@-tox@tox@-Nd@Nd@-tbox100_msh.tdr")

; Refino
(define refino_FD       0.10)
(define refino_canal    0.10)


;; Variaveis Grade
(sdedr:define-refinement-size     "Si"          0.005 0.002          0.004 0.001) ;Silicio
(sdedr:define-refinement-size     "Sib"          0.010 0.025          0.006 0.020) ;Silico
abaixo do BOX
(sdedr:define-refinement-size     "Ox"          0.005 0.030          0.004 0.020) ;Oxido

;;;;;;;;;;;;;
;; REGIOES ;;
;;;;;;;;;;;;;
; Define o oxido de porta
(define r1 (sdegeo:create-rectangle
        (position (- (+ (/ L 2) Lspacer)) (- tox) 0.0) (position (+ (/ L 2) Lspacer)  0.0   0.0)
"SiO2" "oxido_porta")
)

; Define o silicio
(define r2 (sdegeo:create-rectangle
        (position (- (+ (/ L 2) Lspacer Lfd)) tsi 0.0) (position (+ (/ L 2) Lspacer Lfd)  0.0   0.0)
"Silicon" "silicio")
)
```

```
; Define o oxido enterrado
(define r3 (sdegeo:create-rectangle
        (position (- (+ (/ L 2) Lspacer Lfd)) (+ tsi tbox) 0.0) (position (+ (/ L 2) Lspacer Lfd)
tsi   0.0) "SiO2" "oxido_enterrado")
)

; Define o silicio abaixo do oxido
;(define r4 (sdegeo:create-rectangle
;       (position (- (+ (/ L 2) Lspacer Lfd)) (+ tsi tbox tsib) 0.0) (position (+ (/ L 2) Lspacer
Lfd)   (+ tsi tbox)   0.0) "Silicon" "siliciob")
;)

; Define spacers
(define r51 (sdegeo:create-rectangle
        (position (- (+ (/ L 2) Lspacer)) (- tox) 0.0) (position  (- (+ (/ L 2)))   (- (+ tox tporta))
0.0) "Si3N4" "spacer_e")
)
(define r52 (sdegeo:create-rectangle
        (position (+ (/ L 2) Lspacer) (- tox) 0.0) (position  (+ (/ L 2))   (- (+ tox tporta))   0.0)
"Si3N4" "spacer_d")
)


; Define porta
(define r61 (sdegeo:create-rectangle
        (position (- (/ L 2)) (- (+ tox 0.005)) 0.0) (position (/ L 2)  (- tox)   0.0) "TiN" "porta")
)
(define r62 (sdegeo:create-rectangle
        (position (- (/ L 2)) (- (+ tox 0.005)) 0.0) (position (/ L 2)  (- (+ tox tporta))   0.0)
"PolySilicon" "portat")
)

; Define Fonte e Dreno
(define r71 (sdegeo:create-rectangle
        (position (- (+ (/ L 2) Lspacer Lfd)) (- tsifd) 0.0) (position (- (+ (/ L 2) Lspacer))  0.0
0.0) "Silicon" "silicio_f")
)
(define r72 (sdegeo:create-rectangle
        (position (+ (/ L 2) Lspacer Lfd) (- tsifd) 0.0) (position (+ (/ L 2) Lspacer)  0.0   0.0)
"Silicon" "silicio_d")
)

; Cantos Si3N4
(sde:define-parameter "fillet-radius" 0.008 0.0 0.0 )
(sdegeo:fillet-2d (find-vertex-id (position (- (+ (/ L 2) Lspacer)) (- (+ tox tporta)) 0.0)) fillet-
radius)
(sdegeo:fillet-2d (find-vertex-id (position  (+ (/ L 2) Lspacer)    (- (+ tox tporta)) 0.0)) fillet-
radius)
```

```
;;;;;;
;;Contatos
;;;;;;

;Definicao contatos
(sdegeo:define-contact-set "source"    4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
(sdegeo:define-contact-set "drain"     4.0 (color:rgb 0.0 1.0 0.0 ) "##" )
(sdegeo:define-contact-set "gate"      4.0 (color:rgb 0.0 0.0 1.0 ) "##" )
(sdegeo:define-contact-set "substrate" 4.0 (color:rgb 1.0 1.0 0.0 ) "##" )

;Contatos
(sdegeo:define-2d-contact (find-edge-id (position (- (+ (/ L 2) Lspacer (/ Lfd 2)))  (- tsifd)
0.0)) "source")
(sdegeo:define-2d-contact (find-edge-id (position (+ (/ L 2) Lspacer (/ Lfd 2))  (- tsifd) 0.0))
"drain")
(sdegeo:define-2d-contact (find-edge-id (position 0.0 (+ tsi tbox) 0.0)) "substrate")


;Contato Porta
(sdegeo:set-current-contact-set "gate")
(sdegeo:set-contact-boundary-edges (find-body-id (position 0.0 (- (+ tox 0.003)) 0.0)))
(sdegeo:delete-region (find-body-id (position 0.0 (- (+ tox 0.003)) 0.0)))
(sdegeo:set-contact-boundary-edges (find-body-id (position 0.0 (- (+ tox tporta)) 0.0)))
(sdegeo:delete-region (find-body-id (position 0.0 (- (+ tox tporta)) 0.0)))


;;;;;
;;Dopagem
;;;;;
; Canal
(sdedr:define-constant-profile "perfil_const" "ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-material "placement_perfil_const"  "perfil_const" "Silicon")

; Dreno
(sdedr:define-refeval-window "DopGaussDrenoJan" "Rectangle"  (position (+ (/ L 2) Lspacer
Lfd) (- tsifd) 0.0)     (position (+ (/ L 2) Lspacer ) tsi 0.0) )
(sdedr:define-gaussian-profile "DopGaussDrenoDef" "ArsenicActiveConcentration"
"PeakPos" 0  "PeakVal" 1e20 "Length" 0.010 "Gauss" "Length" 0)
(sdedr:define-analytical-profile-placement "DopGaussDreno" "DopGaussDrenoDef"
"DopGaussDrenoJan" "Both" "NoReplace" "Eval")
;(sdedr:define-refeval-window "DopGaussDrenoJan2" "Rectangle"  (position (+ (/ L 2)) 0.0
0.0)     (position (+ (/ L 2) Lspacer ) tsi 0.0) )
;(sdedr:define-gaussian-profile "DopGaussDrenoDef2" "ArsenicActiveConcentration"
"PeakPos" 0  "PeakVal" 5e19 "Length" 0.003 "Gauss" "Length" 0)
;(sdedr:define-analytical-profile-placement "DopGaussDreno2" "DopGaussDrenoDef2"
"DopGaussDrenoJan2" "Both" "NoReplace" "Eval")

; Fonte
(sdedr:define-refeval-window "DopGaussFonteJan" "Rectangle"  (position (- (+ (/ L 2)
Lspacer Lfd)) (- tsifd) 0.0)     (position (- (+ (/ L 2) Lspacer)) tsi 0.0) )
```

```
(sdedr:define-gaussian-profile "DopGaussFonteDef" "ArsenicActiveConcentration"
"PeakPos" 0  "PeakVal" 1e20 "Length" 0.010 "Gauss" "Length" 0)
(sdedr:define-analytical-profile-placement "DopGaussFonte" "DopGaussFonteDef"
"DopGaussFonteJan" "Both" "NoReplace" "Eval")
;(sdedr:define-refeval-window "DopGaussFonteJan2" "Rectangle"  (position (- (+ (/ L 2))) 0.0
0.0)     (position (- (+ (/ L 2) Lspacer)) tsi 0.0) )
;(sdedr:define-gaussian-profile "DopGaussFonteDef2" "ArsenicActiveConcentration"
"PeakPos" 0  "PeakVal" 5e19 "Length" 0.003 "Gauss" "Length" 0)
;(sdedr:define-analytical-profile-placement "DopGaussFonte2" "DopGaussFonteDef2"
"DopGaussFonteJan2" "Both" "NoReplace" "Eval")

;GP
;(sdedr:define-refeval-window "GPJan" "Rectangle"  (position (- (+ (/ L 2) Lspacer Lfd)) (+
tsi tbox) 0.0)     (position (+ (/ L 2) Lspacer Lfd) (+ tsi tbox 0.010) 0.0) )
;(sdedr:define-gaussian-profile "GPDef" "BoronActiveConcentration" "PeakPos" 0
"PeakVal" 1e18 "Length" 0.010 "Gauss" "Length" 0)
;(sdedr:define-analytical-profile-placement "GP" "GPDef" "GPJan" "Both" "NoReplace"
"Eval")
;;;;;
;;Grade
;;;;;

; Canal
; Interface canal-oxido
(sdedr:define-refinement-function "Si" "MaxLenInt" "Silicon" "Oxide" 0.0001 1.5
"DoubleSide")
(sdedr:define-refinement-region "GradeSi" "Si" "silicio")
; Interface canal-oxido enterrado
(sdedr:define-refinement-function "Sib" "MaxLenInt" "Silicon" "Oxide" 0.0002 1.5
"DoubleSide")
(sdedr:define-refinement-region "RefSi" "Sib"  "siliciob" )
; Oxido
(sdedr:define-refinement-material "RefOx" "Ox"  "Oxide" )

; Multibox fonte-canal-dreno
;;Fonte-Canal-Dreno
(sdedr:define-refeval-window "CanalFonte" "Rectangle" (position (- (+ (/ L 2) Lspacer)) 0.0
0.0) (position 0.0 tsi 0.0) )
(sdedr:define-refeval-window "CanalDreno" "Rectangle" (position (+ (/ L 2) Lspacer) 0.0 0.0)
(position 0.0 tsi 0.0) )
(sdedr:define-refeval-window "Fonte" "Rectangle" (position (- (+ (/ L 2) Lspacer Lfd)) 0.0
0.0) (position (- (+ (/ L 2) Lspacer)) tsi 0.0) )
(sdedr:define-refeval-window "Dreno" "Rectangle" (position (+ (/ L 2) Lspacer Lfd) 0.0 0.0)
(position (+ (/ L 2) Lspacer) tsi 0.0) )

(sdedr:define-multibox-size "MultiboxCanalFonte" 0.005 0.002 0.0005 0.002 1.2 1)
(sdedr:define-multibox-size "MultiboxCanalDreno" 0.005 0.002 0.0005 0.002 -1.2 1)
(sdedr:define-multibox-size "MultiboxFonte" 0.005 0.002 0.0005 0.002 -1.2 1)
(sdedr:define-multibox-size "MultiboxDreno" 0.005 0.002 0.0005 0.002 1.2 1)
; Aplicação multibox
```

```
(sdedr:define-multibox-placement "RefMultiboxCanalFonte" "MultiboxCanalFonte"
"CanalFonte")
(sdedr:define-multibox-placement "RefMultiboxCanalDreno" "MultiboxCanalDreno"
"CanalDreno")
(sdedr:define-multibox-placement "RefMultiboxFonte" "MultiboxFonte" "Fonte")
(sdedr:define-multibox-placement "RefMultiboxDreno" "MultiboxDreno" "Dreno")

; Meshing the device structure
(sde:build-mesh "snmesh" "" nome)
```

APÊNDICE B: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA CURVA ID VS VG

```
File {
	* output files:
	Output =  "IdxVg_L@L@-H@H@-tox@tox@-Nd@Nd@-
tbox100_n@node@_des.out"
	Plot =    "IdxVg_L@L@-H@H@-tox@tox@-Nd@Nd@-
tbox100_n@node@_des.tdr"
	Current = "IdxVg_L@L@-H@H@-tox@tox@-Nd@Nd@-
tbox100_n@node@_des.plt"
	PMIPath = "."
}

Physics {
	Temperature=300
	Mobility (
		Phumob
		Enormal
		HighFieldSaturation
		)
	Recombination( SRH(DopingDep TempDependence)
	)
	EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
}

Physics (Material="Silicon") { eQuantumPotential}

Physics (RegionInterface="silicio/oxido_porta") {
#Traps(eNeutral Uniform EnergyMid=@em@ EnergySig=@es@  fromCondBand
Conc=@conc@ Trapvolume=@tp@ alpha=@alpha@ PhononEnergy=@EP@
HuangRhys=@HR@)
Traps(
(eNeutral Uniform fromMidBandGap Conc=@conc@ EnergyMid=0.0 EnergySig=0.5
eXsection=1e-12 hXsection=1e-13)
)
}

Plot {
	AcceptorConcentration
	BandGap BandGapNarrowing
	ConductionBandEnergy
	ConductionCurrent
	DielectricConstant
	DonorConcentration
	Doping
	DisplacementCurrent
	eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal eEparallel
eEquilibriumDensity
```

```
        eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass
eSaturationVelocity eVelocity
        EffectiveBandGap EffectiveIntrinsicDensity
        ElectricField
        ElectronAffinity
        Potential EquilibriumPotential
        hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal hEparallel
hEquilibriumDensity
        hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass
hSaturationVelocity hVelocity
        IntrinsicDensity
        Temperature
        Current
        TotalRecombination
        ValenceBandEnergy
        SpaceCharge
        SRHRecombination
}

Device JL{
        File {
                * input files:
                Grid =    "L@L@-H@H@-tox@tox@-Nd@Nd@-tbox100_msh.tdr"
                Parameter = "Param.par"
                * output files:

        }
        Electrode {
                { Name="source"     Voltage= 0.000 }
                { Name="drain"     Voltage= 0.000 }
                { Name="gate"     Voltage= 0.000 Workfunction=5.25 }
                { Name="substrate" Voltage= 0.000 Material="Silicon"(P=1e15)}
        }
        CurrentPlot {
                Potential ((0,0,0) (0,-0.45,0) (0,0.45,0) (0.005,0,0) (0.005,-0.45,0)
(0.005,0.45,0))
                eDensity ( Average( Window[(-0.005,-0.45,-0.005) (0.005,-0.4,0.005)] )
                                Average( Window[(-0.005,0.45,-0.005) (0.005,0.4,0.005)] )
                        )
        }
}



System {
        JL t1 (source=f drain=d gate=g substrate=s)
        Vsource_pset Vd (d 0) {dc=0}
        Vsource_pset Vg (g 0) {dc=0}
        Vsource_pset Vf (f 0) {dc=0}
        Vsource_pset Vs (s 0) {dc=0}
```

```
        Plot "IdxVg_L@L@-H@H@-tox@tox@-Nd@Nd@-tbox100.txt" (v(g f) v(d f) i(t1 f)
t)
}


Math {
        Extrapolate
        NotDamped=2
        Iterations=20
        ExitOnFailure
        Smooth
        Method = pardiso
        number_of_threads = 2
}


Solve {

        Quasistationary         ( Initialstep=1 Minstep=1e-12 Maxstep=1
                Goal {Parameter=Vg.dc Value=0 } )
                {Coupled(Iterations=50) { Poisson }  CurrentPlot ( Time = (-1)) }

        Quasistationary         ( Initialstep=1 Minstep=1e-12 Maxstep=1
                Goal {Parameter=Vg.dc Value=0 } )
                {Coupled(Iterations=50) { Poisson }  CurrentPlot ( Time = (-1)) }

        Quasistationary         ( Initialstep=1 Minstep=1e-12 Maxstep=1
                Goal {Parameter=Vg.dc Value=0 } )
                {Coupled(Iterations=50) { Poisson Electron Hole }  CurrentPlot ( Time = (-1))
}


        Quasistationary         ( Initialstep=1 Minstep=1e-12 Maxstep=1
                Goal {Parameter=Vd.dc Value=@Vd@ } )
                {Coupled(Iterations=50) { Poisson Electron Hole }  CurrentPlot ( Time = (-1))
}

        Save (FilePrefix="Vd005V_IdxVg_L@L@-W@W@-H@H@-tox@tox@-
Nd@Nd@e18_")
        NewCurrentPrefix="Vd005V_"

        Quasistationary         ( Initialstep=1 Minstep=1e-12 Maxstep=1
                Goal {Parameter=Vg.dc Value=1.2} )
                {Coupled(Iterations=10) { Poisson Electron Hole }  CurrentPlot( Time =
(range = (0 1) intervals = 120))  }
```

APÊNDICE C: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA CURVA DE BOMBEAMENTO DE CARGAS

```
File {
        * output files:
        Output =  Pulse_L@L@-H@H@-tox@tox@-Nd@Nd@-
tbox100_n@node@_des.out
        Plot =    Pulse_L@L@-H@H@-tox@tox@-Nd@Nd@-tbox100_n@node@_des.tdr
        Current = Pulse_L@L@-H@H@-tox@tox@-Nd@Nd@-
tbox100_n@node@_des.plt
        PMIPath = "."
        TrappedCarPlotFile = "itraps_trappedcar_n@node@_des"
}

Physics {
        Temperature=300
        Mobility (
        #       Phumob
        #       Enormal
                HighFieldSaturation
                )
        Recombination( SRH(DopingDep TempDependence)
        )
        EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
}

Physics (Material="Silicon") { eQuantumPotential}

Physics (RegionInterface="silicio/oxido_porta") {
#       Traps(eNeutral Uniform EnergyMid=@em@ EnergySig=@es@  fromCondBand
Conc=@conc@ Trapvolume=@tp@ alpha=@alpha@ PhononEnergy=@EP@
HuangRhys=@HR@)
Traps(
```

```
(eNeutral Uniform fromMidBandGap Conc=@conc@ EnergyMid=0.0 EnergySig=0.5
eXsection=1e-12 hXsection=1e-13)
)
}
TrappedCarDistrPlot {
        MaterialInterface="Silicon/Oxide" {(0 0)}
}


Plot {
        AcceptorConcentration
        BandGap BandGapNarrowing
        ConductionBandEnergy
        ConductionCurrent
        DielectricConstant
        DonorConcentration
        Doping
        DisplacementCurrent
        eInterfaceTrappedCharge
        hInterfaceTrappedCharge
        eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal eEparallel
eEquilibriumDensity
        eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass
eSaturationVelocity eVelocity
        EffectiveBandGap EffectiveIntrinsicDensity
        ElectricField
        ElectronAffinity
        Potential EquilibriumPotential
        hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal hEparallel
hEquilibriumDensity
        hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass
hSaturationVelocity hVelocity
        IntrinsicDensity
        Temperature
```

```
        Current
        TotalRecombination
        ValenceBandEnergy
        SpaceCharge
        SRHRecombination
}

Device JL{
        File {
                * input files:
                Grid =    L@L@-H@H@-tox@tox@-Nd@Nd@-tbox100_msh.tdr
                Parameter = "Param.par"
                * output files:

        }
        Electrode {
                { Name="source"     Voltage= 0.000 }
                { Name="drain"     Voltage= 0.000 }
                { Name="gate"     Voltage= 0.000 Workfunction=5.25 }
                { Name="substrate" Voltage= 0.000 Material="Silicon"(P=1e15)}
        }
        CurrentPlot {
                Potential ((0,0,0) (0,-0.45,0) (0,0.45,0) (0.005,0,0) (0.005,-0.45,0)
(0.005,0.45,0))
                eDensity ( Average( Window[(-0.005,-0.45,-0.005) (0.005,-0.4,0.005)] )
                                Average( Window[(-0.005,0.45,-0.005)
(0.005,0.4,0.005)] )
                        )
        }
}



System {
```

```
        JL t1 (source=f drain=d gate=g substrate=s)
        Vsource_pset Vd (d 0) {dc=0}
        Vsource_pset Vg (g 0) {pulse = (@v1@ @v2@ @td@ @tr@ @tf@ @pw@
@per@)} # v1 v2 td tr tf pw per
        Vsource_pset Vf (f 0) {dc=0}
        Vsource_pset Vs (s 0) {dc=0}
        Plot Pulse_L@L@-H@H@-tox@tox@-Nd@Nd@-
tbox100_n@node@_conc@conc@e18_V1@v1@_V2@v2@_Td@td@_Tr@tr@_Tf@tf@_p
w@pw@_per@per@_des.txt (v(g f) v(d f) i(t1 f) time())
}


Math {
#       Extrapolate
#       NotDamped=2
        RelErrControl
        Iterations=200
        ExitOnFailure
        Smooth
#       Method = pardiso
        NoCheckTransientError
        number_of_threads = 2
}


Solve {

        Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
                Goal {Parameter=Vg.dc Value=0 } )
                {Coupled(Iterations=500) { Poisson Electron Hole }  CurrentPlot ( Time =
(-1)) }

        Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
                Goal {Parameter=Vg.dc Value=0 } )
```

```
                    {Coupled(Iterations=500) { Poisson Electron Hole }  CurrentPlot ( Time =
(-1)) }

          Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
                    Goal {Parameter=Vg.dc Value=0 } )
                    {Coupled(Iterations=500) { Poisson Electron Hole }  CurrentPlot ( Time =
(-1)) }


          Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
                    Goal {Parameter=Vg.dc Value=0.5 } )
                    {Coupled(Iterations=500) { Poisson Electron Hole }  CurrentPlot ( Time =
(-1)) }

#         Save (FilePrefix="Vd005V_IdxVg_L@L@-W@W@-H@H@-tox@tox@-
Nd@Nd@e18_")
#         NewCurrentPrefix="Vd005V_"
#
          Transient          ( Initialtime=0 Finaltime=1e-5 Initialstep=1e-6 Maxstep=1e-6
Minstep=1e-18  )
                    {Coupled(Iterations=100) { Poisson Electron Hole } Plot (Time= (6.01e-7
; 1e-5))  CurrentPlot( Time = (range = (0 6e-7) intervals = 500; range = (6e-7 6.01e-1)
intervals = 10000; range = (6e-7 1e-6) intervals = 10000; range = (1e-6 1e-5) intervals =
2000))  }
}
```