CENTRO UNIVERSITÁRIO FEI
MARCOS PEREIRA PICOLI JUNIOR

RUÍDO TELEGRÁFICO EM TRANSISTORES SEM JUNÇÕES

SÃO BERNARDO DO CAMPO

2021

MARCOS PEREIRA PICOLI JUNIOR

RUÍDO TELEGRÁFICO EM TRANSISTORES SEM JUNÇÕES

Dissertação apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica. Orientado pelo Prof. Rodrigo Trevisoli Doria.

São Bernardo do Campo

2021

Pereira Picoli Junior, Marcos.

Ruído telegráfico em transistores sem junções / Marcos Pereira Picoli Junior. São Bernardo do Campo, 2021.

78 p. : il.

Dissertação - Centro Universitário FEL.

Orientador: Prof. Dr. Rodrigo Trevisoli Doria.

1. Transistores MOS sem junções. 2. Junctionless nanowires. 3. Armadilhas de interface. 4. Ruído de baixa frequência. 5. Ruído telegráfico. I. Trevisoli Doria, Rodrigo, orient. II. Título.

Aluno: Marcos Pereira Picoli Junior

Matrícula: 118115-5

Título do Trabalho: Ruído telegráfico em transistores sem junções.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Rodrigo Trevisoli Doria

Data da realização da defesa: 26/02/2021

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

O aluno efetuou a apresentação de seu trabalho de mestrado de forma satisfatória e respondeu adequadamente aos questionamentos da banca, tendo sido aprovado na defesa de sua dissertação.

São Bernardo do Campo, 26 / 02 / 2021.

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Rodrigo Trevisoli Doria

Ass.: _____

Prof. Dr. Roberto Baginski Batista Santos

Ass.: _____

Prof. Dr. Alberto Vinícius de Oliveira

Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒

REPROVADO ☐

VERSÃO FINAL DA DISSERTAÇÃO

**APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE
FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA
EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

RESUMO

Neste trabalho é apresentado um estudo dos efeitos causados pelas armadilhas de interface em transistores MOS (*Metal Oxide Semiconductor*) sem junções (*Junctionless Nanowire Transistors* – JNTs), mais especificamente de uma vertente de seus efeitos, o ruído telegráfico (*Random Telegraph Signal* – RTS). O objetivo é analisar, através de simulações numéricas, quais são os efeitos do ruído telegráfico em JNTs de diferentes larguras, avaliando as correlações entre a densidade de armadilhas de interface e os efeitos em suas propriedades elétricas, como na corrente de dreno, por exemplo.

Estes dispositivos apresentam uma concentração constante de dopantes entre a fonte e o dreno, possibilitando que se sobressaia quando comparado com transistores convencionais durante o processo de fabricação, pois evita um problema comum que é a difusão de dopantes para o interior do canal durante as implantações de fonte e dreno para transistores de tamanho reduzido (em nós tecnológicos inferiores a 20nm). Os transistores sem junções apresentam condução em modo de depleção parcial ou acumulação, o que faz com que o efeito das armadilhas em seu ruído de baixa frequência seja diferente daquele observado em transistores de modo inversão, visto que o comportamento do potencial na interface silício-óxido é diferente em ambas as estruturas. Assim, o estudo do ruído telegráfico em JNTs se faz necessário, uma vez que ajuda a entender melhor os efeitos presentes no dispositivo e pode auxiliar na escolha de técnicas aplicadas no processo de fabricação destes componentes.

Primeiramente, foram realizados estudos sobre os transistores e as tecnologias implementadas nos JNTs mais atuais. Em seguida, utilizando modelos numéricos, foram feitas simulações para diversos comprimentos de canal. Nesta dissertação de mestrado, são apresentados resultados de simulações numéricas, validados através de resultados experimentais, onde se pode observar que o mecanismo de condução afeta de modo significativo o comportamento do RTS, uma vez que altera o campo elétrico e o potencial de superfície do dispositivo. Foi possível notar também sua dependência com as características elétricas e posicionamento das armadilhas de interface no interior do canal do dispositivo, onde se pode concluir que armadilhas posicionadas mais próximo à região de fonte resultam em um aumento do RTS.

Palavras-chave: Transistor MOS sem junções; junctionless nanowires; armadilhas de interface; ruído de baixa frequência; ruído telegráfico.

ABSTRACT

This work presents a study of the effects caused by interface traps in Junctionless Nanowire Transistors, specially one of them: the random telegraphic noise. The main objective is to analyze in both ways, experimentally and numerically, this specific kind of noise, using a set of dimensions and trap densities. Through the analysis of these data, there is the expectation of finding correlations between the trap density and its effects in the telegraphic noise.

The study of Junctionless Nanowire Transistors is necessary as this kind of device presents a constant doping concentration in its structure. This way, the fabrication process of Junctionless devices is easier than the one of conventional transistors, since it is not subjected to a common problem to regular devices that is the dopants diffusion into the channel region during the formation of the drain and the source regions. This problem is more noticeable in smaller devices, for technological nodes lower than 20nm. This research is particularly important as it can represent a step ahead to make viable the application of Junctionless transistors to commercial circuits, since it aims to promote a better understanding the effects present in the device.

The first step of this work was the study of the recent fabrication methods and technologies used to fabricate Junctionless Nanowire Transistors. In sequence, using numerical models validated through experimental data, the effects of different trap density levels to a variety of channel lengths were simulated. The obtained results show that for different conduction mechanism, the RTS is drastically affected once the electric field and the surface potential presents different behaviors for each mechanism. Other noticeable result is its dependence on the interface traps location along the channel region. When positioned closer to the source region, the noise value increases.

Keywords: Junctionless Nanowire Transistors, telegraphic noise, interface traps, low frequency noise.

LISTA DE ILUSTRAÇÕES

Figura 1 - Exemplo de diagrama de bandas de energia de um semiconductor intrínseco.	17
Figura 2 - Diagrama de bandas de energia de três materiais diferentes, metal, óxido e semiconductor.	18
Figura 3 - Diagrama de bandas de energia de um capacitor MOS utilizando como um material semiconductor com dopantes tipo P.....	19
Figura 4 - Estrutura de um transistor nMOS. Em azul pontilhado, a área que pode ser comparada a um capacitor MOS.	20
Figura 5 - Comparação entre estrutura usual, conhecida como bulk (à esquerda) e uma estrutura SOI (à direita). Na imagem também é possível observar algumas nomenclaturas. Em rosa, no canal de ambos os dispositivos, observa-se uma ilustração da influência das junções de fonte e dreno.	21
Figura 6 - Diagrama de bandas de cada um dos modos de operação do capacitor MOS formado por um material semiconductor tipo P.....	22
Figura 7 - Modos de operação de um transistor SOI totalmente depletado. A região escura é onde se encontram os modos de operação mais indicados para este transistor.	23
Figura 8 - Estrutura de um transistor SOI modo acumulação com dopantes de fonte-canaldreno tipo P. [1].....	24
Figura 9 - (1) Estrutura convencional, contendo apenas uma porta;(2) Estrutura de duas portas;(3) Estrutura de porta tripla.	25
Figura 10 – Exemplo de estrutura multi-fins.....	26
Figura 11 – Comparação entre a estrutura de um transistor sem junções utilizando tecnologia SOI (A) e um transistor modo inversão utilizando tecnologia SOI (B)	27
Figura 12 - Gráficos de Log (I_D) vs V_{GS} para os transistores modo inversão (a), modo acumulação (b) e sem junções (c).....	29
Figura 13 - Formato de uma função Lorentzian. Observa-se também um comparativo com o decaimento de $1/f^2$	35
Figura 14 - Exemplo de ruído RTS para um transistor MOS. No gráfico vê-se a variação do sinal da corrente de dreno ao armadilhar um elétron e ao emitir o elétron armadilhado.	37
Figura 15 - Demonstração gráfica da somatória de diversas Lorentzians gerando um gráfico de aproximadamente $1/f$	39
Figura 16 - Comparativo das curvas do ruído $1/f$, geração e recombinação e ruído branco. Também é demonstrada a resultante da somatória destes ruídos.	39

Figura 17 - Exemplo de estrutura 2D de um MOSFET no software Sentaurus Device.....	40
Figura 18 - Resultado da simulação do código descrito no APENDICE I. Parâmetros utilizados: $L=100$ nm, $H=10$ nm, $W=10$ nm, $t_{box}=150$ nm, $t_{ox}=2$ nm, $N_d=10e18$ cm ⁻³ e $L_{fd}=30$ nm.	41
Figura 19 - Grade do dispositivo simulado utilizando o código descrito no ANEXO I. Parâmetros utilizados: $L=100$ nm, $H=10$ nm, $W=10$ nm, $t_{box}=150$ nm, $t_{ox}=2$ nm, $N_d=10e18$ cm ⁻³ e $L_{fd}=30$ nm.	42
Figura 20 – Comparação entre resultado experimental e simulação numérica.	45
Figura 21 - Curva I_D x V_G variando a concentração de armadilhas de interface. Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $V_d=0,05$ V, $V_{bs}=0$ V e $conc=5e10$ cm ⁻² ; $1e11$ cm ⁻² ; $5e11$ cm ⁻² ; $1e12$ cm ⁻²	47
Figura 22 - Curva I_D x V_G variando a concentração de armadilhas de interface. Parâmetros: $L=100$ nm, $W=20$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $V_d=0,05$ V, $V_{bs}=0$ V e $conc=5e10$ cm ⁻² ; $1e11$ cm ⁻² ; $5e11$ cm ⁻² ; $1e12$ cm ⁻²	47
Figura 23 - Curva da segunda derivada de I_D x V_G variando a concentração de armadilhas de interface. Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $V_d=0,05$ V, $V_{bs}=0$ V e $conc=5e10$ cm ⁻² ; $1e11$ cm ⁻² ; $5e11$ cm ⁻² ; $1e12$ cm ⁻²	48
Figura 24 - Curva da segunda derivada de I_D x V_G variando a concentração de armadilhas de interface. Parâmetros: $L=100$ nm, $W=20$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $V_d=0,05$ V, $V_{bs}=0$ V e $conc=5e10$ cm ⁻² ; $1e11$ cm ⁻² ; $5e11$ cm ⁻² ; $1e12$ cm ⁻²	49
Figura 25 - Curva de SID x f variando a energia de distribuição (E). Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $T=300$ K, $V_d=0,05$ V, $V_{bs}=0$ V, $V_{tgmId}=0,64$ V, $V_{gt}=0,2$ V, $conc=1e12$ cm ⁻² e $E=0,1$ eV; $0,2$ eV; $0,3$ eV; $0,4$ eV; $0,5$ eV.	50
Figura 26 - Curva de SID x f variando a energia de distribuição (E). Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $T=300$ K, $V_d=0,05$ V, $V_{bs}=0$ V, $V_{tgmId}=0,64$ V, $V_{gt}=0,4$ V, $conc=1e12$ cm ⁻² e $E=0,1$ eV; $0,2$ eV; $0,3$ eV; $0,4$ eV; $0,5$ eV.	50
Figura 27 - Curva de SID x f variando a energia de distribuição (E). Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $T=300$ K, $V_d=0,05$ V, $V_{bs}=0$ V, $V_{tgmId}=0,64$ V, $V_{gt}=0,6$ V, $conc=1e12$ cm ⁻² e $E=0,1$ eV; $0,2$ eV; $0,3$ eV; $0,4$ eV; $0,5$ eV.	51
Figura 28 - Curva de SID x f variando a energia de distribuição (E). Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $T=300$ K, $V_d=0,05$ V, V_{bs}	

= 0 V, $V_{tgmId} = 0,64$ V, $V_{gt} = 0,8$ V, $conc = 1e12$ cm ⁻² e $E = 0,1$ eV; 0,2 eV; 0,3 eV; 0,4 eV; 0,5 eV.	51
Figura 29 - Gráfico do Plateau de SId x E utilizando os dados das Figuras 25 a 28.....	53
Figura 30 - Visualização gráfico monolog da equação (4-1) para os valores 0,2 eV; 0,3 eV; 0,4 eV; 0,5 eV de E	53
Figura 31 - Curva de SId x f a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgmId}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $Lfd = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $Vd = 0,05$ V, $Vbs = 0$ V, $V_{tgmId} = 0,64$ V, $E = 0,1$ eV, $conc = 1e12$ cm ⁻² e $V_{gt} = 0,1$ V; 0,2 V; 0,3 V; 0,4 V.	54
Figura 32 - Curva de SId x f variando a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgmId}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $Lfd = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $Vd = 0,05$ V, $Vbs = 0$ V, $V_{tgmId} = 0,64$ V, $E = 0,4$ eV, $conc = 1e12$ cm ⁻² e $V_{gt} = 0,1$ V; 0,2 V; 0,3 V; 0,4 V.	55
Figura 33 - Curva de SId x f variando a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgmId}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $Lfd = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $Vd = 0,05$ V, $Vbs = 0$ V, $V_{tgmId} = 0,64$ V, $E = 0,1$ eV, $conc = 1e12$ cm ⁻² e $V_{gt} = 0,5$ V; 0,6 V; 0,7 V; 0,8 V.	55
Figura 34 - Curva de SId x f variando a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgmId}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $Lfd = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $Vd = 0,05$ V, $Vbs = 0$ V, $V_{tgmId} = 0,64$ V, $E = 0,4$ eV, $conc = 1e12$ cm ⁻² e $V_{gt} = 0,5$ V; 0,6 V; 0,7 V; 0,8 V.	56
Figura 35 - Gráfico da frequência de corte x V_{gt} utilizando os dados das figuras 33 e 34. ...	57
Figura 36 – Vista superior do canal do dispositivo JNT simulado. O óxido é demonstrado pelo contorno na cor rosa, porém é demonstrado apenas o canal de silício.	58
Figura 37 - Estrutura do dispositivo demonstrando armadilhas em diversas posições de Y que foram utilizadas nas simulações. (A) $Y = 0$ μ m; (B) $Y = -0,01$ μ m; (C) $Y = -0,02$ μ m; (D) $Y = -0,03$ μ m.	59
Figura 38 - Estrutura do dispositivo demonstrando armadilhas em diversas posições de Y que foram utilizadas nas simulações. (A) $Y = 0$ μ m; (B) $Y = 0,01$ μ m; (C) $Y = 0,02$ μ m; (D) $Y = 0,03$ μ m.	59
Figura 39 - Curva de SId x f variando a posição da concentração de armadilhas, conforme figuras 37 e 38. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $Lfd = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $Vd = 0,05$ V, $Vbs = 0$ V, $V_{tgmId} = 0,64$ V, $E = 0,4$ eV, $conc = 1e12$	

cm⁻², V_{gt} = 0,1 V e Y = -0,03 μm, -0,02 μm, -0,01 μm, 0,00 μm, 0,01 μm, 0,02 μm e 0,03 μm.

..... 60

Figura 40 - Campo elétrico no canal do transistor simulado em depleção parcial..... 60

Figura 41 - Curva de S_{Id} x f variando a posição da concentração de armadilhas, conforme figuras 34 e 35. Parâmetros: L= 100 nm, W= 10 nm, H= 10 nm, L_{fd} = 30 nm, t_{ox} = 2 nm, t_{box} = 150 nm, T=300 K, V_d = 0,05 V, V_{bs} = 0 V, V_{tgmId} = 0,64 V, E = 0,4 eV, conc= 1e12 cm⁻², V_{gt} = 0,6 V e Y = -0,03 μm, -0,02 μm, -0,01 μm, 0,00 μm, 0,01 μm, 0,02 μm e 0,03 μm.

..... 61

Figura 42 - Campo elétrico no canal do transistor simulado em acumulação..... 61

Figura 43 - Plateau de S_{Id} x Variação no eixo Y para operação em acumulação e depleção parcial. Utilizado os dados das Figuras 39 e 41. 62

LISTA DE TABELAS

Tabela 1 - Parâmetros utilizados para as estruturas simuladas neste trabalho.	44
---	----

LISTA DE SÍMBOLOS

$d_{\max}$	Espessura máxima da camada de depleção [nm]
E_g	Altura da banda proibida [eV]
E_F	Nível de Fermi do silício intrínseco [eV]
E_v	Nível energético máximo de valência [eV]
E_c	Nível energético mínimo da banda de condução [eV]
E_{FM}	Nível de Fermi do metal [eV]
$E_{\text{vácuo}}$	Energia necessária para o elétron se desligar do átomo [eV]
E_{FSi}	Nível de Fermi do silício dopado [eV]
f	Frequência [Hz]
H	Altura do canal [nm]
H_{Fin}	Altura do fin [nm]
I_{acc}	Corrente que flui pela camada de acumulação [A]
I_b	Corrente que flui pelo corpo do dispositivo [A]
I_D	Corrente de dreno [A]
k	Constante de Boltzmann [$1,38 \times 10^{-23}$ J/K]
L	Comprimento do canal [nm]
L_{fd}	Comprimento da fonte/dreno [nm]
N_A	Concentração de dopantes aceitadores [cm^{-3}]
N_D	Concentração de dopantes doadores [cm^{-3}]
$N_{T,ocupada}$	Número médio de armadilhas ocupadas [cm^{-3}]
$N_{T,vazia}$	Número médio de armadilhas vazias [cm^{-3}]
SId	Densidade espectral de potência do ruído na corrente de dreno [A^2/Hz]
t_{box}	Espessura do óxido enterrado [nm]
t_{ox}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]
V_{CH}	Tensão no interior do canal [V]
V_G	Tensão aplicada na porta [V]
V_{g1}	Tensão aplicada na porta superior do transistor SOI [V]
V_{g2}	Tensão aplicada no substrato do transistor SOI [V]
V_{GImId}	Tensão de limiar extraída utilizando o método da segunda derivada [V]
V_{GT}	Tensão acima da tensão de limiar [V]

V_{FB}	Tensão de faixa plana [V]
V_{GS}	Tensão aplicada entre porta e fonte [V]
V_{TH}	Tensão de limiar [V]
V_{DS}	Tensão aplicada entre dreno e fonte [V]
W	Largura do canal [nm]
W_{Fin}	Largura do <i>fin</i> [nm]
ΔN	Flutuação do número de portadores [cm ⁻³]
τ	Constante de tempo média de captura [s]
τ_l	Constante de tempo de estado baixo [s]
τ_h	Constante de tempo de estado alto [s]
Φ_F	Potencial de Fermi [V]
Φ_S	Potencial de superfície [V]
Φ_{Si}	Função trabalho do silício [eV]
Φ_M	Função trabalho do metal [eV]
χ_{Ox}	Afinidade eletrônica do óxido [eV]
χ_{Si}	Afinidade eletrônica do silício [eV]

SUMÁRIO

1. INTRODUÇÃO	15
2. REVISÃO BIBLIOGRÁFICA	17
2.1. TRANSISTORES MOS	17
2.2.1. Transistores SOI Modo Inversão.....	21
2.2.2. Transistores SOI modo acumulação.....	24
2.3. TRANSISTORES MÚLTIPLAS PORTAS	25
2.4. TRANSISTORES MOS SEM JUNÇÕES (<i>JUNCTIONLESS</i>)	27
2.4.1. Funcionamento de um JNT	27
2.5. ARMADILHAS E FALHAS EM DISPOSITIVOS SEMICONDUTORES ...	30
2.6. RUÍDO.....	31
2.6.1. Tratamento Matemático	31
2.6.2. Ruído Térmico	33
2.6.3. Ruído Shot.....	34
2.6.4. Ruído Branco	34
2.6.5. Ruído de Geração e Recombinação (g-r)	35
2.6.6. Ruído RTS (<i>Random-Telegraph-Signal</i>).....	36
2.6.7. Ruído $1/f$	38
3. SIMULAÇÕES NUMÉRICAS.....	40
3.1. SENTAURUS DEVICE	40
3.2. ESTRUTURA SIMULADA	41
3.3. PARÂMETROS DE SIMULAÇÃO	42
4. RESULTADOS	45
4.1. CURVAS $I_D \times V_G$ – VARIANDO CONCENTRAÇÃO DE ARMADILHAS .	46
4.2. EXTRAÇÃO DE V_{TH} ATRAVÉS DA SEGUNDA DERIVADA DE $I_D \times V_G$	48
4.3. $S_{ID} \times F$ - DIFERENTES DISTRIBUIÇÕES ENERGÉTICAS	49
4.4. $S_{ID} \times F$ - DIFERENTES TENSÕES DE PORTA (V_{GT}).....	54
5. CONCLUSÃO.....	63
7. REFERÊNCIAS BIBLIOGRÁFICAS	66

1. INTRODUÇÃO

A redução acelerada das dimensões dos dispositivos eletrônicos, com o objetivo de aumentar a capacidade de processamento, faz com que novas tecnologias sejam desenvolvidas para atender a essa demanda. Atualmente, temos, no meio comercial, transistores com o comprimento de canal de 14 nm¹. Porém, isso não garante que todos os dispositivos contidos em um circuito integrado sejam deste tamanho, e isso não acontece simplesmente por falta de viabilidade comercial, também por variabilidade nos processos de fabricação utilizados². A miniaturização dos dispositivos gera uma série de consequências que degradam suas características elétricas.

Os efeitos causados pela miniaturização dos componentes são conhecidos como “Efeitos de Canal Curto”³, que ocorrem quando a porta do transistor tem seu controle eletrostático reduzido e as regiões de depleção oriundas das regiões de fonte e dreno passam a ter uma influência maior no canal. Alguns dos problemas observados devido às dimensões reduzidas podem ser minimizados com uma tecnologia já conhecida e presente no mercado, denominada SOI (*Silicon-On-Insulator*)⁴. A tecnologia SOI é, de modo resumido, a adição de uma camada de óxido enterrado entre a região ativa da lâmina, onde são fabricados os transistores, e o substrato. Outra tecnologia que também possibilita a redução dos efeitos de canal curto, consiste na adição de portas adicionais ao transistor, possibilitando assim maior controle das cargas por parte da porta do transistor⁵⁻⁷.

As tecnologias já presentes no mercado com as de múltiplas portas⁸ conseguem solucionar efeitos decorrentes da redução das dimensões até certo ponto, pois com o avanço da miniaturização dos dispositivos, observa-se também a dificuldade de criar junções abruptas, pois durante o processo de fabricação, os dopantes da fonte e do dreno se difundem de modo significativo na região do canal. O *Junctionless Nanowire Transistor* – JNT⁹, ou transistor sem junções, foi proposto visando solucionar este problema, uma vez que, desde a fonte até o dreno, apresenta uma concentração constante de dopantes do mesmo tipo, superando esta limitação¹⁰. Porém, com um dispositivo novo, tem-se a necessidade de um amplo estudo para entender todos os efeitos relacionados a ele, sendo objetivo deste trabalho estudar o ruído telegráfico, o qual é causado por armadilhas de interface, dentro deste dispositivo. No decorrer do trabalho será verificado o comportamento deste ruído em função da frequência com a variação dos potenciais aplicados, distribuição das armadilhas e da largura do dispositivo.

Nos capítulos seguintes, será efetuada uma breve revisão bibliográfica, explicando os conceitos fundamentais necessários para este trabalho. Primeiramente, será feita uma

introdução sobre transistores e, em seguida, sobre a tecnologia SOI, sendo assim possível apresentar o transistor sem junções (JNT), seu modo de funcionamento e principais características. Dando sequência, será introduzido o tópico relativo ao ruído, onde será explicado o conceito de armadilha de interface, permitindo também dar início ao tópico de estudo deste trabalho, o ruído telegráfico. Após a introdução teórica, serão apresentados os resultados das simulações numéricas feitas no *software* Sentaurus Device validadas a partir de resultados experimentais, tendo como tópico final as conclusões obtidas neste trabalho.

2. REVISÃO BIBLIOGRÁFICA

Este tópico visa apresentar os temas relevantes para o entendimento deste trabalho. O conteúdo está em uma ordem que visa facilitar a compreensão dos temas, iniciando com conceitos básicos e indo até o tema específico de estudo deste trabalho.

2.1. Transistores MOS

Os transistores MOS (Metal-Óxido-Semicondutor) são bastante conhecidos e usuais no meio comercial. Estes são formados, como o próprio nome diz, por uma camada de metal e óxido isolante, as quais definem a região da porta, e uma camada de semicondutor, composta por regiões com diferentes dopantes, que definem fonte, dreno e canal. Este dispositivo apresenta três modos de operação, sendo eles: triodo, corte e saturação. Neste trabalho, o foco será o funcionamento interno do dispositivo.

Para criar uma ordem de entendimento neste documento, serão apresentados alguns conceitos básicos, necessários para compreensão do funcionamento de um transistor MOS. Na Figura 1, é apresentado um diagrama de bandas de energia típico de materiais semicondutores, como o silício, utilizado nos transistores MOS.

Figura 1 - Exemplo de diagrama de bandas de energia de um semicondutor intrínseco.

Fonte: Autor

Este diagrama apresenta alguns níveis energéticos, sendo eles: nível energético mínimo da banda de condução (E_C), nível energético máximo de valência (E_V), nível de Fermi (E_F), e a largura da banda proibida (E_g). As energias de condução e de valência são, respectivamente, o nível energético em que o elétron consegue se mover pela eletrosfera dos átomos próximos a ele, e o último nível energético ocupado do átomo. Já o nível de Fermi é o nível energético com 50% de chance de encontrar um elétron. No material intrínseco, este nível se situa no centro da banda proibida. Conforme adicionamos impurezas, podemos movimentá-lo para mais próximo

da condução (impurezas tipo N) ou mais próximo da valência (impurezas tipo P). A banda proibida é o intervalo energético que deverá ser atravessado por um elétron no topo da banda de valência para alcançar o nível mínimo da banda de condução. Todas essas energias são medidas em eV. Cada material apresenta seu próprio diagrama, podendo ser alterado de acordo com as modificações que forem feitas em suas propriedades físicas, como a adição de impurezas, por exemplo. Ao juntar materiais de diferentes propriedades físicas, o diagrama de bandas de energia do conjunto é modificado.¹¹

Na Figura 2, são apresentados os diagramas de bandas de três materiais diferentes: óxido, metal e semiconductor, responsáveis pela formação de um transistor MOS. Ao colocar o óxido entre o metal e o semiconductor tipo P, o óxido funciona como um dielétrico e é formado um capacitor MOS. Este é um conceito fundamental para entender o funcionamento de um transistor MOS.

Figura 2 - Diagrama de bandas de energia de três materiais diferentes, metal, óxido e semiconductor.

Fonte: Autor

Continuando a análise da Figura 2, tem-se o nível energético do vácuo ($E_{\text{vácuo}}$) funcionando como referência para os todos os materiais. Pode-se ver que, no caso do metal, há apenas um nível energético apresentado. Isso ocorre porque, em um metal, o nível de Fermi (E_{FM}) passa pelo interior de uma banda de estados deslocalizados, o que garante que há muitos níveis de energia disponíveis (termicamente acessíveis) para condução em torno do nível de Fermi. No caso do óxido, o qual funciona como isolante, sua representação é feita por um retângulo, visto que é extremamente difícil algum de seus elétrons chegar até seu nível energético de condução. Já no caso do semiconductor, observa-se um nível de Fermi deslocado com relação ao do silício intrínseco. Isso ocorre devido às impurezas adicionadas ao material. Conforme descrito anteriormente, ao juntar esses três materiais, obtém-se um capacitor MOS, tendo o óxido como o dielétrico.

Na Figura 3, é observado o diagrama de bandas de energia de um capacitor MOS, o qual é gerado após a junção dos materiais ilustrados na Figura 2. Como pode ser visto neste diagrama de bandas, o nível de Fermi é constante em todo o dispositivo. Sendo assim, há uma inclinação devido à diferença das características elétricas de cada material, que proporciona uma queda de potencial linear ao longo do óxido¹¹. Logo após a junção óxido-semicondutor, pode-se observar uma região de depleção, notada a partir do encurvamento dos níveis energéticos do semicondutor junto à interface com o óxido. Isso ocorre principalmente pela diferença de função trabalho existente entre metal e o semicondutor⁴.

Figura 3 - Diagrama de bandas de energia de um capacitor MOS utilizando como um material semicondutor com dopantes tipo P.

Fonte: Autor

Na Figura 4, é apresentada uma esquemática de um transistor MOS. Nesta figura, a área pontilhada em azul é identificada como um capacitor MOS e sua aplicação dentro do transistor MOS. Devido à junção dos materiais, tem-se uma região de depleção no semicondutor junto à interface com o óxido. Caso seja aplicada uma tensão entre porta e fonte (V_{GS}) maior do que a tensão de limiar (V_{TH}), o capacitor passará do estado de depleção para o estado de inversão. Desse modo, próximo à interface entre óxido-semicondutor, ocorrerá a formação de um canal de condução formado por elétrons¹². Esse é o funcionamento de um transistor MOS. Existem diversos fatores que devem ser levados em consideração, principalmente para tamanhos reduzidos, que afetam este transistor e seu funcionamento.

Figura 4 - Estrutura de um transistor nMOS. Em azul pontilhado, a área que pode ser comparada a um capacitor MOS.

Fonte: Autor

Conforme pode ser observado na estrutura ilustrada na Figura 4, além da presença do capacitor na região da porta, observa-se também duas junções PN, entre Fonte-Substrato e Dreno-Substrato. Como esperado, ao se formar uma junção PN, obtém-se uma região de depleção, a qual tem influência no canal que será formado durante a operação do transistor. Logo, outro fator para ser levado em consideração durante a operação do dispositivo será a tensão elétrica entre os terminais de fonte e dreno, a qual é chamada de V_{DS} . Para baixos valores de V_{DS} ($V_{DS} < V_{GS} - V_{TH}$), o transistor opera em regime de triodo, onde é observada a presença de canal sob toda a região de porta desde a fonte até o dreno. Ao se aumentar V_{DS} ($V_{DS} > V_{GS} - V_{TH}$), ocorre o pinçamento do canal junto ao dreno, visto que a diferença de potencial entre porta e canal junto à interface com o dreno é menor que a necessária para a formação do canal. Neste caso, diz-se que o transistor opera em regime de saturação, onde a corrente que flui entre fonte e dreno adquire seu valor máximo e apresenta pouca dependência com V_{DS} .

2.2. Tecnologia SOI (*Silicon-on-Insulator*)

Conforme apresentada anteriormente, a estrutura de um transistor MOS consiste na junção de materiais feita em um substrato também de silício, que usualmente apresenta dopagem intrínseca. A tecnologia SOI adiciona uma camada de isolante entre o substrato e a estrutura do transistor. Uma comparação entre estruturas pode ser observada na Figura 5, onde são apresentados esquemas de ambas, considerando as regiões de depleção entre fonte/dreno e canal.

Figura 5 - Comparação entre estrutura usual, conhecida como *bulk* (à esquerda) e uma estrutura *SOI* (à direita). Na imagem também é possível observar algumas nomenclaturas. Em rosa, no canal de ambos os dispositivos, observa-se uma ilustração da influência das junções de fonte e dreno.

Fonte: Autor

A estrutura *SOI* apresenta uma série de vantagens quando comparada à estrutura *bulk*. Uma das vantagens mais notáveis pode ser observada na eliminação do tiristor parasitário⁴. Ao isolar a parte ativa da lâmina e o substrato, elimina-se a criação de junções PNP e NPN indesejadas. Outra vantagem considerável é a redução de efeitos de canal curto. Conforme pode ser observado na Figura 5, em coloração rosa, a influência das regiões de depleção tanto da fonte quanto do dreno nas cargas abaixo da porta é menor, permitindo que o controle das cargas no canal seja realizado de forma mais eficiente pela porta do transistor. Deste modo, o uso da tecnologia *SOI* se torna viável em circuitos de grande complexidade, por facilitar a previsão do comportamento dos transistores e por sua estrutura ocupar um espaço menor. Por último, também é possível observar uma redução das capacitâncias parasitárias de junções, por haver uma camada de dielétrico isolando o substrato⁴.

Mesmo com todas as vantagens citadas acima, a tecnologia *SOI* apresenta um problema bastante notável, sendo este a dificuldade da dissipação de calor, devido à espessa camada de óxido. Este problema gera um fenômeno conhecido como autoaquecimento^{4,13}, que leva a alterações nas propriedades físicas do transistor quando aquecido, gerando ciclos de elevação de temperatura. Os problemas relacionados à temperatura podem causar falhas em dispositivos que utilizam esta tecnologia.

2.2.1. Transistores *SOI* Modo Inversão

Conforme observado na seção 2.1 deste documento, transistores são formados a partir de um capacitor MOS⁴. Os capacitores MOS apresentam estados de operação distintos, fazendo com que eles variem as características do material semicondutor que os forma. Os modos de

operação do capacitor MOS são os seguintes: acumulação, depleção e inversão⁴. O estado de acumulação do capacitor MOS resultará no acúmulo de portadores na interface óxido-semicondutor do mesmo tipo de seu semiconductor. Caso a tensão no metal tenha intensidade de modo a reduzir totalmente a camada de depleção causada pela diferença de elétrons ao juntar os materiais, o capacitor passará por um estado denominado faixa plana, em que a quantidade de cargas no metal e no semiconductor será a mesma, de modo que a interface entre óxido e semiconductor fique neutra. Em seguida, ao se continuar variando o potencial aplicado ao metal, o material semiconductor na interface óxido-semicondutor começará a depletar. A região de depleção é onde o potencial da porta irá afastar os portadores majoritários disponíveis no material semiconductor do capacitor. Logo, a região ficará sem portadores livres. Após o potencial onde a região de depleção alcança seu máximo (correspondente a V_{TH}), o capacitor entrará em inversão. Neste modo de operação, na interface óxido-semicondutor será gerado um canal de portadores inversos ao do material semiconductor em questão. Este canal será usado para condução em transistores modo inversão. Na Figura 6, é possível observar o diagrama de bandas de cada um destes modos de operação do capacitor MOS.

Figura 6 - Diagrama de bandas de cada um dos modos de operação do capacitor MOS formado por um material semiconductor tipo P.

Fonte: Autor

Entender o funcionamento dos capacitores MOS é essencial para compreender as diferenças de operação em transistores *bulk* e aqueles obtidos aplicando tecnologia SOI. Como é possível observar na Figura 5 à direita, na tecnologia SOI haverá a formação de dois capacitores, um na porta do dispositivo, idêntico à tecnologia *bulk*, enquanto o outro se forma entre a camada de óxido enterrado e o substrato. Esse segundo capacitor faz com que haja a possibilidade de formação de dois canais de condução, variando de acordo com o estado em que se encontram os capacitores.

Ao formar ambos os capacitores, podemos obter diferentes propriedades para o dispositivo, variando de acordo com a espessura do silício presente no canal (t_{si}) e a concentração de dopantes (N_A ou N_D , no caso de dopantes aceitadores ou doadores, respectivamente)⁴. Outra característica que influencia o dispositivo é a temperatura de operação, a qual faz com que suas propriedades físicas se alterem. Os dispositivos podem ser categorizados em três tipos, totalmente depletado (FD), parcialmente depletado (PD) e quase totalmente depletado (NFD).

Para que o dispositivo seja totalmente depletado, é necessário que a espessura do silício seja menor do que a espessura máxima da camada de depleção (d_{max}). Isso ocorre pois, neste caso, haverá interação entre as camadas de depleção ocasionadas tanto pelo capacitor formado na porta quanto no capacitor formado entre o óxido enterrado e o substrato, quando a tensão de porta aplicada (V_{GS}) for maior do que a tensão de limiar (V_{TH}), no caso de dispositivos nMOS e menor no caso de dispositivos pMOS. Transistores SOI totalmente depletados apresentam características elétricas superiores aos transistores *bulk*, uma vez que seu fator de corpo é reduzido, o que leva a capacitâncias parasitárias menores¹⁴. Entre as vantagens temos: menor inclinação de sublimar^{15,16}, diminuição dos efeitos de canal curto³, menor variação de V_{TH} com a temperatura¹⁷, menor campo elétrico horizontal¹⁸ e maior mobilidade de portadores na região de canal¹⁹. Na Figura 7, é apresentado um gráfico esquemático da tensão na porta superior (V_{g1}) em função da porta inferior (V_{g2}), em que se observa os possíveis modos de funcionamento de um transistor SOI modo inversão totalmente depletado.

Figura 7- Modos de operação de um transistor SOI totalmente depletado. A região escura é onde se encontram os modos de operação mais indicados para este transistor.

Fonte: COLINGE, J. P.; *Silicon-on-Insulator Technology: Materials to VLSI*. 3ª Edição Boston: Kluwer Academic Publishers, 2003.

Conforme citado anteriormente, existem outros dois tipos de dispositivos SOI modo inversão, o parcialmente depletado e o quase totalmente depletado. O modo parcialmente depletado ocorre quando t_{si} é, pelo menos, duas vezes maior que d_{max} . Essa característica faz com que seja impossível o transistor estar totalmente depletado. Assim, apresenta uma região neutra no meio da camada de silício. Este tipo de dispositivo pode ter um contato em sua camada neutra, em que, quando este contato é aterrado, o transistor irá operar como um *bulk* convencional, aproveitando a vantagem das capacitâncias de junção reduzidas⁴. Caso não haja contato em sua região neutra, haverá a ocorrência de efeitos de corpo flutuante, como o efeito *kink*, que consiste na elevação abrupta da corrente de dreno devido à ionização por impacto e o efeito bipolar parasitário²⁰. Já o dispositivo quase totalmente depletado pode operar em ambos os modos, totalmente depletado e parcialmente depletado, uma vez em que sua espessura é menor que duas vezes d_{max} e maior que d_{max} , fazendo com que seu modo de funcionamento varie de acordo com a tensão aplicada no substrato do dispositivo. Devido a esta característica, o dispositivo NFD tem pouca aplicação prática.

2.2.2. Transistores SOI modo acumulação

Este tipo de transistor não tem um análogo quando comparado à tecnologia *bulk*, apresentando apenas um tipo de dopante na estrutura fonte-canál-dreno, conforme pode ser observado no esquema da Figura 8.

Figura 8 - Estrutura de um transistor SOI modo acumulação com dopantes de fonte-canál-dreno tipo P. [1]

Fonte: COLINGE, J. P.; *Silicon-on-Insulator Technology: Materials to VLSI*. 3ª Edição Boston: Kluwer Academic Publishers, 2003.

No esquema apresentado na Figura 8, é ilustrado um transistor modo acumulação canal P. Normalmente, o canal deste dispositivo encontra-se totalmente depletado, devido a sua porta ser formada de silício policristalino N^+ , apresentando uma diferença considerável de função trabalho em relação ao silício da região ativa. Neste tipo de dispositivo, são observados dois métodos de condução distintos^{4,21}, sendo o primeiro deles decorrente de uma camada de acumulação na interface óxido de porta-silício, que culmina na corrente I_{acc} e o segundo corresponde à corrente de condução que flui pelo corpo do dispositivo, denominada I_b .

Para haver condução através do corpo do dispositivo pMOS, deverá ser aplicada uma tensão negativa entre porta e fonte maior que o valor da tensão de limiar em módulo, a qual será responsável por reduzir a camada de depleção do canal e permitir que o mecanismo de condução através do corpo do dispositivo passe a operar, induzindo uma componente de corrente I_b . Caso a tensão negativa aplicada na porta não alcance V_{FB} , haverá condução apenas através do corpo. Caso seja menor que esse valor, poderá iniciar a condução a partir do mecanismo de acumulação (I_{acc}). Dependendo da tensão entre dreno e fonte (V_{DS}), poderá haver o pinçamento do canal, de modo similar ao que ocorrer em transistores *bulk*, conforme descrito no item 2.1. O transistor sem junções, material de estudo deste trabalho, apresenta algumas semelhanças com este dispositivo, sendo apresentado nos próximos tópicos.

2.3. Transistores Múltiplas Portas

A miniaturização dos dispositivos fabricados faz com que seja cada vez mais difícil o controle das cargas na região de canal. Uma das alternativas sugeridas para minimizar esse problema é a adição de portas adicionais para o mesmo dispositivo. Existem diversas formas para ser realizada essa adição de portas, as quais podem resultar em diferentes estruturas como dispositivos de porta dupla⁵, porta tripla⁵, π -gate⁶, Ω -gate⁷, entre outros.

Na Figura 9, pode-se observar o esquema de um dispositivo SOI de porta simples comparado a dispositivos de porta dupla e porta tripla.

Figura 9 - (1) Estrutura convencional, contendo apenas uma porta; (2) Estrutura de duas portas; (3) Estrutura de porta tripla.

Fonte: Autor

Ao observar a Figura 9, pode-se notar a adição de outros capacitores MOS nos dispositivos de múltiplas portas em relação ao transistor de porta simples. O seu funcionamento pode ser entendido exatamente como o incremento de portas adicionais a uma estrutura de porta simples, todas conectadas entre si. Ou seja, dispositivos de múltiplas portas geram os mesmos efeitos que transistores de uma única porta, porém em mais de uma superfície do canal. Logo, estes dispositivos poderão apresentar os mesmos estados de funcionamento de um capacitor MOS. Sendo assim, conclui-se que um dispositivo modo inversão de porta tripla, por exemplo, poderá gerar três canais de inversão distintos, gerando também, além de um controle eletrostático mais eficiente dentro do canal do dispositivo, um aumento em sua corrente de condução aproximadamente proporcional ao número de portas. A proporcionalidade não é direta pois existe diferença de planos de condução entre o topo e a lateral do dispositivo. Usualmente, no plano superior, os portadores fluem no plano (100), enquanto, nas laterais fluem no (110), onde os elétrons costumam apresentar menor mobilidade²².

Outro método conhecido por aumentar a corrente dos transistores é a confecção de estruturas multi-*fins* ou multi-dedos. Um *fin* é a camada de silício envolta por óxido e material de porta sobre uma camada de óxido enterrado²³. Ao utilizar diversos *fins*, a corrente do dispositivo será consideravelmente aumentada. Na Figura 10, observa-se um exemplo de estrutura multi-*fins*, onde cada *fin* tem altura H_{Fin} e largura W_{Fin} . Neste trabalho, a maior parcela dos resultados será simulada para um único *fin*. Entretanto, para a obtenção de resultados experimentais, deverão ser utilizados tanto dispositivos multi-*fins* como de um único *fin*.

Figura 10 – Exemplo de estrutura multi-*fins*.

Fonte: TREVISOLI, R.; *Operação e Modelagem de Transistores MOS Sem Junções*. Tese de Doutorado (Engenharia Elétrica – Microeletrônica). POLI-USP. São Paulo. 2013.

2.4. Transistores MOS Sem Junções (*Junctionless*)

Como seu próprio nome descreve, o transistor MOS sem junções é um dispositivo que não apresenta junções PN em sua estrutura. Logo, este dispositivo apresenta uma concentração constante e do mesmo tipo de dopantes entre fonte, canal e dreno⁹. Na Figura 9, observa-se o esquema de um transistor SOI sem junções (A) e um transistor SOI convencional (B).

Figura 11 – Comparação entre a estrutura de um transistor sem junções utilizando tecnologia SOI (A) e um transistor modo inversão utilizando tecnologia SOI (B)

Fonte: TREVISOLI, R.; *Operação e modelagem de transistores MOS sem junções. Tese de doutorado (engenharia elétrica – microeletrônica). POLI-USP. São Paulo. 2013.*

O transistor sem junções elimina um dos principais problemas na fabricação de dispositivos com o tamanho reduzido (abaixo de 20nm) que é a criação de junções abruptas^{10,24}, como as de fonte e dreno com o canal. Mesmo eliminando estas junções, este transistor ainda é suscetível aos efeitos de canal curto, os quais podem ser melhorados ao aplicar a técnica de múltiplas portas²⁵, apresentada na seção 2.3. Pode-se assemelhar este dispositivo a um transistor SOI modo acumulação, o qual tem apenas um tipo de dopante durante todo o comprimento de seu canal, sendo a principal diferença entre os dois dispositivos a concentração destes dopantes.

Neste trabalho, utiliza-se a sigla JNT (*Junctionless Nanowire Transistor*) como abreviação para o transistor sem junções. Nosso dispositivo de estudo sempre será um JNT de um único *fin* de porta tripla. Após o estudo de um único *fin*, é possível estimar os resultados para dispositivos multi-*fins*.

2.4.1. Funcionamento de um JNT

O JNT pode ser comparado em muitos aspectos ao SOI modo acumulação. Logo de início, vê-se a semelhança entre os dispositivos em que a estrutura MOS de porta, devido à diferença de potencial existente entre os materiais utilizados, faz com que o canal esteja totalmente depletado. Esta depleção faz o dispositivo não conduzir quando a tensão aplicada

em sua porta é nula. Para reduzir a camada de depleção e, conseqüentemente, possibilitar a condução através de seu canal, é necessária que seja aplicada uma tensão entre porta e fonte que reduza a camada de depleção e permita a existência de portadores livres em seu canal.

Após entender que o dispositivo desligado apresenta uma barreira de potencial no canal devido à região de depleção causada pela diferença de função trabalho entre o material de porta e o silício, tem-se que, abaixo da tensão de limiar (V_{TH}), em transistores nMOS, os elétrons se movem através do canal apenas por difusão. Também, com os conhecimentos de capacitor MOS, pode-se concluir que na interface óxido-silício, há uma barreira de potencial maior, quando comparado ao centro do dispositivo.

Entendendo o funcionamento do dispositivo desligado, é necessário ter clara uma definição de tensão de limiar. No caso de dispositivos modo inversão, tem-se que a tensão de limiar é definida como a tensão de porta que forme um canal de inversão, responsável pela condução, na interface óxido de porta-silício do dispositivo. No caso do JNT, a condução não ocorre através de um canal de inversão, logo não se pode utilizar esta mesma definição.

Assim, será utilizado como definição de V_{TH} a tensão que, quando aplicada a porta, faz com que, no centro do dispositivo, na proximidade da fonte, o potencial seja igual ao da fonte²³. Com essa definição, tem-se que a barreira de potencial existente no centro do dispositivo é aproximadamente nula. Mesmo com a barreira de potencial podendo ser considerada inexistente no centro do dispositivo, ela ainda estará presente na interface óxido-silício, por ser formada a partir da interface em direção ao centro do dispositivo, conforme explicado anteriormente. Sendo assim, haverá condução através do corpo ao aplicar tensão de porta ligeiramente superior à tensão de limiar, porém não haverá condução através da interface óxido de porta-silício.

Outro ponto notável do funcionamento do JNT será quando a tensão de porta atingir a tensão de faixa plana do capacitor formado na porta. A partir deste ponto haverá a formação de uma camada de acumulação, a qual também permitirá a passagem de corrente. Neste caso, existem duas correntes que devem ser levadas em consideração durante o funcionamento do dispositivo, a corrente na camada de acumulação (I_{acc}) e a corrente no centro do dispositivo (I_b).

Figura 12 - Gráficos de $\log(I_D)$ vs V_{GS} para os transistores modo inversão (a), modo acumulação (b) e sem junções (c).

Fonte: KRANTI, A.; YAN, R.; LEE, C. W.; FERAIN, I. et al.; *Junctionless nanowire transistor (JNT): Properties and design guidelines*, *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, 2010, pp. 357-360, 2010.

Na Figura 12, é apresentado um esboço comparativo entre os regimes de condução de dispositivos modo inversão (A), modo acumulação (B) e sem junções (C), a partir de suas curvas da corrente de dreno (I_D) em função de V_{GS} . No caso dos transistores modo inversão, pode-se notar que ele atravessa a tensão de faixa plana ainda na condição de sublimiar. Isso ocorre, pois dispositivo começará a conduzir apenas para tensões de porta suficientemente altas para a inversão de seu canal, evento responsável por criar o canal de condução. Já no caso do modo acumulação e do JNT, observa-se que a tensão de limiar é inferior à tensão de faixa plana. Isso ocorre pois os dois começam a conduzir após redução da camada de depleção existente no canal. A principal diferença observada entre estes últimos é que o JNT opera por um maior intervalo de V_{GS} em depleção parcial, onde há apenas corrente de corpo, antes de criar uma camada de acumulação em sua interface óxido-silício²⁴. O principal motivo desta diferença entre os dois dispositivos é a concentração de dopantes do material, onde o canal do JNT apresenta maior concentração de dopantes em comparação ao modo acumulação¹⁰.

Em adição aos fenômenos já descritos neste tópico, deve-se também levar em consideração a tensão aplicada entre dreno e fonte (V_{DS}). Para baixos valores de V_{DS} , o impacto no funcionamento do dispositivo é baixo. Porém, ao elevar os níveis de V_{DS} , há uma variação alta e rápida do campo elétrico na região próxima ao dreno, ocasionando uma região de depleção próxima ao dreno. Esse fenômeno é semelhante aos vistos em transistores convencionais. O aumento de V_{DS} faz com que a região de depleção seja cada vez maior, evitando a criação da camada de acumulação em parte do transistor (de modo similar ao pinçamento que ocorre na camada de inversão em transistores convencionais). O limite da camada de acumulação é definido como o ponto do canal em que a tensão V_{CH} no canal do dispositivo for $V_{CH} = V_{GS} - V_{DS} - \Phi_{MS}$ ²³, onde Φ_{MS} é a diferença da função trabalho do material de porta em relação ao silício dopado que forma o corpo do transistor.

2.5. ARMADILHAS E FALHAS EM DISPOSITIVOS SEMICONDUTORES

Neste tópico, serão brevemente apresentadas algumas das falhas e tipos de armadilhas^{11,26} que podem ocorrer em um material elétrico utilizado para fabricação de dispositivos semicondutores. Existem quatro tipos de cargas que podem afetar a interface óxido-semicondutor de um transistor MOS. São elas: cargas móveis no óxido, cargas fixas no óxido, cargas armadilhadas no óxido durante o processo de fabricação e armadilhas de interface^{11,26}.

- Cargas móveis no óxido: estão relacionadas a contaminação do óxido por íons de metais alcalinos como Na^+ , K^+ e Li^+ e íons H^+ e H_3O^+ . Estes íons podem se tornar móveis sob o efeito de campo elétrico. Este tipo de cargas representava grande dificuldade nos primeiros processos de fabricação MOS desenvolvidos, devido a impurezas presentes nas salas de fabricação. Este tipo de carga pode provocar histerese nas curvas características de transistores MOS, visto que a tensão de limiar dos dispositivos pode variar com V_{GS} , conforme as cargas se movem no interior do óxido em direção ao metal ou ao silício da região de canal.
- Cargas fixas no óxido: são formadas durante o processo de crescimento do óxido. De acordo com as falhas que ocorrem durante este processo, é possível que a má formação do óxido crie compostos de silício com mais moléculas de oxigênio. A formação destas moléculas varia de acordo com os parâmetros do processo de fabricação do dispositivo. Usualmente, estas cargas são positivas e provocam uma redução da tensão de limiar. Este tipo de carga representa um problema menos grave que o anterior, pois não provoca histerese nas características do dispositivo.
- Cargas armadilhadas no óxido: são causadas pelo processo de fabricação, onde elétrons e lacunas podem ser aprisionados em armadilhas que se localizam pelo volume do material SiO_2 . Estas armadilhas são geradas por impurezas ou ligações atômicas quebradas. Este tipo de cargas provoca um aumento ou uma redução da tensão de limiar em transistores nMOS convencionais, dependendo se elétrons ou lacunas são aprisionados no óxido.
- Armadilhas de interface: são decorrentes de defeitos nas ligações Si-SiO_2 na interface óxido silício, fazendo com que algumas ligações fiquem incompletas. Assim, são introduzidos níveis energéticos na banda proibida. Assim, elétrons ou lacunas com a energia necessária para ocupar estes estados energéticos podem ser aprisionados ou emitidos aleatoriamente. O perfil de distribuição dessas armadilhas

é normalmente exponencial em relação ao espectro de energias. Este tipo de cargas é o mais preocupante em tecnologias mais atuais, pois é responsável por causar alterações na tensão de faixa plana, além de possível alteração na tensão de limiar, fazendo com que suas características elétricas variem, ou seja, o intervalo de V_{GS} de cada um dos regimes de operação dos dispositivos MOS sofre alteração. Este tipo de carga é, usualmente, associado à principal fonte de ruído de baixa frequência em transistores MOS.

2.6. RUÍDO

Neste tópico será apresentado o conceito geral de ruído e, em seguida, será abordado, especificamente, o ruído telegráfico, objeto de estudo deste trabalho. Todos os ruídos descritos neste trabalho são de baixa frequência. A definição de ruído para este trabalho trata apenas de perturbações espontâneas que acontecem no dispositivo devido a sua física. Logo, perturbações externas, como interferência de circuitos próximos ou sinais provenientes de uma fonte externa não serão considerados como ruído neste estudo.

Existem alguns tipos de eventos que podem gerar alterações no funcionamento de um dispositivo. A seguir, serão apresentados o tratamento matemático comumente utilizado em ruídos de baixa frequência e, mais adiante, alguns tipos de ruídos que são, frequentemente, observados em dispositivos semicondutores e seu mecanismo de funcionamento.

2.6.1. Tratamento Matemático

Ruídos intrínsecos da estrutura do dispositivo, como os estudados neste trabalho, são tratados utilizando teoria de probabilidade, pois não se sabe exatamente o momento em que a perturbação em seu funcionamento ocorrerá. Sabe-se apenas que ela tem a chance de ocorrer em um certo momento. Seja dP a probabilidade de ocorrência de uma perturbação de amplitude que pertença ao intervalo $[X, X+dX]$ em uma grandeza descrita pela variável aleatória X . Logo, tem-se a equação (2-1):

$$dP = f(X)dX \quad (2-1)$$

Tomando, dX e sabendo que este tende a zero, temos que $f(X)$ equivale à função densidade de probabilidade da variável X . A densidade de probabilidade $f(X)$ deverá sempre ser

normalizada, de modo que, ao integrá-la por todos os valores possíveis de X , o resultado seja 1²⁷. Todos os processos de ruído descritos neste trabalho são tratados como processos estocásticos em estado estacionário. Portanto, a média e o desvio padrão das grandezas não variam no tempo.

Alguns parâmetros podem ser definidos para ajudar na análise de ruídos, como: variância, valor médio, função de autocorrelação e densidade espectral de potência. Com esses parâmetros, podem-se obter informações sobre as chances de o ruído acontecer, porém não é possível prever exatamente o momento de sua ocorrência ou intensidade. A seguir são apresentadas as definições para valor médio (2-2) e variância (2-3). Esses parâmetros são úteis na análise de fenômenos que seguem uma distribuição normal (gaussiana)²⁸, por caracterizarem completamente este tipo de distribuição. Convenientemente, este é o caso da maioria dos eventos de ruído²⁷. Em outros casos, podem-se fazer necessários outros parâmetros, como assimetria e curtose, para correta caracterização da distribuição de probabilidade.

$$\bar{X} = \int_{-\infty}^{\infty} X f(X) dX \quad (2-2)$$

$$\sigma^2 = \overline{(X - \bar{X})^2} = \int_{-\infty}^{\infty} (X - \bar{X})^2 f(X) dX = \overline{X^2} - (\bar{X})^2 \quad (2-3)$$

Sabendo a variância e o valor médio, aplicando a equação (2-4), sendo ela a densidade de probabilidade para distribuições normais.

$$f(X) = \frac{1}{\sigma\sqrt{2\pi}} e^{\left[-\frac{(X-\bar{X})^2}{2\sigma^2}\right]} \quad (2-4)$$

Assim, tem-se uma ferramenta útil na análise de ruídos que seguem o comportamento de uma distribuição normal. Outra ferramenta bastante útil é a densidade espectral de potência (PSD – *Power Spectral Density*)²⁷. Ao observar um ruído que não possua componente estacionária não-nula, tem-se que sua somatória, durante um longo período de tempo, sempre resultará em zero. Assim, é interessante o uso de variáveis quadráticas, permitindo a análise do ruído por completo, sendo este o caso do PSD²⁷. Mesmo que o ruído apresentasse uma

componente estacionária não nula, que seria o caso se houvesse a presença de uma componente DC, por exemplo, ainda assim, o PSD seria de extrema importância, pois permite a análise da variação do sinal em relação ao seu valor médio. Dada a função de autocorrelação $R(s)$ (2-5) que seja finita para qualquer valor de s , podemos chegar na equação da PSD (2-6) a partir da aplicação do teorema de Wiener-Khinchin^{29,30}. Sendo $S_x(f)$ (PSD) a transformada de Fourier de $R(s)$.

$$R(s) = \overline{X(t)X(t+s)} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T X(t)X(t+s)dt \quad (2-5)$$

$$S_x(f) = 4 \int_0^\infty R(s)\cos(2\pi fs)ds \quad (2-6)$$

No caso, o foco deste estudo, o ruído telegráfico aleatório (RTS – *Random-Telegraph-Signal*), não segue uma distribuição normal e sim uma distribuição de Poisson²⁸. A distribuição de Poisson é uma distribuição de probabilidade de eventos discretos, sendo útil para descrever a probabilidade de um evento ocorrer certo número de vezes dentro de um intervalo fixo.

No caso deste trabalho, utilizaremos a distribuição de Poisson para calcular a probabilidade de um portador de carga ser armadilhado ou emitido por uma armadilha de interface, uma vez que são eventos independentes e de taxa de ocorrência constante. Esta distribuição é descrita pela equação (2-7).

$$P(k, \lambda) = \frac{\lambda^k e^{-\lambda}}{k!} ; \lambda = t/\tau \quad (2-7)$$

Que representa a probabilidade de que k ocorrências do evento aconteçam em um intervalo de tempo t , sendo τ o período médio entre ocorrências. Sendo assim, λ é o número esperado de ocorrências para um dado intervalo de tempo. Utiliza-se a equação (2-7) para desenvolver as equações de ruído telegráfico no tópico 2.6.6 deste trabalho.

2.6.2. Ruído Térmico

O ruído térmico ocorre devido à movimentação de elétrons dentro do dispositivo causada por energia térmica³¹. O movimento dos elétrons e sua energia adquirida são variáveis aleatórias, fazendo a corrente indesejada resultante variar tanto em intensidade quanto em sentido. Quando observados em um longo período, a somatória de todas as correntes geradas

através deste tipo de movimentação resulta em zero. A equação (2-7) descreve o PSD para esse tipo de ruído¹⁵.

$$S_I = \frac{4kT}{R} \quad (2-7)$$

Na equação (2-7) k é a constante de Boltzmann, T é a temperatura (em kelvin) e R é a resistência do dispositivo. Como pode ser observado, a equação depende diretamente da temperatura de operação. Logo, caso o dispositivo esteja próximo a 0 K, a energia térmica será muito baixa, fazendo com que o ruído térmico seja praticamente zero. Neste caso, o ruído de ponto zero domina a parte térmica das flutuações³².

2.6.3. Ruído Shot

O ruído *shot* ocorre devido aos portadores de carga serem discretos. Como exemplo, temos o caso de uma corrente fluindo através de uma barreira de potencial, sendo este o caso de junções PN³³. O fluxo de carga, nessas condições, não é contínuo, devido à natureza das cargas elétricas. O ruído ocorre quando um elétron, aleatoriamente e de modo independente, atravessa essa barreira de potencial. A equação que descreve o PSD do ruído *shot* é vista na equação (2-8).

$$S_I = 2qI \quad (2-8)$$

onde q é a carga do portador e I é a corrente DC através desta barreira. O ruído *shot* é um evento que segue uma distribuição de Poisson e foi descoberto em tubos de vácuo, os quais apresentam uma barreira de potencial.

2.6.4. Ruído Branco

O ruído branco é descrito como um tipo de ruído com $S(f)$ (PSD) constante. Ruído branco não é exatamente um tipo de ruído, mas é uma classe de ruídos que engloba, por exemplo, o ruído térmico e o ruído *shot*, isto é, ruídos cuja PSD seja independente da frequência. Sendo assim, para todas as frequências ele apresentará a mesma intensidade. Esse fenômeno é observado em grande parte dos ruídos, onde a princípio eles são dependentes da frequência e, após um período, passam a ser constantes. Usualmente, o ruído branco é considerado o ruído de fundo dos dispositivos, ou seja, o menor ruído mensurável²⁷.

2.6.5. Ruído de Geração e Recombinação (g-r)

Esse tipo de ruído acontece por falhas no material conhecidas como armadilhas (vide tópico 2.5). Essas armadilhas são ocasionadas durante os processos de fabricação e geram níveis energéticos dentro da banda proibida, fazendo com que, um elétron ou uma lacuna que esteja fluindo dentro da estrutura do material possa ocupá-los. Ao ocupar essa armadilha, haverá uma perturbação em propriedades como: mobilidade de portadores, coeficiente de difusão, campo elétrico, tamanho da barreira de depleção e densidade de cargas da região²⁷. A armadilha pode apresentar carga neutra ou não. Logo, a variação que será causada no dispositivo não pode ser totalmente prevista. Ao aprisionar uma carga, esta ficará um tempo presa nesta armadilha, sendo este tempo chamado de τ . Na equação (2-9)²⁷, vemos o PSD da flutuação no número de portadores.

$$S_N(f) = 4\overline{\Delta N^2} \frac{\tau}{1 + (2\pi f)^2 \tau^2} \quad (2-9)$$

Na equação (2-9), temos f como a frequência e ΔN como a flutuação do número de portadores de carga no canal do dispositivo em relação ao número médio de portadores. O formato do PSD descrito pela equação (2-9) pode ser observado, de modo isolado, na Figura 13 sendo este conhecido como *Lorentzian*, uma vez que apresenta comportamento similar à função de mesmo nome, e é característico do armadilhamento de um único portador para uma dada energia. Esta função exibe um *plateau* para baixas frequências e, a partir de uma frequência de corte, apresenta um decaimento de $1/f^2$ indicado pela curva pontilhada da Figura 13, a qual serve de referência para o decaimento.

Figura 13 - Formato de uma função Lorentzian. Observa-se também um comparativo com o decaimento de $1/f^2$.

O ruído de geração e recombinação é relevante apenas quando o nível de Fermi está apenas a alguns kT do nível energético da armadilha²⁷. Sendo assim, o período de captura e de emissão da armadilha são quase iguais. Caso o nível energético da armadilha seja muito diferente do nível de Fermi, a armadilha estará quase sempre vazia ou ocupada, gerando pouco impacto no ruído total. A variância das cargas pode ser expressa por (2-10)²⁷

$$\frac{1}{\overline{\Delta N^2}} = \frac{1}{N} + \frac{1}{N_{T,ocupada}} + \frac{1}{N_{T,vazia}} \quad (2-10)$$

Temos $N_{T,ocupada}$ e $N_{T,vazia}$ como os números médios de armadilhas ocupadas e vazias. Ao observar o dispositivo no nível de Fermi e admitindo que $N \gg N_T$ (sendo $N_T = N_{T,ocupada} + N_{T,vazia}$), tem-se que $\overline{\Delta N^2} = N_T/4$. Assim, utilizando as equações de PSD apresentadas anteriormente, obtém-se a equação (2-11), que descreve o PSD para a corrente do dispositivo.

$$S_I(f) = I^2 \frac{N_T}{N^2} \frac{\tau}{1 + (2\pi f)^2 \tau^2} \quad (2-11)$$

2.6.6. Ruído RTS (*Random-Telegraph-Signal*)

Este é um caso particular do ruído de geração e recombinação. Ele é caracterizado como variação do sinal entre estados discretos e sua PSD apresenta um comportamento semelhante ao da Figura 13, onde tem-se um decaimento de $1/f^2$ para altas frequências. Esse fenômeno normalmente é caracterizado por menos armadilhas, as quais apresentam características físicas semelhantes como: tempo de armadilhamento, tempo de emissão e energia da armadilha³⁴. Considerando apenas dois estados discretos (caracterizados por uma única armadilha ocupada ou não) em que a transição entre estes dois estados é dada por uma variação de corrente ΔI e sabendo as constantes de tempo de estado baixo e estado alto, τ_l e τ_h , respectivamente, pode-se determinar o PSD referente às flutuações de corrente, como demonstrado na equação (2-12)^{27,35}.

$$S_I(f) = \frac{4(\Delta I)^2}{(\tau_l + \tau_h) \left[\left(\frac{1}{\tau_l} + \frac{1}{\tau_h} \right)^2 + (2\pi f)^2 \right]} \quad (2-12)$$

As constantes de tempo de vida dos portadores são características fundamentais para a análise estatística do ruído telegráfico, sendo de extrema importância entender a dinâmica de funcionamento destes parâmetros. A seguir, será explicado como o sinal de ruído RTS segue um processo de Poisson.

Partindo-se da premissa de que o ruído RTS possui probabilidades instantâneas, que independem do tempo, de sofrer uma transição de estado, chega-se à conclusão de que as transições de estado (alto ou baixo), seguem processos de Poisson, conforme observado nas equações (2-13)³⁵ e (2-14)³⁵.

$$p_h(t) = \frac{1}{\tau_h} e^{\left(\frac{-t}{\tau_h}\right)} \quad (2-13)$$

$$p_l(t) = \frac{1}{\tau_l} e^{\left(\frac{-t}{\tau_l}\right)} \quad (2-14)$$

Tais equações representam, respectivamente, a função densidade de probabilidade das durações dos estados alto e baixo do sinal de ruído RTS. Cada uma delas segue uma distribuição exponencial, caracterizadas por τ_h e τ_l . Deste modo, podemos correlacionar os eventos de transição com dois processos de Poisson, um para transições do estado alto para o baixo e outro do estado baixo para o alto. Como o ruído RTS é um efeito da captura e emissão dos portadores, podemos assumir que estas também seguem processos de Poisson.

Figura 14 - Exemplo de ruído RTS para um transistor MOS. No gráfico vê-se a variação do sinal da corrente de dreno ao armadilhar um elétron e ao emitir o elétron armadilhado.

Fonte: HAARTMAN M.; OSTLING M.; *Low-Frequency Noise in Advanced MOS Devices*. Springer, 2007.

Para melhor entendimento da mecânica de funcionamento do ruído RTS, é apresentado um esquema (Figura 14) demonstrado um exemplo de variação que pode ocorrer no sinal para um evento de armadilhamento/emissão para uma armadilha.

O PSD do RTS é representado por uma *Lorentzian*, a mesma que representa o ruído de geração e recombinação, sendo que, o ruído de g-r, usualmente, é dado por uma somatória de diversos ruídos RTS de armadilhas com as mesmas características físicas. O ruído RTS estuda a influência de um único portador no funcionamento do dispositivo. Logo, a particularidade do ruído RTS é estudar um número reduzido de armadilhas em uma região específica do dispositivo. Um dos parâmetros mais sensíveis para este tipo de ruído é a temperatura³⁶, sendo este o parâmetro utilizado para a extração da densidade e perfil das armadilhas presentes no dispositivo¹⁹.

O ruído RTS pode ser observado em dispositivos que apresentam uma área de porta pequena (inferior a $1 \mu\text{m}^2$)²⁷ e/ou com baixo ruído de fundo²⁷, como é o caso dos dispositivos estudados neste trabalho^{37,38}.

2.6.7. Ruído $1/f$

Este ruído é caracterizado por um PSD proporcional a $1/f^\gamma$ onde γ varia entre 0,7 e 1,3. O PSD deste tipo de ruído pode ser descrito, de forma geral, pela equação (2-13)²⁷

$$S_I(f) = \frac{K \cdot I^\beta}{f^\gamma} \quad (2-13)$$

onde K é uma constante e β é um expoente de corrente. Essencialmente, observa-se dois mecanismos responsáveis pela formação deste tipo de ruído, sendo estes: a flutuação na mobilidade de portadores³⁹ e a flutuação no número de portadores⁴⁰. O ruído de geração e recombinação pode ser responsável por gerar um ruído de $1/f$, considerando muitas armadilhas distribuídas segundo a equação (2-14)⁴¹.

$$g(\tau) = \frac{1}{\ln\left(\frac{\tau_2}{\tau_1}\right)\tau} \quad \text{para } \tau_1 < \tau < \tau_2, \quad \text{caso contrário } g(\tau) = 0 \quad (2-14)$$

Onde $1/\ln(\tau_2/\tau_1)$ é um fator de normalização. A sobreposição de diversos ruídos de geração e recombinação causados nas condições descritas acima tem sua PSD representada por (2-15)²⁷.

$$S(f) = \frac{B}{4 \ln\left(\frac{\tau_2}{\tau_1}\right)f} \quad \text{para } \frac{1}{2\pi\tau_2} \ll f \ll \frac{1}{2\pi\tau_1} \quad (2-15)$$

Na Figura 15 é observado como a somatória de diversas *Lorentzians* podem gerar um ruído $1/f$.

Figura 15 - Demonstração gráfica da somatória de diversas Lorentzians gerando um gráfico de aproximadamente $1/f$.

Fonte: HAARTMAN M.; OSTLING M.; *Low-Frequency Noise in Advanced MOS Devices*. Springer, 2007.

Outro mecanismo que pode criar o ruído $1/f$ é a flutuação na mobilidade dos portadores, porém foge do escopo deste trabalho. Este efeito pode ser combinado com o ruído decorrente da flutuação no número de portadores em uma única expressão, conforme descrito em HAARTMAN, M. V. e OSTLING M²⁷.

Na Figura 16, é apresentada uma comparação entre o formato das curvas de PSD dos ruídos discutidos até o momento, sendo que são os mais usuais em transistores MOS. Essa imagem será útil como referência para entender o formato de cada um deles quando forem apresentados os resultados.

Figura 16 - Comparativo das curvas do ruído $1/f$, geração e recombinação e ruído branco. Também é demonstrada a resultante da somatória destes ruídos.

Fonte: HAARTMAN M.; OSTLING M.; *Low-Frequency Noise in Advanced MOS Devices*. Springer, 2007.

3. SIMULAÇÕES NUMÉRICAS

Neste tópico será feita uma breve apresentação do simulador numérico utilizado neste trabalho e, em seguida, descritos alguns dos parâmetros que foram inseridos no código simulação.

3.1. SENTAURUS DEVICE

Este software simulador é responsável por, numericamente, simular o comportamento de um único dispositivo semiconductor ou um conjunto de diversos dispositivos combinados em um único dispositivo⁴². Este software divide dispositivos semicondutores em uma grade (*grid*, *mesh*) de pequenos polígonos e, individualmente, calcula para cada uma destas áreas as equações necessárias, obtendo o resultado elétrico do dispositivo para cada um de seus pontos.

A estrutura do dispositivo contém a grade, a descrição de suas regiões, limites, tipos de material e localização dos contatos elétricos. Também contém a localização de cada um dos nós discretos e suas conexões. Além disso, são apresentadas informações sobre as propriedades do dispositivo, como seu perfil de dopantes, por exemplo. Na Figura 17, observa-se um exemplo de estrutura 2D gerada pelo software.

Figura 17 - Exemplo de estrutura 2D de um MOSFET no software Sentaurus Device.

Fonte: Synopsys. Sentaurus™ Device User Guide. Version O-2018.06, June 2018.

Como pode-se observar na Figura 17, as regiões onde ocorrem junções de materiais com diferentes propriedades elétricas e regiões de maior interesse (como é o caso do canal do dispositivo MOS, próximo à porta), apresentam uma grade mais detalhada e com maior número de polígonos. Realizar este refinamento da grade é de extrema importância para que mudanças físicas significativas para tal região não sejam perdidas devido à falta de precisão no cálculo das equações.

3.2. ESTRUTURA SIMULADA

A estrutura do dispositivo simulado é descrita utilizando código próprio do *software* e pode ser vista no APÊNDICE I. O código descreve as regiões do dispositivo e variáveis que podem ser alteradas. Estas variáveis são: concentração de dopantes doadores no canal (N_D), comprimento do canal (L), largura do canal (W), altura do canal (H), comprimento da fonte/dreno (L_{fd}), espessura do óxido de porta (t_{ox}) e espessura do óxido enterrado (t_{box}). Na Figura 18, vemos o resultado gráfico do dispositivo simulado.

Figura 18 - Resultado da simulação do código descrito no APÊNDICE I. Parâmetros utilizados: $L=100$ nm, $H=10$ nm, $W=10$ nm, $t_{box}=150$ nm, $t_{ox}=2$ nm, $N_d=10e18$ cm^{-3} e $L_{fd}=30$ nm.

Fonte: Autor

Conforme descrito no tópico 3.1, é de extrema importância que a grade de simulação esteja refinada corretamente, de modo a evitar perda de dados em regiões de altas variações, como é o caso dos pontos de troca de material. Os devidos refinamentos são levados em

consideração no arquivo de simulação do dispositivo, sendo possível observar sua grade, em específico nas regiões mais sensíveis, na Figura 19.

Figura 19 - Grade do dispositivo simulado utilizando o código descrito no ANEXO I. Parâmetros utilizados: $L=100\text{ nm}$, $H=10\text{ nm}$, $W=10\text{ nm}$, $t_{\text{box}}=150\text{ nm}$, $t_{\text{ox}}=2\text{ nm}$, $N_d=10e18\text{ cm}^{-3}$ e $L_{\text{fd}}=30\text{ nm}$.

Fonte: Autor

O dispositivo simulado é um JNT, o qual é objeto de estudo deste trabalho. A concentração de dopantes entre fonte e dreno é constante. Logo, a concentração vista na Figura 18 é a mesma em seu canal ($N_d = 1 \times 10^{19}\text{ cm}^{-3}$). Para efetuar as simulações das características elétricas da estrutura, como corrente, capacitância e ruído, é necessário descrever como será o comportamento deste dispositivo utilizando outra ferramenta, chamada SDevice, a qual descreve parâmetros elétricos e físicos para as regiões definidas no código da estrutura. No tópico a seguir serão apresentadas essas considerações.

3.3. PARÂMETROS DE SIMULAÇÃO

Com a estrutura pronta no simulador, deve-se inserir os parâmetros de simulação. Estes são os modelos e parâmetros físicos, modelos matemáticos e simuladores de circuitos elétricos que serão considerados para a estrutura em questão. A seguir, serão detalhados alguns parâmetros que estão nos códigos dispostos no APÊNDICE II.

Parâmetros matemáticos⁴²:

- **Extrapolate**: Quando são utilizadas variações em rampa com o comando “*Quasistationary*” (vide arquivo de simulação do APENDICE II), o passo inicial é obtido através de extrapolação da solução dos dois últimos passos.
- **Iterations**: Especifica o número máximo de iterações de Newton por polarização. Caso não haja convergência após o número especificado, o passo será decrementado e realizada uma nova tentativa de convergência.
- **ExitOnFailure**: Define que, assim que o *Solve* (de resolução das equações) falhar, o processo será terminado.
- **Method**: Define o método que será utilizado para resolução das equações. O método *Blocked* utiliza uma resolução de decomposição de blocos. O parâmetro *SubMethod* define um método interno de resolução para o método principal, no caso o *ILS* é uma resolução que utiliza paralelismo em uma resolução linear iterativa.
- **ACMethod**: Funciona de modo semelhante ao comando *Method* porém para resoluções AC.

Modelos e parâmetros físicos⁴²:

- **Temperature**: Define a temperatura de funcionamento para o dispositivo.
- **Mobility**: Define parâmetros de mobilidade para a simulação. O parâmetro interno *HighFieldSaturation* define que, para altos campos elétricos, a velocidade de deriva dos portadores não será proporcional ao campo elétrico e sim terá uma velocidade de saturação. O parâmetro *HighFieldSaturation* é de extrema importante para levar em conta corretamente o campo elétrico lateral presente nos dispositivos^{43,44}.
- **Recombination**: Define o modelo de geração e recombinação que será utilizado na simulação. No modelo de geração/recombinação *SRH* podem ser incluídas relações de dependências para os eventos de geração e recombinação, como temperatura (*TempDependence*) e dopagem (*DopingDep*)⁴⁵.
- **EffectiveIntrinsicDensity**: Define modelos para região proibida do diagrama de bandas. O Comando *BandGapNarrowing (OldSlotboom)* define o modelo *OldSlotboom* para o evento de estreitamento da banda proibida, o qual ocorre quando o material é extremamente dopado, como é o caso do JNT⁴⁶.
- **Noise**: Este comando define as fontes de ruído para a simulação. No arquivo apresentado no APÊNDICE II são adicionadas como fonte de ruído as armadilhas, utilizando o parâmetro *Traps*. É possível definir uma região ou interface para localizar estas armadilhas

e seus parâmetros, como energia e distribuição. Será utilizada uma distribuição exponencial e cargas neutras. Em casos específicos, é possível também definir um conjunto de armadilhas de mesmas características, podendo em alguns casos servirem de aproximação para uma única armadilha. Este comando é o *SingleTrap*^{47,48}.

Neste trabalho serão simulados dispositivos JNT cujas características podem ser vistas na Tabela 1.

Tabela 1 - Parâmetros utilizados para as estruturas simuladas neste trabalho.

Parâmetros	L (nm)	W (nm)	H (nm)	Lfd (nm)	tox (nm)	tbox (nm)
Dispositivo 1	100 nm	10 nm	10 nm	30 nm	2 nm	150 nm
Dispositivo 2	100 nm	20 nm	10 nm	30 nm	2 nm	150 nm

4. RESULTADOS

Neste tópico serão apresentados os resultados obtidos, sendo que estes são todos provenientes de simulações numéricas através do *software* Sentaurus Device validadas a partir de resultados experimentais³⁷. Na Figura 20, são apresentadas uma curva simulada e uma experimental da densidade espectral de ruído de corrente em função da frequência para dispositivos com características similares. O transistor simulado apresenta concentração de dopantes de $1 \times 10^{18} \text{ cm}^{-3}$, comprimento de canal de 50 nm, largura de 20 nm, altura de 10 nm e espessura efetiva de óxido de porta de 1,5 nm. Tais parâmetros são idênticos aos objetivados no projeto do dispositivo experimental. Entretanto, devido às incertezas no decorrer do processo de fabricação é possível que o dispositivo experimental tenha concentração de dopantes levemente superior à projetada (da ordem de $3,5 \times 10^{18} \text{ cm}^{-3}$), bem como largura ligeiramente inferior (15-18 nm)⁴⁹. Para a determinação do ruído nas curvas simuladas foi considerado uma densidade de armadilhas de $1 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ com perfil exponencial a partir da banda de condução conforme descrito na literatura^{50,51}. Ambos os dispositivos foram polarizados com $V_{DS} = 0,1 \text{ V}$ e $V_{GS} = 0,45 \text{ V}$.

Nesta figura, observa-se que as curvas experimental e simulada apresentam um comportamento similar em função da frequência, além de ambas exibirem similar magnitude do ruído. Como os dispositivos simulado e experimental apresentam características físicas similares, os resultados obtidos validam o uso das simulações no trabalho atual. Vale a pena mencionar que o dispositivo experimental caracterizado foi fabricado no Cea-Leti de acordo com o processo de fabricação descrito na literatura⁵².

Figura 20 – Comparação entre resultado experimental e simulação numérica.

Fonte: Autor

Em ambas as curvas da Figura 20, observa-se um decaimento de aproximadamente $1/f^2$, sendo este o comportamento esperado para um ruído RTS, conforme apresentado anteriormente. Este decaimento é observado de forma mais definida na curva simulada, uma vez que em simulações numéricas é possível isolar apenas o ruído de desejo deste estudo, algo que não é completamente possível para o dispositivo físico.

Após validado o modelo utilizado para este estudo, o primeiro passo foi efetuar simulações que ajudassem a entender como a variação da concentração de armadilhas de interface impactaria nas propriedades básicas do transistor, como por exemplo a tensão de limiar, de modo a entender quais considerações deveriam ser feitas para este estudo. Logo, será estudada a curva $I_D \times V_G$ do transistor para diferentes concentrações de armadilhas.

4.1. CURVAS $I_D \times V_G$ – VARIANDO CONCENTRAÇÃO DE ARMADILHAS

Os resultados obtidos através destas simulações têm o objetivo de verificar o efeito das armadilhas de interface na tensão de limiar do JNT. Como mencionado anteriormente, no capítulo 2, referente à revisão bibliográfica, as armadilhas de interface são responsáveis por alterar a tensão de faixa plana dos dispositivos e podem alterar sua tensão de limiar. Deste modo, foram simuladas as características $I_D \times V_G$ para dois dispositivos, um deles apresentando $L=100$ nm; $W=10$ nm; $H=10$ nm e outro apresentando $L=100$ nm; $W=20$ nm; $H=10$ nm, ambos com concentração de dopantes $N_d = 1 \times 10^{19} \text{ cm}^{-3}$. Nas Figuras 21 e 22 são apresentadas as curvas $I_D \times V_G$ para $V_{DS} = 0,05$ V, onde foram considerados diferentes concentrações de armadilhas, dispostas em um perfil exponencial, de modo similar ao observado em transistores experimentais⁵⁰.

Como pode-se observar nas Figuras 21 e 22, o impacto da concentração de armadilhas é muito pequeno na tensão de limiar do dispositivo. O principal motivo desse fato é que o trabalho considera apenas armadilhas de interface de carga neutra (quando não ocupada) e não cargas fixas ou móveis. Logo, haverá uma perturbação no dispositivo somente quando ocorrer armadilhamento ou emissão de um portador. Esta tensão de limiar será extraída e utilizada para a análise do ruído em etapas futuras deste trabalho.

Figura 21 - Curva $I_D \times V_G$ variando a concentração de armadilhas de interface. Parâmetros: $L = 100 \text{ nm}$, $W = 10 \text{ nm}$, $H = 10 \text{ nm}$, $L_{fd} = 30 \text{ nm}$, $t_{ox} = 2 \text{ nm}$, $t_{box} = 150 \text{ nm}$, $V_d = 0,05 \text{ V}$, $V_{bs} = 0 \text{ V}$ e $\text{conc} = 5e10 \text{ cm}^{-2}$; $1e11 \text{ cm}^{-2}$; $5e11 \text{ cm}^{-2}$; $1e12 \text{ cm}^{-2}$.

Fonte: Autor

Figura 22 - Curva $I_D \times V_G$ variando a concentração de armadilhas de interface. Parâmetros: $L = 100 \text{ nm}$, $W = 20 \text{ nm}$, $H = 10 \text{ nm}$, $L_{fd} = 30 \text{ nm}$, $t_{ox} = 2 \text{ nm}$, $t_{box} = 150 \text{ nm}$, $V_d = 0,05 \text{ V}$, $V_{bs} = 0 \text{ V}$ e $\text{conc} = 5e10 \text{ cm}^{-2}$; $1e11 \text{ cm}^{-2}$; $5e11 \text{ cm}^{-2}$; $1e12 \text{ cm}^{-2}$.

Fonte: Autor

4.2. EXTRAÇÃO DE V_{TH} ATRAVÉS DA SEGUNDA DERIVADA DE $I_D \times V_G$

Através da segunda derivada da curva $I_D \times V_G$ é possível analisar o ponto em que a curva deste gráfico começa a variar, sendo este a tensão de limiar⁵³. No gráfico da segunda derivada, a tensão de limiar será representada por um pico. Este pico é bastante notável nas Figuras 23 e 24, as quais, respectivamente, representam a segunda derivada das Figuras 21 e 22.

Analisando as Figuras 23 e 24, nota-se que a tensão de limiar para o dispositivo caracterizado por $L=100$ nm, $H=10$ nm e $W=10$ nm está entre 0,62 V e 0,66 V, enquanto o do dispositivo caracterizado por $L=100$ nm, $H=10$ nm e $W=20$ nm está entre 0,23 V e 0,25V. Um ponto notável é a segunda elevação observada na Figura 24, após o pico que representa a tensão de limiar do dispositivo. Esta elevação deve-se ao mecanismo de condução pela camada de acumulação, o qual ocorre após a tensão de faixa plana do dispositivo.

Esses dados permitem estudar o dispositivo a partir de sua tensão de limiar, verificando como a variação de V_G impacta o ruído do transistor. Este estudo será demonstrado nos tópicos seguintes.

Figura 23 - Curva da segunda derivada de $I_D \times V_G$ variando a concentração de armadilhas de interface. Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $Lfd=30$ nm, $tox=2$ nm, $tbox=150$ nm, $V_d=0,05$ V, $V_{bs}=0$ V e $conc=5e10$ cm^{-2} ; $1e11$ cm^{-2} ; $5e11$ cm^{-2} ; $1e12$ cm^{-2} .

Fonte: Autor

Figura 24 - Curva da segunda derivada de $I_D \times V_G$ variando a concentração de armadilhas de interface. Parâmetros: $L=100$ nm, $W=20$ nm, $H=10$ nm, $Lfd=30$ nm, $tox=2$ nm, $tbox=150$ nm, $V_d=0,05$ V, $V_{bs}=0$ V e $conc=5e10$ cm^{-2} ; $1e11$ cm^{-2} ; $5e11$ cm^{-2} ; $1e12$ cm^{-2} .

Fonte: Autor

4.3. $S_{Id} \times f$ - DIFERENTES DISTRIBUIÇÕES ENERGÉTICAS

A partir dos valores de tensão de limiar extraídos para cada um dos dispositivos, neste tópico, o transistor foi polarizado para uma certa tensão de porta $V_{TH} + V_{GT}$. Logo, ele sempre estará no mesmo regime de operação e a distribuição energética das armadilhas será variada, visando determinar os efeitos da distribuição energética das armadilhas na PSD do ruído para o transistor estudado.

Neste estudo todas as armadilhas são distribuídas a partir da banda de condução, o comando que descreve este parâmetro é o *fromCondBand*, utilizado no APENDICE II. Para a distribuição exponencial utilizada para as armadilhas, tem-se a equação (4-1)

$$dist(E) = N_0 e^{\left(-\left|\frac{E}{E_S}\right|\right)} \quad (4-1)$$

onde N_0 é a concentração de armadilhas, definida através do parâmetro *conc*, E_S é um fator de distribuição das armadilhas, definido pelo parâmetro *EnergySig*. Para os gráficos estudados, os valores da variável E irão variar de 0,1 eV até 0,5 eV com incremento de 0,1 eV. A variável E representa o parâmetro E_S da equação (4-1). Para as Figuras 25, 26, 27 e 28, observa-se como essa variação ocorre em diversas polarizações.

Figura 25 - Curva de S_{Id} x f variando a energia de distribuição (E). Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $L_{fd} = 30$ nm, $t_{ox} = 2$ nm, $t_{box} = 150$ nm, $T = 300$ K, $V_d = 0,05$ V, $V_{bs} = 0$ V, $V_{tgmld} = 0,64$ V, $V_{gt} = 0,2$ V, $conc = 1e12$ cm⁻² e $E = 0,1$ eV; $0,2$ eV; $0,3$ eV; $0,4$ eV; $0,5$ eV.

Fonte: Autor

Figura 26 - Curva de S_{Id} x f variando a energia de distribuição (E). Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $L_{fd} = 30$ nm, $t_{ox} = 2$ nm, $t_{box} = 150$ nm, $T = 300$ K, $V_d = 0,05$ V, $V_{bs} = 0$ V, $V_{tgmld} = 0,64$ V, $V_{gt} = 0,4$ V, $conc = 1e12$ cm⁻² e $E = 0,1$ eV; $0,2$ eV; $0,3$ eV; $0,4$ eV; $0,5$ eV.

Fonte: Autor

Figura 27 - Curva de S_{Id} x f variando a energia de distribuição (E). Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $T=300$ K, $V_d=0,05$ V, $V_{bs}=0$ V, $V_{tgmId}=0,64$ V, $V_{gt}=0,6$ V, $conc=1e12$ cm⁻² e $E=0,1$ eV; $0,2$ eV; $0,3$ eV; $0,4$ eV; $0,5$ eV.

Fonte: Autor

Figura 28 - Curva de S_{Id} x f variando a energia de distribuição (E). Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $T=300$ K, $V_d=0,05$ V, $V_{bs}=0$ V, $V_{tgmId}=0,64$ V, $V_{gt}=0,8$ V, $conc=1e12$ cm⁻² e $E=0,1$ eV; $0,2$ eV; $0,3$ eV; $0,4$ eV; $0,5$ eV.

Fonte: Autor

Através da análise dos resultados obtidos nas Figuras 25, 26, 27 e 28, observa-se que, ao aumentar a tensão na porta, representada por V_{GT} , a densidade de ruído do *plateau* inicial diminui. Isso ocorre devido a alteração das características dos mecanismos de condução no dispositivo. Este nível de ruído depende do campo elétrico, bem como da quantidade de armadilhas que contribui para a geração do ruído. Este efeito pode ser compreendido pela expressão (4-2) apresentada abaixo⁵⁰

$$S_{Vg} = n_{Nit} \Delta V^2 f_0(E) (1 - f_0(E)) \frac{4\tau(E)}{1 + (2\pi f\tau(E))^2} \quad (4-2)$$

Onde n_{Nit} é o número de armadilhas que contribui para o ruído, ΔV é a variação de tensão provocada pela ocupação/desocupação de uma armadilha e τ é o tempo de vida dos portadores. Os três parâmetros definidos são influenciados por V_{GT} . n_{Nit} depende do potencial de superfície e da distribuição energética. Assim, ao aumentar V_{GT} , n_{Nit} aumenta até a faixa plana. ΔV depende da relação tensão-carga. Na acumulação, tende a apresentar uma relação linear uma vez que o potencial de superfície é aproximadamente constante e, em regime de depleção parcial, a variação tende a uma raiz quadrada. τ depende da quantidade de elétrons na camada de condução e do campo elétrico. Conforme o campo elétrico reduz ao se aumentar V_{GT} em direção à faixa plana, o tempo de emissão de portadores aumenta, diminuindo o *plateau* do ruído. Além disso, τ é responsável pela frequência de corte dos dispositivos. Conforme τ é reduzido, pode-se observar um aumento na frequência de corte, que é proporcional à redução induzida por esta variável no *plateau* em S_{id} . Como a variação da frequência de corte e de S_{id} são proporcionais nas Figuras 25 a 28, pode-se concluir que a influência de τ prevalece sobre os demais parâmetros. Outra característica que pode ser observada é a semelhança das curvas com a referência $1/f^2$. Isso demonstra que se obtém realmente o ruído telegráfico e uma distribuição de armadilhas de interface de níveis energéticos bastante semelhantes, pois, caso os níveis estivessem distribuídos, seria obtido um ruído semelhante a uma curva $1/f$, devido a somatória de *Lorentzians*²⁷.

Na Figura 29 uma comparação entre os *plateaus* da PSD em relação à distribuição das armadilhas é mostrada. Analisando este gráfico, vemos que a polarização não impacta de modo significativo como a distribuição de armadilhas afeta o comportamento da PSD, apenas que para maiores valores de V_{gt} tem-se uma variação menor, isso se deve ao potencial de superfície se manter constante após a entrada do dispositivo na acumulação.

Figura 29 - Gráfico do Plateau de S_{Id} x E utilizando os dados das Figuras 25 a 28.

Fonte: Autor

Observa-se também que, de acordo com o aumento do parâmetro E , é visto um aumento no nível energético do *plateau* inicial. Esse fenômeno ocorre devido à mudança no perfil de distribuição das cargas a partir da camada de condução. Na Figura 30, observa-se um gráfico de como é o comportamento dos perfis de distribuição para cada valor de E .

Figura 30 - Visualização gráfico monolog da equação (4-1) para os valores 0,2 eV; 0,3 eV; 0,4 eV; 0,5 eV de E .

Fonte: Autor

Analisando a Figura 30, é possível entender que, quanto menor o valor de E , menor será a distribuição das armadilhas através da banda proibida. Logo, para menores distribuições, partindo da banda de condução, o nível energético das armadilhas será maior. Por esse motivo, temos que o SI_D é maior, quanto maior o valor de E . De fato, para energias da ordem de 0,5 eV, pode-se verificar que a distribuição temos maior concentração de armadilhas próximas da banda de condução.

4.4. $SI_D \times f$ - DIFERENTES TENSÕES DE PORTA (V_{GT})

Este tópico será dividido em duas etapas de análise, sendo a primeira antes do JNT iniciar a acumulação ($V_{GT} + V_{GImId} < V_{FB}$) e a outra após iniciar a acumulação ($V_{GT} + V_{GImId} > V_{FB}$). A tensão de faixa plana (V_{FB}) é dada por (4-3)⁵⁴.

$$V_{FB} = -\frac{Q_{SS}}{C_{OX}} + \phi_{MS} \quad (4-3)$$

A partir da expressão (4-3) é possível calcular a tensão de faixa plana para todas as condições estudadas. Estas tensões variam de 1,02 V a 1,08 V, para o transistor simulado. Assim, pode-se considerar que ao se aplicar um valor menor que 1,0 V à porta, o transistor não acumulará.

Figura 31 - Curva de $SI_D \times f$ a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgmlD}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $Lfd = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $V_d = 0,05$ V, $V_{bs} = 0$ V, $V_{tgmlD} = 0,64$ V, $E = 0,1$ eV, $conc = 1e12$ cm⁻² e $V_{gt} = 0,1$ V; 0,2 V; 0,3 V; 0,4 V.

Fonte: Autor

Figura 32 - Curva de S_{Id} x f variando a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgml}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $L_{fd} = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $V_d = 0,05$ V, $V_{bs} = 0$ V, $V_{tgml} = 0,64$ V, $E = 0,4$ eV, $conc = 1e12$ cm^{-2} e $V_{gt} = 0,1$ V; $0,2$ V; $0,3$ V; $0,4$ V.

Fonte: Autor

Figura 33 - Curva de S_{Id} x f variando a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgml}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $L_{fd} = 30$ nm, $tox = 2$ nm, $tbox = 150$ nm, $T = 300$ K, $V_d = 0,05$ V, $V_{bs} = 0$ V, $V_{tgml} = 0,64$ V, $E = 0,1$ eV, $conc = 1e12$ cm^{-2} e $V_{gt} = 0,5$ V; $0,6$ V; $0,7$ V; $0,8$ V.

Fonte: Autor

Figura 34 - Curva de S_{Id} x f variando a tensão de porta V_G , onde $V_G = V_{gt} + V_{tgmld}$. Parâmetros: $L = 100$ nm, $W = 10$ nm, $H = 10$ nm, $L_{fd} = 30$ nm, $tox = 2$ nm, $t_{box} = 150$ nm, $T = 300$ K, $V_d = 0,05$ V, $V_{bs} = 0$ V, $V_{tgmld} = 0,64$ V, $E = 0,4$ eV, $conc = 1e12$ cm⁻² e $V_{gt} = 0,5$ V; $0,6$ V; $0,7$ V; $0,8$ V.

Fonte: Autor

Observando as Figuras 31 e 32, nota-se uma mudança significativa na frequência de corte das PSDs do ruído. Esta variação está associada a flutuações no campo elétrico e potencial de superfície que ocorrem no dispositivo enquanto funcionando em depleção parcial. Durante este modo de funcionamento, a camada de depleção existente naturalmente no dispositivo ainda está presente, mesmo que reduzida devido a tensão de porta aplicada. No ponto em que o dispositivo alcança a tensão de faixa plana (aproximadamente $V_{gt} = 0,4$ V) a zona de depleção é totalmente reduzida, sendo este o ponto em que se observa o início da formação da camada de acumulação.

As figuras 33 e 34 representam o JNT operando além de sua faixa plana, conduzindo não apenas pelo corpo, mas também através de seu canal de acumulação. Neste modo de operação, a camada de depleção já não está presente, sendo assim, todo o corpo do dispositivo conduz. Durante a acumulação, as variações no campo elétrico e no potencial de superfície são mínimas, sendo este o motivo para que não exista variações significativas na frequência de corte das curvas de ruído.

Nota-se também que, para maiores valores de E , é obtido um nível maior no *plateau* de todas as curvas. Esse resultado já foi observado anteriormente e era esperado para estas curvas, uma vez que quanto maior o valor de E , maior a quantidade de armadilhas distribuídas próximas da banda de condução.

Figura 35 - Gráfico da frequência de corte $\times$ V_{gt} utilizando os dados das figuras 33 e 34.

Fonte: Autor

Analisando a Figura 35, observa-se que a frequência de corte varia de modo diferente dependendo do modo de operação do transistor, onde na depleção parcial nota-se uma dependência aproximadamente exponencial da frequência de corte com relação a tensão aplicada na porta, enquanto na acumulação, é observada uma dependência linear. Este efeito ocorre devido a flutuações no campo elétrico e no potencial de superfície que ocorrem durante a depleção parcial, mas não ocorrem de modo tão significativo na acumulação. Ao variar estes parâmetros, é alterada a energia com a qual o elétron está fluindo através do canal e, ao variar esta energia, este pode ser armadilhado mais fácil ou distanciar do nível energético necessário para que ocorra o armadilhamento.

4.5. $S_{Id} \times f$ – ARMADILHAS LOCALIZADAS

Como parte final deste estudo, foi estudado o efeito de uma única armadilha no funcionamento do JNT. O simulador utilizado disponibiliza um comando chamado *SingleTrap*, o qual será utilizado neste tópico. Este comando não consegue isolar perfeitamente uma única armadilha, porém consegue, dentro das limitações de grade do dispositivo, inserir um grupo de armadilhas extremamente localizado e de mesmo nível energético.

Figura 36 – Vista superior do canal do dispositivo JNT simulado. O óxido é demonstrado pelo contorno na cor rosa, porém é demonstrado apenas o canal de silício.

Fonte: Autor

Na Figura 36, observa-se claramente o local de concentração das armadilhas. O grupo de armadilhas ocupa seis triângulos da grade de análise. Deste modo, para aumentar a confiabilidade dos resultados obtidos, fez-se necessária a correção da grade do dispositivo, uniformizando-a. Mesmo com a uniformização de grande parte do canal, a maior precisão nas interfaces de fonte-canais e dreno-canais foi mantida, sendo estas regiões desconsideradas no estudo, por não permitirem uma comparação com o restante do canal devido à diferença de grade.

Ainda observando a Figura 36, é tido que o eixo Y tem seu ponto de zero no centro do dispositivo. Para $Y = -0,05 \mu\text{m}$ tem-se a interface fonte-canais e, para $Y = 0,05 \mu\text{m}$, a interface dreno-canais. Neste estudo, as armadilhas serão movimentadas com uma variação ΔY de $0,01 \mu\text{m}$, sendo a variação máxima de $|\Delta Y| = 0,03 \mu\text{m}$. As Figuras 37 e 38 demonstram as variações negativas e positivas, respectivamente, dentro da estrutura do dispositivo. Assim, quando demonstrado o resultado da simulação, será possível comparar com o local das armadilhas dentro do dispositivo.

Figura 37 - Estrutura do dispositivo demonstrando armadilhas em diversas posições de Y que foram utilizadas nas simulações. (A) $Y = 0 \mu\text{m}$; (B) $Y = -0,01 \mu\text{m}$; (C) $Y = -0,02 \mu\text{m}$; (D) $Y = -0,03 \mu\text{m}$.

Fonte: Autor

Figura 38 - Estrutura do dispositivo demonstrando armadilhas em diversas posições de Y que foram utilizadas nas simulações. (A) $Y = 0 \mu\text{m}$; (B) $Y = 0,01 \mu\text{m}$; (C) $Y = 0,02 \mu\text{m}$; (D) $Y = 0,03 \mu\text{m}$.

Fonte: Autor

Figura 39 - Curva de S_{ID} x f variando a posição da concentração de armadilhas, conforme figuras 37 e 38. Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $tox=2$ nm, $tbox=150$ nm, $T=300$ K, $V_d=0,05$ V, $V_{bs}=0$ V, $V_{tgmId}=0,64$ V, $E=0,4$ eV, $conc=1e12$ cm $^{-2}$, $V_{gt}=0,1$ V e $Y=-0,03$ μ m, $-0,02$ μ m, $-0,01$ μ m, $0,00$ μ m, $0,01$ μ m, $0,02$ μ m e $0,03$ μ m.

Fonte: Autor

O resultado demonstrado na Figura 39 é a variação na PSD de acordo com a posição das armadilhas de interface. O transistor está polarizado em depleção parcial, isso significa, antes de sua tensão de faixa plana, porém acima de V_{TH} . Observa-se que quanto maior o valor de Y , ou seja, mais próximo do dreno, a PSD do sinal de ruído aumenta. O comportamento assintótico observado anteriormente para altas frequências não ocorre na faixa de frequência observada pois o tempo captura e emissão dos portadores é extremamente pequeno. Este resultado pode ser justificado com a variação do campo elétrico, onde sua intensidade aumenta no sentido do dreno do dispositivo, conforme pode ser observado na Figura 40.

Figura 40 - Campo elétrico no canal do transistor simulado em depleção parcial.

Fonte: Autor

Figura 41 - Curva de S_{Id} x f variando a posição da concentração de armadilhas, conforme figuras 34 e 35. Parâmetros: $L=100$ nm, $W=10$ nm, $H=10$ nm, $L_{fd}=30$ nm, $t_{ox}=2$ nm, $t_{box}=150$ nm, $T=300$ K, $V_d=0,05$ V, $V_{bs}=0$ V, $V_{tgmId}=0,64$ V, $E=0,4$ eV, $conc=1e12$ cm⁻², $V_{gt}=0,6$ V e $Y=-0,03$ μ m, $-0,02$ μ m, $-0,01$ μ m, $0,00$ μ m, $0,01$ μ m, $0,02$ μ m e $0,03$ μ m.

Fonte: Autor

Na Figura 41, observa-se o impacto da posição das armadilhas para o transistor em acumulação. Nota-se um comportamento muito próximo do exponencial, ao observar a variação dos *plateaus*. Na Figura 42, é observado o comportamento do campo elétrico do JNT simulado durante a acumulação. Observa-se que o campo elétrico se mantém constante e bastante intenso por toda a extensão do dispositivo.

Figura 42 - Campo elétrico no canal do transistor simulado em acumulação.

Fonte: Autor

Na Figura 43, observa-se como é o comportamento da variação da densidade espectral de ruído na região dos *plateaus* (extraída na frequência de 100 Hz) para acumulação ($V_{GT} = 0,6$ V) e depleção parcial ($V_{GT} = 0,1$ V). É obtido um comportamento próximo de linear para a depleção parcial, porém com uma tendência exponencial, enquanto para a acumulação é observado um comportamento extremamente próximo do exponencial. Isso ocorre devido ao campo elétrico dentro do canal, sendo este apresentado nas Figuras 40 e 42 para a depleção parcial e acumulação, respectivamente. Os parâmetros que afetam o ruído são apresentados em um modelo analítico por Trevisoli, R., Doria, R. T., de Souza, M., Pavanello, M. A. & Barraud, S⁵¹.

Figura 43 - Plateau de S_{Id} x Variação no eixo Y para operação em acumulação e depleção parcial. Utilizado os dados das Figuras 39 e 41.

Fonte: Autor

5. CONCLUSÃO

Neste trabalho, foi possível adequar os parâmetros das simulações numéricas do JNT de modo que estas ficassem condizentes com os resultados físicos presentes na literatura, obtendo parâmetros físicos relevantes, como sua tensão de limiar. Através do ajuste do arquivo de simulação, foram analisados os efeitos das armadilhas de interface no transistor e observado como elas alteram seu comportamento, para criar uma base de dados especificamente para o estudo do ruído RTS neste dispositivo.

Através do estudo dos modelos de armadilhas de interface disponíveis no simulador, bem como da estrutura do JNT a ser simulada, foi desenvolvido um código de simulação com o objetivo de observar especificamente o ruído de geração e recombinação, visto que um de seus casos particulares consiste no ruído telegráfico, objeto de estudo deste trabalho. Obteve-se, então, o impacto da distribuição das armadilhas de interface ao longo da banda proibida e o impacto da variação da polarização no ruído de baixa frequência, considerando armadilhas com características similares. Nesses resultados, observa-se que, para uma distribuição exponencial das armadilhas, conseguimos reproduzir aproximadamente o ruído telegráfico e sua intensidade. Estes resultados podem servir de base para identificar o perfil de armadilhas observado em transistores JNT experimentais.

Com os resultados de simulações numéricas obtidos, é possível observar o comportamento do RTS tanto em depleção parcial quanto em acumulação. Analisando os resultados obtidos para as simulações, é visto que a distribuição das armadilhas afeta significativamente o comportamento do ruído telegráfico, onde, quanto maior a concentração de armadilhas com o nível energético próximo do limite da banda de condução, maior será a intensidade do ruído. Isso ocorre, pois, a probabilidade de uma armadilha ser ocupada próximo da banda de condução, ou seja, de existir um elétron passando no canal com um nível energético próximo do necessário para ocupar a armadilha, é maior. Outro fator notável é como a polarização do transistor afeta a frequência de corte. Dentro da depleção parcial, a variação da frequência de corte segue o aumento da tensão de porta com um comportamento próximo do exponencial, isso ocorre devido as variações no campo elétrico e no potencial de superfície do dispositivo, enquanto na acumulação, devido à constância destes parâmetros, a frequência de corte varia linearmente.

Os resultados obtidos para armadilhas localizadas mostram que a posição das armadilhas impacta a intensidade do ruído, sendo que, quanto mais próximo do dreno, maior sua intensidade. Esta variação na PSD do ruído está relacionada a intensidade do campo elétrico

e do potencial de superfície em cada uma das regiões, sendo que estes parâmetros também dependem do estado de operação do transistor.

Como uma sugestão de sequência para este trabalho, seria extremamente interessante o desenvolvimento de um modelo matemático analítico que possa descrever o comportamento observado com as simulações, facilitando assim a previsão do ruído RTS em dispositivos físicos, onde a análise de armadilhas isoladas é dificultada. Como base, este estudo poderia partir do impacto dos tempos médios de captura e emissão de portadores pelas armadilhas de interface.

6. PUBLICAÇÃO GERADA NO DECORRER DO TRABALHO

A partir dos resultados obtidos a respeito do comportamento do ruído telegráfico em função das condições de polarização dos transistores sem junções, foi possível a confecção de um artigo científico o qual foi publicado em periódico internacional da área:

1. Picoli, M., Trevisoli, R. & Doria, R. T. Effect of Interface Traps on the RTS Noise Behavior of Junctionless Nanowires. *J. Integr. Circuits Syst.* **15**, 1–5 (2020). Disponível em: <<https://doi.org/10.29292/jics.v15i2.200>>

7. REFERÊNCIAS BIBLIOGRÁFICAS

1. Intel®. Intel® Core™ i9-9900K. Data de acesso: 10/02/2020. Disponível em: <https://www.intel.com.br/content/www/br/pt/products/processors/core/i9-processors/i9-9900k.html> (2019).
2. Ghibaudo, G. Evaluation of variability performance of junctionless and conventional Trigate transistors. *Solid. State. Electron.* **75**, 13–15 (2012).
3. Young, K. K. Short-channel effect in fully depleted SOI MOSFETs. *IEEE Trans. Electron Devices* **36**, 399–402 (1989).
4. Colinge, J.-P. *Silicon-on-insulator technology: materials to VLSI: materials to Vlsi.* (Springer Science & Business Media, 2004).
5. Colinge, J.-P. *FinFETs and other multi-gate transistors.* vol. 73 (Springer, 2008).
6. Park, J.-T., Colinge, J.-P. & Diaz, C. H. Pi-Gate SOI MOSFET. *IEEE Electron Device Lett.* **22**, 405–406 (2001).
7. Yang, F.-L. *et al.* 25 nm CMOS omega FETs. in *Digest. International Electron Devices Meeting*, 255–258 (IEEE, 2002).
8. Ha, D. *et al.* Highly manufacturable 7nm FinFET technology featuring EUV lithography for low power and high performance applications. in *2017 Symposium on VLSI Technology* T68–T69 (IEEE, 2017).
9. Colinge, J.-P. *et al.* SOI Gated Resistor: CMOS Without Junctions. in *2009 IEEE International SOI Conference* 1–2 (IEEE, 2009).
10. Colinge, J.-P. *et al.* Nanowire transistors without junctions. *Nat. Nanotechnol.* **5**, 225–229 (2010).
11. Martino, J. A., Pavanello, M. A. & Verdonck, P. B. *Caracterização elétrica de tecnologia e dispositivos MOS.* (Cengage Learning Editores, 2004).
12. Sedra, A. S., Sedra, D. E. A. S., Smith, K. C. & Smith, K. C. *Microelectronic circuits.* (New York: Oxford University Press, 1998).
13. Rahou, F. Z., Bouazza, A. G. & Rahou, M. Self-heating effects in SOI MOSFET transistor and numerical simulation using Silvaco software. in *2012 24th International Conference on Microelectronics (ICM)* 1–4 (IEEE, 2012).
14. Lim, H.-K. & Fossum, J. G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. *IEEE Trans. Electron Devices* **30**, 1244–1251 (1983).
15. Colinge, J.-P. Thin-film SOI technology: The solution to many submicron CMOS problems. in *International Technical Digest on Electron Devices Meeting* 817–820 (IEEE, 1989).
16. Colinge, J.-P. Subthreshold slope of thin-film SOI MOSFET's. *IEEE Electron Device Lett.* **7**, 244–246 (1986).

17. Groeseneken, G., Colinge, J.-P., Maes, H. E., Alderman, J. C. & Holt, S. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. *IEEE Electron Device Lett.* **11**, 329–331 (1990).
18. Kistler, N. & Woo, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. *IEEE Trans. Electron Devices* **41**, 1217–1221 (1994).
19. Yoshimi, M. *et al.* Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. *IEEE Trans. Electron Devices* **36**, 493–503 (1989).
20. Cristoloveanu, S. & Li, S. *Electrical characterization of silicon-on-insulator materials and devices*. vol. 305 (Springer Science & Business Media, 1995).
21. Colinge, J.-P. Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs. *IEEE Trans. Electron Devices* **37**, 718–723 (1990).
22. Young, C. D. *et al.* Critical discussion on (100) and (110) orientation dependent transport: nMOS planar and FinFET. in *2011 Symposium on VLSI Technology-Digest of Technical Papers* 18–19 (IEEE, 2011).
23. Doria, R. T. Operação e modelagem de transistores MOS sem junções. (Universidade de São Paulo, 2013).
24. Kranti, A. *et al.* Junctionless nanowire transistor (JNT): Properties and design guidelines. in *2010 Proceedings of the European Solid State Device Research Conference* 357–360 (IEEE, 2010).
25. Lee, C.-W. *et al.* Junctionless multigate field-effect transistor. *Appl. Phys. Lett.* **94**, 53511 (2009).
26. Nicollian, E. H., Brews, J. R. & Nicollian, E. H. *MOS (metal oxide semiconductor) physics and technology*. vol. 1987 (Wiley New York, 1982).
27. Haartman, M. & Östling, M. *Low-frequency noise in advanced MOS devices*. (Springer Science & Business Media, 2007).
28. Vuolo, J. H. *Fundamentos da teoria de erros*. (Editora Blucher, 1996).
29. Wiener, N. Generalized harmonic analysis. *Acta Math.* **55**, 117–258 (1930).
30. Khintchine, A. Korrelationstheorie der stationären stochastischen Prozesse. *Math. Ann.* **109**, 604–615 (1934).
31. Gray, P. R., Hurst, P., Meyer, R. G. & Lewis, S. *Analysis and design of analog integrated circuits*. (Wiley, 2001).
32. Nyquist, H. Thermal agitation of electric charge in conductors. *Phys. Rev.* **32**, 110 (1928).

33. Jin, W., Chan, P. C. H., Fung, S. K. H. & Ko, P. K. Shot-noise-induced excess low-frequency noise in floating-body partially depleted SOI MOSFET's. *IEEE Trans. Electron Devices* **46**, 1180–1185 (1999).
34. LUKYANCHIKOVA, N. B. Sources of the Lorentzian components in the low frequency noise spectra of submicron metal-oxide-semiconductor field effect transistors. in *Noise and Fluctuations Control in Electronic Devices* (ed. Baladin, A. A. (Ed. .)) 411 (American Scientific Publishers, 2002).
35. Kirton, M. J. & Uren, M. J. Noise in solid-state microstructures: A new perspective on individual defects, interface states and low-frequency ($1/f$) noise. *Adv. Phys.* **38**, 367–468 (1989).
36. Simoen, E., Dierickx, B., Claeys, C. L. & Declerck, G. J. Explaining the amplitude of RTS noise in submicrometer MOSFETs. *IEEE Trans. Electron Devices* **39**, 422–429 (1992).
37. Doria, R. T., Trevisoli, R., de Souza, M. & Pavanello, M. A. Low-frequency noise and effective trap density of short channel p-and n-types junctionless nanowire transistors. *Solid. State. Electron.* **96**, 22–26 (2014).
38. Nazarov, A. N. *et al.* Random telegraph-signal noise in junctionless transistors. *Appl. Phys. Lett.* **98**, 92111 (2011).
39. Hooge, F. N. $1/f$ Noise Is No Surface Effect. *Phys. Lett. A* **29**, 139–140 (1969).
40. McWhorter, A. L. $1/f$ noise and germanium surface properties. (University of Pennsylvania, 1957).
41. Surdin, M. M. Fluctuations in the thermionic current and the ‘flicker effect’. *J. Phys. le Radium* **10**, 188–189 (1939).
42. Synopsys. Sentaurus Device User Guide (Sdevice). (2018).
43. Klaassen, D. B. M. A unified mobility model for device simulation—I. Model equations and concentration dependence. *Solid. State. Electron.* **35**, 953–959 (1992).
44. Canali, C., Majni, G., Minder, R. & Ottaviani, G. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. *IEEE Trans. Electron Devices* **22**, 1045–1047 (1975).
45. Shockley, W. & Read Jr, W. T. Statistics of the recombinations of holes and electrons. *Phys. Rev.* **87**, 835 (1952).
46. Klaassen, D. B. M., Slotboom, J. W. & De Graaff, H. C. Unified apparent bandgap narrowing in n-and p-type silicon. *Solid. State. Electron.* **35**, 125–129 (1992).
47. Bonani, F., Ghione, G., Pinto, M. R. & Smith, R. K. An efficient approach to noise analysis through multidimensional physics-based models. *IEEE Trans. Electron Devices* **45**, 261–269 (1998).
48. Bonani, F. & Ghione, G. Generation–recombination noise modelling in semiconductor

- devices through population or approximate equivalent current density fluctuations. *Solid. State. Electron.* **43**, 285–295 (1999).
49. Trevisoli, R., Doria, R. T., de Souza, M., Pavanello, M. A. & Barraud, S. A new method for junctionless transistors parameters extraction. in *2017 47th European Solid-State Device Research Conference (ESSDERC)* 66–69 (IEEE, 2017).
 50. Trevisoli, R., Doria, R. T., Barraud, S. & Pavanello, M. A. Modeling the interface traps-related low frequency noise in triple-gate SOI junctionless nanowire transistors. *Microelectron. Eng.* **215**, 111005 (2019).
 51. Trevisoli, R., Pavanello, M. A., Capovilla, C. E., Barraud, S. & Doria, R. T. Analytical Model for Low-Frequency Noise in Junctionless Nanowire Transistors. *IEEE Trans. Electron Devices* **67**, 2536–2543 (2020).
 52. Picoli, M., Trevisoli, R. & Doria, R. T. Effect of Interface Traps on the RTS Noise Behavior of Junctionless Nanowires. *J. Integr. Circuits Syst.* **15**, 1–5 (2020).
 53. Ortiz-Conde, A. *et al.* Revisiting MOSFET threshold voltage extraction methods. *Microelectron. Reliab.* **53**, 90–104 (2013).
 54. Trevisoli, R. D., Doria, R. T., de Souza, M. & Pavanello, M. A. Threshold voltage in junctionless nanowire transistors. *Semicond. Sci. Technol.* **26**, 105009 (2011).

APÊNDICE I

```

.....
;; sde -e -l xx.scm ;;
;; tecplot_sv xx_msh.tdr ;;
.....

; Limpa
(sde:clear)

; dimensoes
(define Wfin (/ @W@ 1000))
(define Lfin (/ @L@ 1000))
(define Hfin (/ @H@ 1000))
(define Lfonte (/ @Lfd@ 1000))
(define tox (/ @tox@ 1000))
(define tbox (/ @tbox@ 1000))
(define Wbox (+ Wfin (* 2 tox) 0.002))
(define dop @Nd@e18)
;(define contato (/ 5000 1000))

;Nome
(define nome "L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-
Lfd@Lfd@_msh.tdr")

; Refino
(define refino_FD 0.010)
(define refino_canal 0.010)

;; Variaveis Grade
(sdedr:define-refinement-size "Si" 0.003 0.10 0.003 0.002 0.090 0.002 )
(sdedr:define-refinement-size "Ox" 0.020 0.10 0.020 0.010 0.090 0.010 )

.....
;; REGIOES ;;
.....

; Define o oxido de porta
(define r1 (sdegeo:create-cuboid
(position (- (+ tox (/ Wfin 2))) (- (/ Lfin 2)) (- (/ Hfin 2)))
(position (+ tox (/ Wfin 2)) (/ Lfin 2) (+ (/ Hfin 2) tox))
"Oxide" "oxido"
)
)

; Define o canal
(define r2 (sdegeo:create-cuboid
(position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
(position (/ Wfin 2) (+ (/ Lfin 2) Lfonte) (/ Hfin 2))
"Silicon" "corpo"
)
)

(define r21 (sdegeo:create-cuboid
(position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
(position (/ Wfin 2) (- 0.010 (+ (/ Lfin 2) Lfonte)) (/ Hfin 2))
"Silicon" "corpoS"
)
)

```

```

(define r22 (sdegeo:create-cuboid
  (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte) 0.010) (- (/ Hfin 2)))
  (position (/ Wfin 2) (+ (/ Lfin 2) Lfonte) (/ Hfin 2))
  "Silicon" "corpoD"
)
)
; Define o substrato
(define r3 (sdegeo:create-cuboid
  (position (- (/ Wbox 2)) (- (+ (/ Lfin 2) Lfonte) (- (/ Hfin 2))))
  (position (/ Wbox 2) (+ (/ Lfin 2) Lfonte) (- (+ (/ Hfin 2) tbox)))
  "Oxide" "box"
)
)

.....
;; CONTATOS ;;
.....

; Contato de porta
(sdegeo:define-contact-set "porta" 0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "porta")

(sdegeo:define-3d-contact (list (car (find-face-id (position (- (+ tox (/ Wfin 2))) 0.000 0.000 )))
"porta")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 0.000 (+ tox (/ Hfin 2)) )))
"porta")
(sdegeo:define-3d-contact (list (car (find-face-id (position (+ tox (/ Wfin 2)) 0.000 0.000 )))
"porta")

; Contato de dreno
(sdegeo:define-contact-set "dreno" 0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "dreno")

;(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (- (+ (/ Lfin 2) Lfonte) (/ contato 2)) (/
Hfin 2) )))) "dreno")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (+ (/ Lfin 2) Lfonte) 0 ))) "dreno")

; Contato de fonte
(sdegeo:define-contact-set "fonte" -0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "fonte")

;(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (- (/ contato 2) (+ (/ Lfin 2) Lfonte)) (/
Hfin 2) )))) "fonte")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (- (+ (/ Lfin 2) Lfonte) 0 ))) "fonte")

; Contato do substrato
(sdegeo:define-contact-set "substrato" -0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "substrato")

(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 0.000 (- (+ (/ Hfin 2) tbox)) )))
"substrato")

```



```

.....
;; DOPAGEM ;;
.....

; Canal
(sdedr:define-constant-profile "definicao_perfil_constante_canal" "ArsenicActiveConcentration" dop)
(sdedr:define-constant-profile-material "placement_perfil_constante_canal" "definicao_perfil_constante_canal"
"Silicon")

; Dreno
;(sdedr:define-refeval-window "DopGaussDrenoJan" "Cuboid" (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/
Hfin 2))) (position (/ Wfin 2) (- (/ Lfin 2)) (/ Hfin 2)) )
;(sdedr:define-gaussian-profile "DopGaussDrenoDef" "ArsenicActiveConcentration" "PeakPos" 0 "PeakVal"
5e20 "Length" 0.0015 "Gauss" "Length" 0)
;(sdedr:define-analytical-profile-placement "DopGaussDreno" "DopGaussDrenoDef" "DopGaussDrenoJan"
"Both" "NoReplace" "Eval")

; Fonte
;(sdedr:define-refeval-window "DopGaussFonteJan" "Cuboid" (position (- (/ Wfin 2)) (+ (/ Lfin 2) Lfonte) (- (/
Hfin 2))) (position (/ Wfin 2) (/ Lfin 2) (/ Hfin 2)) )
;(sdedr:define-gaussian-profile "DopGaussFonteDef" "ArsenicActiveConcentration" "PeakPos" 0 "PeakVal"
5e20 "Length" 0.0015 "Gauss" "Length" 0)
;(sdedr:define-analytical-profile-placement "DopGaussFonte" "DopGaussFonteDef" "DopGaussFonteJan"
"Both" "NoReplace" "Eval")

.....
;; GRADE ;;
.....

; Definição de janelas
;;Fonte-Canal-Dreno
(sdedr:define-refeval-window "CanalFonte" "Cuboid"
(position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2)))
(position (/ Wfin 2) (- refino_canal (/ Lfin 2)) (/ Hfin 2)) )
(sdedr:define-refeval-window "CanalDreno" "Cuboid"
(position (- (/ Wfin 2)) (/ Lfin 2) (- (/ Hfin 2)))
(position (/ Wfin 2) (- (/ Lfin 2) refino_canal) (/ Hfin 2)) )
(sdedr:define-refeval-window "Fonte" "Cuboid"
(position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2)))
(position (/ Wfin 2) (- (+ refino_FD (/ Lfin 2))) (/ Hfin 2)) )
(sdedr:define-refeval-window "Dreno" "Cuboid"
(position (- (/ Wfin 2)) (/ Lfin 2) (- (/ Hfin 2)))
(position (/ Wfin 2) (+ (/ Lfin 2) refino_FD) (/ Hfin 2)) )

(sdedr:define-refeval-window "ContatoFonte" "Cuboid"
(position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
(position (/ Wfin 2) (- refino_canal (+ (/ Lfin 2) Lfonte)) (/ Hfin 2)) )
(sdedr:define-refeval-window "ContatoDreno" "Cuboid"
(position (- (/ Wfin 2)) (+ (/ Lfin 2) Lfonte) (- (/ Hfin 2)))
(position (/ Wfin 2) (- (+ (/ Lfin 2) Lfonte) refino_canal) (/ Hfin 2)) )

; Multibox fonte-canal-dreno
(sdedr:define-multibox-size "MultiboxCanalFonte"
0.020 0.10 0.020
0.010 0.002 0.010
1 1.8 1)

```

```
(sdedr:define-multibox-size "MultiboxCanalDreno"
0.020 0.10 0.020
0.010 0.002 0.010
1 -2 1)
```

```
(sdedr:define-multibox-size "MultiboxFonte"
0.020 0.10 0.020
0.010 0.002 0.010
1 -2 1)
```

```
(sdedr:define-multibox-size "MultiboxDreno"
0.020 0.10 0.020
0.010 0.002 0.010
1 2 1)
```

```
(sdedr:define-multibox-size "MultiboxContatoFonte"
0.020 0.10 0.020
0.010 0.001 0.010
1 2 1)
```

```
(sdedr:define-multibox-size "MultiboxContatoDreno"
0.020 0.10 0.020
0.010 0.001 0.010
1 -2 1)
```

; Aplicação refino materiais

```
(sdedr:define-refinement-material "RefSi" "Si" "Silicon" )
(sdedr:define-refinement-placement "RefOx" "Ox" "Oxide" )
```

; Aplicação multibox

```
(sdedr:define-multibox-placement "RefMultiboxCanalFonte" "MultiboxCanalFonte" "CanalFonte")
(sdedr:define-multibox-placement "RefMultiboxCanalDreno" "MultiboxCanalDreno" "CanalDreno")
(sdedr:define-multibox-placement "RefMultiboxFonte" "MultiboxFonte" "Fonte")
(sdedr:define-multibox-placement "RefMultiboxDreno" "MultiboxDreno" "Dreno")
(sdedr:define-multibox-placement "RefMultiboxContatoFonte" "MultiboxContatoFonte" "ContatoFonte")
(sdedr:define-multibox-placement "RefMultiboxContatoDreno" "MultiboxContatoDreno" "ContatoDreno")
```

; Refino Interfaces

```
(sdedr:define-refinement-function "Si" "MaxLenInt" "Silicon" "Oxide" 0.0005 2.5 "DoubleSide")
```

```
;; CONSTRUCAO DA GRADE ;;
```

```
(sde:build-mesh "snmesh" "" nome)
```

APÊNDICE II

```

File {
    * output files:
    Output = "IdxVg_L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-
Lfd@Lfd@_T@T@_n@node@_des.out"
    ACExtract = "AC_L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-
Lfd@Lfd@_T@T@_n@node@_des.plt"
    Plot = "IdxVg_L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-
Lfd@Lfd@_T@T@_n@node@_des.tdr"
    Current = "IdxVg_L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-
Lfd@Lfd@_T@T@_n@node@_des.plt"
    TrappedCarPlotFile = "Traps_L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-
Lfd@Lfd@_T@T@_n@node@_des.plt"
    PMIPath = "."
}

Physics {
    Temperature=@T@
    Mobility (
        HighFieldSaturation
    )
    Recombination( SRH(DopingDep TempDependence)
    )
    EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
    Noise (Traps )
}

Physics (
    RegionInterface="corpo/oxido") {
    Traps (
        (eNeutral Exponential fromCondBand Conc=@conc@ EnergyMid=0 EnergySig=@E@
eXsection=@CS@ hXsection=@CS@ )
    )
}

Plot {
    AcceptorConcentration
    BandGap BandGapNarrowing
    ConductionBandEnergy
    ConductionCurrent
    DielectricConstant
    DonorConcentration
    Doping
    DisplacementCurrent
    eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal eEparallel eEquilibriumDensity
    eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass eSaturationVelocity eVelocity
    eTrappedCharge eInterfaceTrappedCharge
    EffectiveBandGap EffectiveIntrinsicDensity
    ElectricField
    ElectronAffinity
    Potential EquilibriumPotential
    hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal hEparallel hEquilibriumDensity
    hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass hSaturationVelocity hVelocity
    hTrappedCharge hInterfaceTrappedCharge
    IntrinsicDensity
    Temperature
    Current
    TotalRecombination
    ValenceBandEnergy
    SpaceCharge
    SRHRecombination
}

```

```

Device JL{
  File {
    * input files:
    Grid = "L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-Lfd@Lfd@_msh.tdr"
    * output files:

  }
  Electrode {
    { Name="fonte" Voltage= 0.000 }
    { Name="dreno" Voltage= 0.000 }
    { Name="porta" Voltage= 0.000 Material="PolySi"(P) }
    { Name="substrato" Voltage= 0.000 Material="Silicon"(P=1e15)}
  }
  TrappedCarDistrPlot {
    MaterialInterface="Silicon/Oxide" {(0.0 0.0 0.005)}
  }
}

System {
  JL t1 (fonte=f dreno=d porta=g substrato=s)
  Vsource_pset Vd (d 0) {dc=0}
  Vsource_pset Vg (g 0) {dc=0}
  Vsource_pset Vf (f 0) {dc=0}
  Vsource_pset Vs (s 0) {dc=0}
  Plot "IdxVg_L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Nd@Nd@e18-
Lfd@Lfd@_T@T@_n@node@_plt.txt" (v(g f) v(d f) v(s f) i(t1 f))
}

Math {
  Extrapolate
  Iterations=20
  ExitOnFailure
  Method = Blocked SubMethod=ils
  ACMethod = Blocked ACSubMethod=ils(Set=2)
  number_of_threads = 24
}

Solve {
  Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
    Goal {Parameter=Vg.dc Value=0 } Goal {Parameter=Vs.dc Value=@Vbs@ } )
    {Coupled(Iterations=50) { Poisson } CurrentPlot ( Time = (-1)) }

  Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
    Goal {Parameter=Vg.dc Value=0 } Goal {Parameter=Vs.dc Value=@Vbs@ } )
    {Coupled(Iterations=100) { Poisson Electron Hole Circuit Contact } CurrentPlot ( Time = (-1)) }

  !(
    set VG [expr (@Vgt@+@VtgmId@)];
  )!

  Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
    Goal {Parameter=Vg.dc Value=!(puts -nonewline [format %.4g $VG])! } )
    {Coupled(Iterations=10) { Poisson Electron Hole Circuit Contact } CurrentPlot ( Time = (-1)) }

  Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
    Goal {Parameter=Vd.dc Value=@Vd@ } )
    {Coupled(Iterations=50) { Poisson Electron Hole Circuit Contact } CurrentPlot ( Time = (-1)) }
}

```

ACCoupled

```
(StartFrequency=1 EndFrequency=1e5
NumberOfPoints=20 Decade
ObservationNode(g d)
Node(g d f s)
Exclude(Vg Vd Vf Vs)
)
{ Poisson Electron Hole Circuit Contact}
```

}