CENTRO UNIVERSITÁRIO FEI
LUCAS MOTA BARBOSA DA SILVA

ANÁLISE DA MOBILIDADE EM TRANSISTORES SOI DE CANAL GRADUAL VISANDO À SIMULAÇÃO DE CIRCUITOS

São Bernardo do Campo
2020

LUCAS MOTA BARBOSA DA SILVA

ANÁLISE DA MOBILIDADE EM TRANSISTORES SOI DE CANAL GRADUAL VISANDO À SIMULAÇÃO DE CIRCUITOS

Dissertação de Mestrado apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica. Orientado pela Profa. Michelly de Souza.

São Bernardo do Campo

2020

Mota Barbosa da Silva, Lucas.
Análise da Mobilidade em Transistores SOI de Canal Gradual visando à Simulação de Circuitos / Lucas Mota Barbosa da Silva. São Bernardo do Campo, 2020.
108 f. : il.

Dissertação - Centro Universitário FEI.
Orientadora: Prof.ª Dra. Michelly de Souza.

1. Tecnologia SOI. 2. Mobilidade. 3. Transistor SOI de canal gradual. 4. Simulação de circuitos. I. de Souza, Michelly, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Mestrado

PGE-10

Aluno: Lucas Mota Barbosa da Silva **Matrícula:** 118318-5

Título do Trabalho: Análise da mobilidade em transistores SOI de canal gradual visando simulações de circuitos.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Profª Drª Michelly de Souza

Data da realização da defesa: 30/11/2020

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA	
Profª Drª Michelly de Souza	Ass.: _____
Prof. Dr. Salvador Pinillos Gimenez	Ass.: _____
Profª Drª Sara Dereste dos Santos	Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA DISSERTAÇÃO

APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

RESUMO

O transistor GC (*Graded-Channel*) SOI (*Silicon-On-Insulator*) MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) é um transistor SOI cujo canal está dividido em duas regiões: uma região fortemente dopada e outra região fracamente dopada. A redução da concentração de dopantes na região do canal próximo ao dreno permite que os transistores GC SOI apresentem uma série de vantagens com relação ao transistor SOI convencional, uniformemente dopado, apresentando melhores características analógicas, tais como maior nível de corrente, aumento da transcondutância, redução da condutância de dreno, o que implica em maior tensão Early, e maior tensão de ruptura. A associação destas características faz com que o GC SOI MOSFET tenha grande potencial para aplicações em circuitos integrados analógicos. Uma das etapas do projeto de circuitos integrados é a simulação destes circuitos. Para isto, é necessário que existam modelos analíticos que descrevam adequadamente os dispositivos eletrônicos. Embora exista um modelo proposto para o transistor GC SOI, este não se encontra implementado em simuladores comerciais. Desta forma, alguns trabalhos demonstram a simulação deste transistor através da associação série de dois transistores SOI uniformemente dopados com diferentes concentrações e portas curto-circuitadas. Entretanto, a adoção desta estratégia faz com que seja necessário utilizar o dobro de transistores no circuito simulado. Adicionalmente, são inseridas as capacitâncias de fonte e dreno do ponto intermediário entre os dois transistores.

Com vistas à simulação e projeto de circuitos integrados analógicos utilizando a estrutura de canal gradual, neste trabalho é apresentado um estudo da mobilidade efetiva dos transistores GC SOI. O objetivo é simular o transistor de canal gradual utilizando modelos disponíveis em simuladores comerciais para transistores SOI uniformemente dopados, através do ajuste de seus parâmetros, que são dependentes dos comprimentos e concentrações das duas regiões do canal.

O trabalho demonstra que utilizando parâmetros de mobilidade como a mobilidade de baixo campo (μ_0) e os fatores de degradação, linear (θ_1) e quadrático (θ_2), extraídos pelo método Y-Function e realizando ajustes no parâmetro PCLM, incluso no modelo BSIM-SOI e que é relacionado ao efeito de modulação de canal, é possível reproduzir o comportamento nas curvas da corrente de dreno (I_{DS}) e transcondutância (g_m) em função da tensão de porta (V_{GS}) e nas curvas da corrente de dreno (I_{DS}) e condutância de saída (g_D) em função da tensão de dreno (V_{DS}) utilizando um único transistor SOI MOSFET uniformemente dopado em um simulador SPICE.

Os resultados apresentaram um erro máximo de 5,26% e 10,34% nas curvas da corrente de dreno (I_{DS}) e transcondutância (g_m), respectivamente, em função da tensão de porta (V_{GS}) para baixa tensão de dreno (V_{DS}) em transistores GC com comprimento de canal (L) de 1 μm e 2 μm. Para alta tensão de dreno (V_{DS}), os erros obtidos foram de 10,68% e 14,08% nas curvas da corrente de dreno e transcondutância, respectivamente, em função da tensão de porta (V_{GS}) para transistores GC de 2 μm. As curvas da corrente de dreno(I_{DS}) em função da tensão de dreno (V_{DS}) apresentaram um erro menor que 5,4% com sobretensão de porta (V_{GT}) variando de 200mV a 600mV.

Foi reproduzida a condutância de saída (g_D) em função da tensão de dreno (V_{DS}), apresentando uma melhor aproximação com os dados experimentais através de ajuste no parâmetro PCLM. Os melhores resultados foram obtidos para baixa sobretensão de porta (V_{GT}) na região de saturação. O ajuste do parâmetro PCLM conjuntamente com os parâmetros de mobilidade, (μ_0), (θ_1) e (θ_2), permitiram simular o comportamento do transistor GC com boa aproximação, o que pode tornar tal abordagem interessante para uma etapa inicial de simulação analítica de circuitos integrados analógicos utilizando o transistor GC SOI MOSFET.

Palavras-chave: Tecnologia SOI. Mobilidade. Transistor SOI de canal gradual. Simulação de circuitos.

ABSTRACT

The GC (Graded-Channel) SOI (Silicon-On-Insulator) MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) transistor is a SOI transistor whose channel is divided into two regions: a highly doped region and a lightly doped region. The reduction of the doping concentration in the channel region near the drain allows GC SOI transistors to present a series of advantages over the conventional uniformly doped transistor, showing better analog characteristics, such as higher current level, increased transconductance, reduction of drain conductance, which implies higher Early voltage, and higher breakdown voltage. The association of these characteristics shows that GC SOI MOSFET has great potential for applications in analog integrated circuits.

One of the steps in the design of integrated circuits is the simulation of these circuits. To allow for reliable simulations, analytical models that describe the electronic devices are required. Although a proposed model has been presented for the GC SOI transistor, it is not implemented in commercial simulators. To circumvent this, some works demonstrate the simulation of GC transistors through the association of two uniformly doped SOI transistors with different doping concentrations and short-circuited gates. However, the adoption of this strategy makes necessary to use twice as many transistors in the simulated circuit. Additionally, the use of two transistors increases the source and drain capacitances of the intermediate point between the two devices.

Aiming at simulating and designing analog circuits using a graded-channel structure, this work presents a study of the effective mobility of GC SOI transistors. The objective is to simulate the graded channel transistor using available models in commercial simulators for uniformly doped SOI transistors, by adjusting its parameters, which would became dependent on the lengths and doping concentrations of the two regions of the channel.

This work demonstrates that using mobility parameters such as low field mobility (μ_0), linear (θ_1) and quadratic (θ_2) degradation factors, extracted by Y-Function method and making adjustments to the PCLM parameter, included in the BSIM-SOI model and which is related to the channel modulation effect, it is possible to reproduce the behavior in the drain current (I_{DS}) and transconductance (g_m) curves as a function of the gate voltage (V_{GS}) and in the drain current (I_{DS}) and output conductance (g_D) curves as a function of drain voltage (V_{DS}) using a single uniformly doped SOI MOSFET transistor in a SPICE simulator.

The results showed a maximum error of 5.26% and 10.34% in the drain current (I_{DS}) and transconductance (g_m) curves, respectively, as a function of the gate voltage (V_{GS}) for low

drain voltage (V_{DS}) in GC transistors with channel length (L) of 1 μm and 2 μm. For high drain voltage (V_{DS}), the errors obtained were 10.68% and 14.08% in the drain current (I_{DS}) and transconductance (g_m) curves, respectively, as a function of the gate voltage (V_{GS}) for 2 μm GC transistors. The drain current curves (I_{DS}) as a function of drain voltage (V_{DS}) showed an error of less than 5.4% with overdrive voltage (V_{GT}) ranging from 200mV to 600mV.

The output conductance (g_D) as a function of the drain voltage (V_{DS}) was reproduced, showing a better approximation with the experimental data by adjusting the PCLM parameter. The best results were obtained for low overdrive voltage (V_{GT}) in the saturation region. The adjustment of the PCLM parameter together with the mobility parameters, (μ_0), (θ_1) and (θ_2), allowed simulating the behavior of the GC transistor with good approximation, which can make this an interesting approach for an initial step of analytical simulation of analog integrated circuits using the GC SOI MOSFET transistor.

Keywords: SOI Technology. Mobility. Graded-Channel SOI transistor. Circuit simulations.

LISTA DE FIGURAS

Figura 1 – Perfil transversal de um transistor SOI nMOSFET. 20
Figura 2 – Distribuição das cargas nas regiões de depleção de fonte e dreno em transistores MOS convencional (A) e SOI de camada fina (B) de canal longo (esquerda) e canal curto (direita). 27
Figura 3 – Mobilidade de baixo campo e suas componentes em função da concentração de dopantes. 33
Figura 4 – Exemplo da mobilidade efetiva (μ_{eff}) dependente do campo elétrico vertical em função da tensão de porta (V_{GS}). 35
Figura 5 – Comportamento da velocidade dos elétrons em função do campo elétrico lateral para o silício a 300K. 36
Figura 6 – Exemplo de utilização do método Y-Function para transistores com óxido de porta espesso (maior que 20nm). 38
Figura 7 – Exemplo de possíveis curvas obtidas com o método Y-Function devido a não linearidade em inversão forte causada por um transistor MOSFET com óxido de porta muito fino. 39
Figura 8 – Fluxograma do algoritmo recursivo do método Y-Function. 39
Figura 9 – Perfil da estrutura do transistor SOI de canal gradual, apresentando as duas regiões: fortemente dopada e fracamente dopada. 41
Figura 10 – Curva simulada da concentração de elétrons próxima a superfície e ao longo do canal de um transistor GC SOI de L = 4 µm e razão L_{LD}/L = 0,5 para V_{DS} = 100mV. 42
Figura 11 – Curvas simuladas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}) para transistores SOI de canal gradual com L=4µm, diferentes razões L_{LD}/L e V_{DS} = 100mV. 42
Figura 12 - Curvas simuladas da transcondutância (g_m) em função da tensão de porta (V_{GS}) para transistores SOI de canal gradual com L=4µm, diferentes razões L_{LD}/L e V_{DS} = 100mV. 43
Figura 13 - Curvas simuladas da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}) para transistores SOI de canal gradual com L=2µm e diferentes razões L_{LD}/L, um transistor SOI convencional com L=1µm e sobretensão de porta (V_{GT}) de 150mV. 45

Figura 14 - Curvas simuladas da condutância de saída (g_D) em função da tensão de dreno (V_{DS}) para transistores SOI de canal gradual com L=2µm e diferentes razões L_{LD}/L, um transistor SOI convencional com L=1µm e sobretensão de porta (V_{GT}) de 150mV. 45
Figura 15 – Comparação da estrutura da associação assimétrica (A) e da estrutura do transistor SOI de canal gradual (B). 46
Figura 16 – Ganho de tensão de malha aberta A_V (A), transcondutância g_m e condutância de saída g_D (B) em função da razão g_m/I_{DS} para transistor uniformemente dopado, GCSOI e associação assimétrica. 47
Figura 17 – Curvas I_{DS} x V_{GS} para transistores SOI GC com V_{DS}=50mV e diferentes razões L_{LD}/L e comprimento de canal L = 0,5µm (A), L = 1µm (B), L = 2µm (C) e L = 4µm (D)....52
Figura 18 – Curvas g_m x V_{GS} para transistores SOI GC com V_{DS}=50mV e diferentes razões L_{LD}/L e comprimento de canal L = 0,5µm (A), L = 1µm (B), L = 2µm (C) e L = 4µm (D)....54
Figura 19 – Mobilidade de baixo campo em função da razão L_{LD}/L para diferentes comprimentos de canal L extraída de simulações numéricas. 56
Figura 20 – Coeficiente de atenuação linear em função da razão L_{LD}/L para transistores GC com diferentes comprimentos de canal L extraídos de simulações numéricas. 57
Figura 21 - Coeficiente de atenuação quadrático em função da razão L_{LD}/L para transistores GC com diferentes comprimentos de canal L extraídos de simulações numéricas. 58
Figura 22 – Análise do efeito de θ_2 nas curvas de g_m x V_{GS} para transistores GC SOI com razões L_{LD}/L = 0,2 e L_{LD}/L = 0,6; e V_{DS} = 50mV. 59
Figura 23 – Campo elétrico ao longo do comprimento de canal, extraído de simulações numéricas de um transistor GC SOI com L = 2µm e L_{LD}/L = 0,4 para diferentes V_{GT} e V_{DS}=50mV.....60
Figura 24 – Curvas simuladas de g_m x V_{GS} para transistores GC SOI com L_{HD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV. 61
Figura 25 - Curvas normalizadas de g_m x V_{GS} em função do comprimento de canal (L) para transistores GC SOI com L_{HD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV.....62
Figura 26 - Curvas simuladas de g_m x V_{GS} para transistores GC SOI com L_{LD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV. 62
Figura 27 - Curvas normalizadas de g_m x V_{GS} em função do comprimento de canal (L) para transistores GC SOI com L_{LD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV.....63

Figura 28 – Mobilidade de baixo campo em função dos comprimentos de canal L_{LD} e L_{HD} para comprimentos fixos L_{HD} = 0,5µm (A) e L_{LD} = 0,5µm (B), respectivamente. 64
Figura 29 – Fatores de atenuação linear e quadrático (θ_1 e θ_2) em função de L_{LD} para $L_{HD, FIXO}$ = 0,5µm (A) e em função de L_{HD} para $L_{LD, FIXO}$ = 0,5µm (B). 65
Figura 30 – Curvas experimentais da corrente de dreno I_{DS} em função da tensão de porta V_{GS} para transistores GC SOI com comprimento de canal L = 1µm (A) e L = 2µm (B), para V_{DS}=50mV. 68
Figura 31 - Curvas experimentais da transcondutância I_{DS} em função da tensão de porta V_{GS} para transistores GC SOI com comprimento de canal L = 1µm (A) e L = 2µm (B), para V_{DS}=50mV. 69
Figura 32 – Mobilidade de baixo campo em função da razão L_{LD}/L extraída de medidas experimentais de transistores GC SOI com L=1µm e L=2µm. 70
Figura 33 – Fator de atenuação linear (θ_1) em função da razão L_{LD}/L extraído de medidas experimentais de transistores GC SOI com L=1µm e L=2µm. 71
Figura 34 - Fator de atenuação quadrático (θ_2) em função da razão L_{LD}/L extraído de medidas experimentais de transistores GC SOI com L=1µm e L=2µm. 71
Figura 35 – Procedimento realizado para ajuste das simulações SPICE. 73
Figura 36 – Comparação das curvas de corrente de dreno obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=1µm, em V_{DS}=50mV. 74
Figura 37 - Comparação das curvas de transcondutância obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=1µm, em V_{DS}=50mV. 75
Figura 38 - Comparação das curvas de corrente de dreno obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=50mV. 76
Figura 39 - Comparação das curvas de transcondutância obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=50mV. 77
Figura 40 – Comparação das curvas de corrente de dreno obtidas através de simulações SPICE e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=1,5V.... 77
Figura 41 - Comparação das curvas de transcondutância obtidas através de simulações SPICE e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=1,5V..... 78

Figura 42 – Comparação das curvas I_{DS} x V_{DS} obtidas de dados experimentais e simulações SPICE para transistores GCSOI com L=2µm e V_{GT} = 200mV (A); V_{GT} = 400mV (B); V_{GT} = 600mV (C). 79
Figura 43 – Comparação das curvas g_D x V_{DS} obtidas de dados experimentais e simulações SPICE para transistores GCSOI com L=2µm e V_{GT} = 200mV (A); V_{GT} = 400mV (B); V_{GT} = 600mV (C). 81

LISTA DE TABELAS

Tabela 1 – Efeito dos parâmetros θ_1 e θ_2 na atenuação da mobilidade em função da sobretensão de porta V_{GT} para transistores GC simulados com diferentes razões L_{LD}/L e L = 2µm. 59
Tabela 2 – Dimensões dos transistores GC SOI simulados e respectivas tensões de limiares. 63
Tabela 3 – Comparação da razão L_{LD}/L de máscara e da razão L_{LD}/L efetiva para transistor SOI de canal gradual com L = 1µm. 67
Tabela 4 - Comparação da razão L_{LD}/L de máscara e da razão L_{LD}/L efetiva para transistor SOI de canal gradual com L = 2µm. 67
Tabela 5 – Parâmetros de mobilidade aplicados nas simulações SPICE para L = 1µm 72
Tabela 6 – Parâmetros de mobilidade aplicados nas simulações SPICE para L = 2µm 73
Tabela 7 – Parâmetros ajustados não relacionados à mobilidade aplicados nas simulações SPICE. 74

LISTA DE ABREVIATURAS E SIGLAS

CMOS	Complementary Metal-Oxide-Semiconductor
DIBL	Drain-Induced Barrier Lowering
FD	Fully Depleted
GC	Graded-Channel
HD	Highly Doped
LD	Lightly Doped
LDD	Lightly Doped Drain
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
NFD	Near-Fully Depleted
PD	Partially Depleted
SDEVICE	Sentaurus Device Simulator
SOI	Silicon-On-Insulator
UCLouvain	Université Catholique de Louvain
ULSI	Ultra Large Scale Integration

LISTA DE SÍMBOLOS

C_D	Capacitância de depleção por unidade de área [F/cm²]
C_{ox}	Capacitância de óxido de porta por unidade de área [F/cm²]
C_{oxb}	Capacitância de óxido da segunda interface por unidade de área [F/cm²]
C_{oxf}	Capacitância de óxido da primeira interface por unidade de área [F/cm²]
C_{si}	Capacitância da camada de silício por unidade de área [F/cm²]
E_{crit}	Campo elétrico crítico [V/cm]
E_y	Campo elétrico vertical [V/cm]
g_m	Transcondutância de um dispositivo [S]
I_{DS}	Corrente de dreno em um transistor[A]
k	Constante de Boltzmann
L	Comprimento de canal total em um transistor [µm]
L_{eff}	Comprimento de canal total efetivo em um transistor [µm]
L_{HD}	Comprimento de canal da região fortemente dopada no transistor GC SOI [µm]
L_{LD}	Comprimento de canal da região fracamente dopada no transistor GC SOI [µm]
m_0	Massa de repouso do elétron [9,11 x 10^{-31} kg]
m_{ce}^*, m_{ch}^*	Massa efetiva de condução de elétrons, massa efetiva de condução de lacunas
n	Fator de corpo de um dispositivo
N_A	Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]
N_D	Concentração de impurezas doadoras em um semicondutor [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
$N_{refpsii,e}$, $N_{refpsii,h}$	Concentração de dopantes de referência para o mecanismo de espalhamento por fônons e impurezas ionizadas para elétrons e lacunas [cm^{-3}]
q	Carga elementar do elétron [1,602 x 10^{-19} C]
Q_{depl}	Carga de depleção na camada de silício [C/cm²]
$Q_{depl,ef}$	Carga de depleção efetiva na camada de silício [C/cm²]
Q_{nf}	Densidade de cargas de inversão na primeira interface por unidade de área [C/cm²]
Q_{ox}	Densidade de cargas fixas no óxido de porta por unidade de área [C/cm²]

Q_{oxb}	Densidade de cargas fixas no óxido de porta na segunda interface por unidade de área [C/cm^2]
Q_{oxf}	Densidade de cargas fixas no óxido de porta na primeira interface por unidade de área [C/cm^2]
Q_{SB}	Carga de acumulação (Q_{SB}>0) ou inversão (Q_{SB}<0) na segunda interface por unidade de área [C/cm^2]
r_j	Profundidade das junções de dreno e fonte em um MOSFET convencional [μm]
T	Temperatura absoluta em Kelvins [K]
t_{oxb}	Espessura do óxido enterrado em um transistor SOI [nm]
t_{oxf}	Espessura do óxido na primeira interface [nm]
t_{Si}	Espessura da camada de silício [nm]
v	Velocidade de deriva dos portadores [cm/s]
V_D	Tensão aplicada ao dreno do transistor [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{FB}	Tensão de faixa plana [V]
V_{GB}	Tensão aplicada ao substrato do transistor [V]
$V_{GB,accB}$	Tensão aplicada ao substrato para que a segunda interface acumule [V]
V_{GF}	Tensão aplicada à porta do transistor [V]
V_{GT}	Sobretensão de condução [V]
V_S	Tensão aplicada ao substrato do transistor [V]
v_{sat}	Velocidade de saturação dos portadores na camada de silício [cm/s]
V_{TH}	Tensão de limiar [V]
V_{thf}	Tensão de limiar da primeira interface em inversão forte [V]
$V_{thf,0}$	Tensão de limiar de um transistor de canal longo [V]
$V_{thf,accB}$	Tensão de limiar da primeira interface com a segunda interface acumulada [V]
$V_{thf,deplB}$	Tensão de limiar da primeira interface com a segunda interface depletada [V]
$V_{thf,invB}$	Tensão de limiar da primeira interface com a segunda interface invertida [V]
W	Largura do canal do transistor [μm]
x_{dmax}	Profundidade máxima da região de depleção [μm]
α	Fator de acoplamento capacitivo do MOSFET
α_{pse}, α_{psh}	Parâmetro de ajuste para elétrons e lacunas devido ao espalhamento pela rede em uma referência de valor alto

α_{psiie}, α_{psiih}	Parâmetro de ajuste para elétrons e lacunas devido ao espalhamento pela rede e impurezas ionizadas
α_{sat}	Parâmetro de ajuste para o cálculo da velocidade de deriva
β	Fator de ganho do dispositivo [A/V^2]
β_F	Ganho de corrente do transistor bipolar parasitário
β_{pse}, β_{psh}	Parâmetro de ajuste para elétrons e lacunas devido ao espalhamento pela rede em uma referência de valor baixo
ε_{ox}	Permissividade elétrica do óxido de silício [$3{,}45 \times 10^{-13}$ F/cm]
ε_{Si}	Permissividade elétrica do silício [$1{,}06 \times 10^{-12}$ F/cm]
θ_1	Fator de degradação linear da mobilidade efetiva dos portadores [1/V]
θ_2	Fator de degradação quadrático da mobilidade efetiva dos portadores [V^{-2}]
μ_0	Mobilidade dos portadores independente de campo elétrico [$cm^2/V.s$]
μ_{0psea}, μ_{0psha}	Mobilidade dos elétrons e lacunas devido ao espalhamento pela rede para uma referência de valor alto [$cm^2/V.s$]
μ_{0pseb}, μ_{0pshb}	Mobilidade dos elétrons e lacunas devido ao espalhamento pela rede para uma referência de valor baixo [$cm^2/V.s$]
μ_{cc}	Mobilidade dos portadores devido ao espalhamento portador-portador [$cm^2/V.s$]
μ_{eff}	Mobilidade efetiva dos portadores na região do canal [$cm^2/V.s$]
μ_n	Mobilidade efetiva dos elétrons na região do canal [$cm^2/V.s$]
μ_{ni}	Mobilidade dos portadores devido ao espalhamento por impurezas neutras [$cm^2/V.s$]
μ_{pse}, μ_{psh}	Mobilidade dos elétrons e lacunas devido ao espalhamento pela rede [$cm^2/V.s$]
μ_{psiie}, μ_{psiih}	Mobilidade dos elétrons e lacunas devido ao espalhamento pela rede e impurezas ionizadas [$cm^2/V.s$]
$\mu_{psiimin,e}$, $\mu_{psiimin,h}$	Mobilidade mínima dos elétrons e lacunas devido ao espalhamento pela rede e impurezas ionizadas [$cm^2/V.s$]
σ	Parâmetro que considera o efeito de DIBL
Φ_F	Potencial de Fermi [V]
Φ_{MS}	Função-trabalho entre metal de porta e semicondutor [V]
Φ_{MSB}	Função-trabalho entre a segunda interface e a camada de silício [V]

Φ_{MSF}	Função-trabalho entre a primeira interface e a camada de silício [V]
Φ_{SB}	Potencial de superfície da segunda interface [V]
Φ_{SF}	Potencial de superfície da primeira interface [V]

SUMÁRIO

1 INTRODUÇÃO 17

2 FUNDAMENTOS TEÓRICOS 20

2.1 A TECNOLOGIA SOI 20

2.2 TIPOS DE TRANSISTORES SOI 21

2.2.1 Dispositivos SOI parcialmente depletados (PD SOI) 21

2.2.2 Dispositivos SOI totalmente depletados (FD SOI) 22

2.2.3 Dispositivos SOI quase totalmente depletados (NFD SOI) 22

2.3 CARACTERÍSTICAS DO SOI MOSFET TOTALMENTE DEPLETADO 23

2.4 CARACTERÍSTICAS ELÉTRICAS BÁSICAS 24

2.4.1 Tensão de limiar 24

2.4.2 Efeitos de canal curto 26

2.4.3 Mobilidade 28

2.4.3.1 Velocidade de saturação 35

2.4.3.2 Técnica de extração da mobilidade – Y-Function 37

2.5 O TRANSISTOR DE CANAL GRADUAL SOI MOSFET 40

3 METODOLOGIA 48

3.1 SIMULAÇÃO NUMÉRICA E MODELOS UTILIZADOS 48

3.2 SIMULAÇÃO SPICE: BSIM-SOI E PARÂMETROS UTILIZADOS 50

4 RESULTADOS E DISCUSSÕES 52

4.1 ANÁLISE DOS DADOS SIMULADOS 52

4.2 ANÁLISE DOS DADOS EXPERIMENTAIS 66

4.3 VALIDAÇÃO DOS DADOS ATRAVÉS DA SIMULAÇÃO SPICE 72

5 CONCLUSÃO 83

REFERÊNCIAS 85

APÊNDICE A - ESTRUTURA DO GCSOI MOSFET NO SENTAURUS 91

APÊNDICE B – ARQUIVO DE SIMULAÇÃO GC SOI - CURVA I_D x V_G 94

APÊNDICE C – ARQUIVO DE SIMULAÇÃO GC SOI - CURVA I_D x V_D 96

APÊNDICE D – ARQUIVO DE PARÂMETROS DE AJUSTE DAS SIMULAÇÕES 98

APÊNDICE E - SIMULAÇÃO DO TRANSISTOR SOI MOSFET NO ICAP4 99

APÊNDICE F – ARTIGO PUBLICADO 100

1 INTRODUÇÃO

Atualmente, circuitos utilizando transistores MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*) convencionais (*bulk* MOSFET) são, em sua maior parte, fabricados em substratos de silício, devido à alta qualidade do material que pode ser obtido e do óxido que pode ser crescido a partir da própria lâmina (RAHMAN et al, 2018). Os transistores MOSFET são fabricados em lâminas de silício de cerca de 800 µm de espessura, porém ocupam apenas uma fina camada superficial da lâmina. A interação entre a região ativa e o restante do substrato dá origem a uma série de efeitos parasitários indesejáveis, tais como elevadas capacitâncias de junção e o efeito tiristor parasitário, inerente à estrutura CMOS (*Complementary Metal-Oxide-Semiconductor*) (FARBIZ; ROSENBAUM, 2011).

Com a miniaturização dos transistores por efeito de campo tipo MOSFET foram agravados problemas denominados efeitos de canal curto, relacionados à redução do controle do eletrodo de porta sobre as cargas da região do canal devido à redução do comprimento de canal. Os efeitos de canal curto degradam as características elétricas dos transistores, reduzindo a tensão de limiar e aumentando a sua dependência com o potencial aplicado ao dreno, aumentando a inclinação de sublimiar e aumentando a corrente de estado desligado (COLINGE, 2004) (COLINGE, J.; COLINGE C., 2005).

A tecnologia SOI (*Silicon-On-Insulator*) surgiu como uma alternativa para a tecnologia CMOS convencional, trazendo inúmeras vantagens para o transistor MOSFET, como a redução de capacitâncias parasitárias, aumento da densidade de integração e redução de efeitos de canal curto, permitindo a fabricação de circuitos integrados em altíssima escala de integração (ULSI – *Ultra Large Scale Integration*) (COLINGE, 2004). Atualmente, o uso de transistores SOI de camada fina é bastante difundido no mercado da microeletrônica, sendo Samsung, STMicroelectronics, IBM e GlobalFoundries alguns exemplos de empresas que comercializam e investem no aperfeiçoamento desses dispositivos (GLOBALFOUNDRIES, 2020). Estes dispositivos SOI de camada fina apresentam ganhos adicionais, tais como redução dos efeitos de canal curto (YOUNG, 1989; GODARA et al., 2018), aumento da mobilidade (YOSHIMI et al., 1988; MONSIEUR et al., 2014) e da transcondutância, do campo elétrico transversal, entre outros benefícios (FOSSUM et al, 1990; COLINGE, 1987; SU et al., 1992; REIMBOLD; AUBERTON-HERVE, 1993).

Apesar das inúmeras vantagens, os transistores SOI apresentam reduzida tensão de ruptura de dreno, devido ao efeito de corpo flutuante, que leva à ativação do transistor bipolar parasitário (CHOI; FOSSUM, 1991). Dessa forma, foi projetada uma

estrutura denominada transistor SOI de canal gradual (GC, do inglês, *graded-channel*) com o intuito de reduzir a ocorrência dos efeitos bipolares parasitários, e assim aumentar a tensão de ruptura dos transistores GC SOI (PAVANELLO, 1999) (ALVES; SOUZA; FLANDRE, 2018). Esta estrutura apresenta uma concentração de dopantes gradual ao longo da região de canal do transistor, resultante de uma pequena modificação no processo de fabricação dos transistores SOI convencionais, que faz com que a dopagem para ajuste da tensão de limiar seja feita em uma parte da camada de silício próxima à região de fonte apenas.

Além de minimizar a ocorrência de efeitos bipolares parasitários, a estrutura GC SOI MOSFET possui um melhor desempenho nas suas características de saída, tais como aumento da transcondutância e redução da condutância de dreno, que implica em maior tensão Early. A associação destas características indica o grande potencial do GC SOI MOSFET para aplicações em circuitos analógicos (PAVANELLO, 2000) (DEHAN; RASKIN, 2002; KILCHYTSKA et al., 2003; EMAM et al., 2009a; EMAM et al., 2009b).

Uma das etapas necessárias para a realização de projetos de circuitos analógicos, é a simulação analítica, que requer modelos que descrevam adequadamente os componentes eletrônicos. Ao contrário de circuitos digitais, que operam em inversão forte, um bom modelo para simulação de circuitos analógicos tem que operar de forma contínua desde a inversão fraca até a inversão forte, de forma a garantir derivadas contínuas em relação às tensões aplicadas.

Devido ao grande potencial demonstrado pela estrutura GC SOI para aplicações analógicas, foi elaborado um modelo analítico contínuo que permite a simulação confiável das características elétricas (DE SOUZA et al., 2005). Este modelo foi desenvolvido considerando que o transistor GC SOI pode ser compreendido como dois transistores com diferentes concentrações de canal ligados em série. Embora este modelo tenha sido validado através da comparação com dados experimentais de transistores fabricados e caracterizados com diferentes condições de polarização, não se encontra disponível em simuladores comerciais.

Uma alternativa, utilizada por alguns autores para a simulação de circuitos com transistores GC SOI é a utilização de dois transistores em série, cada um representando uma das regiões do canal, com portas curto-circuitadas (GIMENEZ; PAVANELLO; MARTINO, 2002; GIMENEZ et al., 2006). Entretanto, além de duplicar a quantidade de transistores no circuito simulado, esta estratégia faz com que sejam adicionadas as capacitâncias de fonte e dreno do nó intermediário entre os dois transistores, que não existe no transistor de canal gradual.

Desta maneira, com o objetivo de permitir a simulação de circuitos analógicos utilizando a estrutura de canal gradual, neste trabalho é apresentado um estudo da viabilidade de se utilizar um modelo disponível em simuladores comerciais para transistores SOI uniformemente dopados, ajustando seus parâmetros de tal forma que simule um transistor de canal gradual. Os resultados obtidos são comparados com resultados de simulações numéricas bidimensionais e com dados experimentais, objetivando a validação da estratégia proposta. Inicialmente, é apresentado um estudo da mobilidade de baixo campo elétrico e fatores de degradação da mobilidade, em função dos comprimentos das duas regiões do canal.

Este trabalho encontra-se dividido em 5 capítulos, os quais estão abaixo listados.

O Capítulo 2 apresenta os fundamentos teóricos que são a base no desenvolvimento do trabalho proposto. Neste capítulo é inicialmente apresentada uma revisão bibliográfica sobre transistores SOI convencionais e suas principais características elétricas. É também apresentado o método Y-Function, método utilizado para extração dos parâmetros estudados, e o transistor SOI de canal gradual, abordando suas principais vantagens em relação ao SOI convencional.

O Capítulo 3 descreve a metodologia aplicada ao longo do trabalho além dos modelos físicos utilizados para as simulações numéricas do transistor GC SOI e é apresentado o modelo SPICE BSIMSOI, assim como seus parâmetros.

No Capítulo 4 é apresentada uma análise da mobilidade efetiva dos transistores GC SOI através de simulações numéricas, onde é avaliada a influência dos comprimentos de canal das regiões fracamente e fortemente dopada, comprimento de canal total e as suas relações sobre parâmetros como a mobilidade de baixo campo e fatores de atenuação linear e quadrático da mobilidade. São ainda analisados parâmetros extraídos de dados experimentais para confirmar a análise realizada. Por fim, é apresentada a validação da estratégia, que é dada através da comparação de curvas simuladas através do simulador SPICE ICAP4 com dados experimentais.

O Capítulo 5 sintetiza a conclusão do trabalho apresentando os principais pontos da análise de mobilidade, dos parâmetros estudados e dos resultados obtidos.

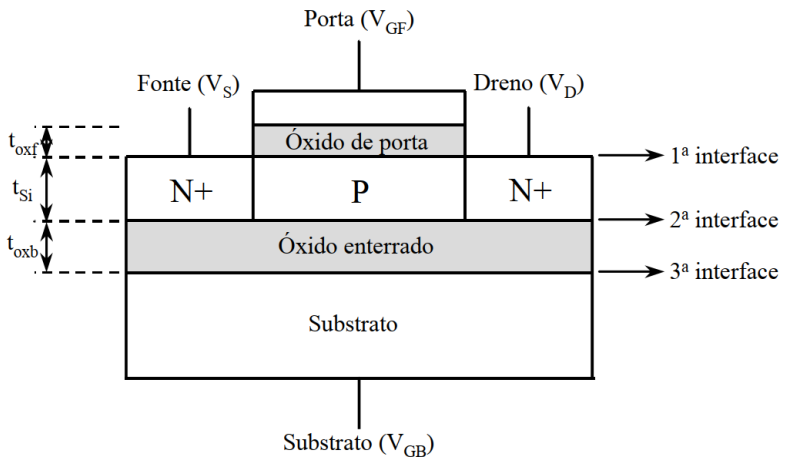
2 FUNDAMENTOS TEÓRICOS

Neste capítulo será apresentada uma revisão bibliográfica sobre a tecnologia SOI (*Silicon-On-Insulator*), características elétricas fundamentais de transistores SOI convencionais e de canal gradual (GC, do inglês, *Graded-Channel*), a qual sustenta o desenvolvimento do trabalho proposto.

2.1 A TECNOLOGIA SOI

A tecnologia SOI tem como princípio a separação da região ativa da lâmina, onde os dispositivos são fabricados, do restante do substrato, através de uma camada de isolante entre estas duas regiões. A presença da camada de isolante (óxido enterrado) proporciona a redução de alguns dos efeitos parasitários existentes na tecnologia MOSFET convencional e a supressão de outros, como por exemplo, o efeito tiristor parasitário (EL-KAREH, 1995; MORRIS, 2003).

Figura 1 – Perfil transversal de um transistor SOI nMOSFET.



Fonte: DE SOUZA, 2008.

A Figura 1 apresenta o perfil transversal de um transistor MOS implementado em tecnologia SOI. É possível distinguir duas camadas de silício separadas pelo isolante que caracteriza a tecnologia SOI. A primeira, de espessura t_{Si}, define a região ativa do transistor, dividida em fonte, canal e dreno, enquanto a segunda, o substrato, proporciona sustentação mecânica para a estrutura, tendo algumas centenas de micrômetros de espessura. A camada de óxido de porta, de espessura t_{oxf}, e a camada de silício dopada formam a

primeira interface da estrutura. Essa mesma camada de silício e o óxido enterrado, de espessura t_{oxb}, formam a segunda interface. A terceira interface é definida pelo óxido enterrado e o substrato. As camadas descritas compõem dois capacitores, o capacitor de porta e um formado pela estrutura substrato/óxido enterrado/silício. Como as regiões de fonte e dreno apresentam dopantes tipo n+, a Figura 1 retrata um nMOSFET (*n-type Metal-Oxide Semiconductor Field-Effect Transistor*). Os pontos V_S, V_D, V_{GF} e V_{GB} representam o contato da fonte, dreno, porta e substrato, respectivamente.

2.2 TIPOS DE TRANSISTORES SOI

De acordo com a física de seu funcionamento, os transistores SOI podem ser classificados em modo inversão (ou modo enriquecimento) e modo acumulação. O modo inversão nos transistores SOI nMOSFET é usualmente o mais comum (COLINGE, 2004). Neste trabalho somente este modo será considerado.

As características elétricas dos transistores SOI são fortemente dependentes da espessura e concentração de dopantes da camada de silício sobre a qual são fabricados. Desta forma, três tipos de transistores podem ser obtidos: dispositivos totalmente depletados, quase totalmente depletados e parcialmente depletados.

Em um dispositivo MOSFET convencional, a região de depleção estende-se, a partir da interface Si–SiO_2, até a profundidade máxima de depleção, x_{dmax}, dada por (COLINGE, 2004):

$$x_{\mathrm{dmax}} = \sqrt{\frac{2.\varepsilon_{\mathrm{Si}}.2.\phi_{\mathrm{F}}}{\mathrm{q.N_A}}} \qquad (1)$$

Onde ε_{Si} é a permissividade elétrica do silício, q é a carga elementar do elétron, N_A é a concentração de dopantes tipo P do substrato e ϕ_F é o potencial de Fermi, dado por $\phi_F = \frac{kT}{q}.\ln\left(\frac{N_A}{n_i}\right)$, onde k é a constante de Boltzmann, T é a temperatura absoluta em Kelvins e n_i é a concentração intrínseca de portadores.

2.2.1 Dispositivos SOI parcialmente depletados (PD SOI)

Se a espessura da camada de silício (t_{Si}) for maior que duas vezes a profundidade máxima de depleção do dispositivo ($2.x_{dmax}$) em um transistor SOI, não haverá interação entre as regiões de depleção induzidas na primeira e segunda interfaces, dando origem a uma região

neutra entre elas. Neste caso, o dispositivo é denominado de transistor SOI parcialmente depletado (PD, do inglês, *partially depleted*) ou transistor SOI de camada espessa.

A região neutra existente nos dispositivos PD SOI pode possuir um contato elétrico ou não. Se este contato for deixado eletricamente flutuando, o transistor apresentará efeitos devidos ao corpo flutuante (também conhecidos como efeito de corpo flutuante) (KRISHNAN e FOSSUM, 1998), tais como o efeito de elevação abrupta de corrente (*Efeito Kink*) e o efeito bipolar parasitário entre fonte e dreno (COLINGE, 2004).

2.2.2 Dispositivos SOI totalmente depletados (FD SOI)

Se a espessura da camada de silício for menor que a profundidade máxima de depleção do dispositivo ($t_{Si} < x_{dmax}$), as regiões de depleção da primeira e segunda interfaces entrarão em contato e a camada de silício estará totalmente depletada para tensões superiores à tensão de limiar, independente da tensão aplicada ao substrato (com exceção da possível presença de uma fina camada de acumulação, se uma alta tensão negativa por aplicada ao substrato ou inversão na segunda interface, se uma alta tensão positiva for aplicada ao substrato). Esta interação entre as regiões de depleção faz com que os potenciais de superfície da primeira e segunda interfaces (Φ_{SF} e Φ_{SB}, respectivamente) estejam inter-relacionados, promovendo o acoplamento elétrico da estrutura.

Neste caso, o dispositivo é chamado de transistor SOI totalmente depletado (FD, do inglês, *fully depleted*) ou transistor SOI de camada fina. Estes dispositivos apresentam as características elétricas superiores em relação aos outros tipos de transistores SOI, tais como menor ocorrência de efeitos de canal curto (YOUNG,1989; GODARA et al., 2018), maior mobilidade dos portadores na região do canal (YOSHIMI,1989; MONSIEUR, 2014), menor variação da tensão de limiar com a temperatura (GROESENEKEN, 1990), redução do campo elétrico transversal (KISTLER, 1994), entre outras.

Em virtude destas vantagens, concentraremos nossa atenção neste tipo de transistores SOI no decorrer deste trabalho.

2.2.3 Dispositivos SOI quase totalmente depletados (NFD SOI)

Os dispositivos quase totalmente depletados (NFD, do inglês, *near-fully depleted*) ou de camada média são aqueles cuja espessura da camada de silício está entre a profundidade máxima de depleção e duas vezes a mesma profundidade máxima de depleção ($x_{dmax} < t_{Si} <$

2.x_{dmax}). Neste caso, as regiões de depleção da primeira e segunda interfaces poderão ou não entrar em contato, dependendo da tensão aplicada ao substrato (V_{GB}) do dispositivo. Desta forma, os dispositivos de camada média podem apresentar comportamento elétrico de um SOI parcialmente ou totalmente depletado (COLINGE, 2004).

2.3 CARACTERÍSTICAS DO SOI MOSFET TOTALMENTE DEPLETADO

Grande parte das vantagens apresentadas pelos transistores SOI MOSFET totalmente depletados sobre o MOSFET convencional e o SOI MOSFET parcialmente depletado está associada ao fator de corpo (n), que influencia diretamente a capacidade de fornecimento de corrente do dispositivo (LIM; FOSSUM, 1983).

Em um primeiro momento, o fator de corpo pode ser entendido como a oposição que o dispositivo oferece para que a porta controle o potencial de superfície da primeira interface. Assim, quanto menor o efeito de corpo, mais próximo do ideal será o comportamento elétrico do dispositivo. O fator de corpo é dado pela seguinte equação:

$$n = 1 + \alpha \tag{2}$$

onde α é o fator de acoplamento capacitivo do transistor MOS, dado por:

$\alpha = \frac{C_D}{C_{ox}}$ para transistores MOS convencionais e SOI parcialmente depletados;

$\alpha = \frac{C_{Si}}{C_{ox}}$ para transistores FD SOI com a segunda interface acumulada;

$\alpha = \frac{C_{Si}C_{oxb}}{C_{oxf}(C_{Si}+C_{oxb})}$ para transistores FD SOI com a segunda interface depletada.

Nas expressões acima, C_D, C_{oxf} (C_{ox} para os transistores MOS convencionais), C_{oxb} e C_{Si} são as capacitâncias da região de depleção, do óxido de porta, do óxido enterrado e da camada de silício, respectivamente, todas por unidade de área e expressas por:

$$C_{oxf} = \frac{\varepsilon_{ox}}{t_{oxf}};\ C_{oxb} = \frac{\varepsilon_{ox}}{t_{oxb}};\ C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}} \text{ e } C_D = \frac{\varepsilon_{Si}}{x_{dmáx}}$$

Pode-se verificar que o valor de n é menor nos dispositivos SOI totalmente depletados do que nos dispositivos MOS convencionais, se aproximando da unidade, seguindo a seguinte ordem:

$$n_{SOI\ totalmente\ depletado} < n_{MOS\ convencional} < n_{SOI\ com\ a\ segunda\ interface\ acumulada}$$

Os transistores SOI totalmente depletados apresentam maior intensidade de corrente quando comparados a dispositivos convencionais com mesma tensão de limiar e ponto de polarização de tensão, devido ao menor fator de corpo (COLINGE, 2004). Tal fato pode ser observado a partir das equações de dreno simplificadas, nas regiões de triodo e saturação (LIM; FOSSUM, 1984) (COLINGE, J.; COLINGE, C., 2005):

- triodo:

$$I_{DS} \cong \frac{W\mu_n C_{ox}}{L}\left[(V_{GS} - V_{TH})V_{DS} - n\frac{V_{DS}^2}{2}\right] \quad (3)$$

- saturação:

$$I_{DS} \cong \frac{W\mu_n C_{ox}}{2L.\,n}\,(V_{GS} - V_{TH})^2 \quad (4)$$

onde W e L são, respectivamente, a largura e o comprimento de canal do transistor, μ_n é a mobilidade efetiva dos elétrons na região de canal e V_{TH} é a tensão de limiar do transistor.

2.4 CARACTERÍSTICAS ELÉTRICAS BÁSICAS

Nesta seção são apresentados alguns dos principais parâmetros elétricos dos transistores SOI, os quais serão utilizados ao longo deste trabalho. Vale ressaltar que, neste trabalho, são tratados apenas transistores SOI nMOSFETs de camada fina, operando totalmente depletados.

2.4.1 Tensão de limiar

A tensão de limiar (V_{TH}) de um transistor MOSFET é definida como aquela que, aplicada entre a porta e a fonte, leva o transistor da inversão fraca para a inversão forte (ORTIZ-CONDE et al, 2002), também determinada quando o potencial de superfície é igual a $2\phi_F$. Para transistores nMOSFETs convencionais a tensão de limiar pode ser expressa por (COLINGE, 2004):

$$V_{thf} = V_{FB} + 2\phi_F + \frac{q.N_A.x_{dmáx}}{C_{ox}} \quad (5)$$

onde, a tensão de faixa plana, V_{FB} é dada por $V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}}$, sendo Φ_{MS} a diferença da função trabalho entre o material de porta e o silício e Q_{ox} a densidade de carga fixa no óxido de porta por unidade de área.

Não há interação entre as regiões de depleção da primeira e segunda interfaces em transistores SOI parcialmente depletados, e a tensão de limiar na primeira interface (V_{thf}) é a mesma de um transistor MOS convencional, calculada pela eq. (5).

No caso de transistores SOI totalmente depletados, há interação entre as regiões de depleção da primeira e segunda interfaces. A relação entre as tensões aplicadas à porta e ao substrato podem ser expressas pelas seguintes equações (LIM; FOSSUM, 1983), desprezando-se as armadilhas de interface:

$$V_{GF} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right)\phi_{SF} - \frac{C_{Si}}{C_{oxf}}\phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{nf}}{C_{oxf}} \quad (6)$$

$$V_{GB} = \phi_{MSB} - \frac{Q_{oxb}}{C_{oxb}} - \frac{C_{Si}}{C_{oxb}}\phi_{SF} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right)\phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{SB}}{C_{oxb}} \quad (7)$$

onde Q_{oxf} e Q_{nf} são as densidades de carga fixa e de carga de inversão, respectivamente, na primeira interface ($Q_{nf} < 0$) do transistor SOI, Q_{depl} é a densidade de carga de depleção total na camada de silício, dada por $Q_{depl} = -qN_A t_{Si}$, Q_{oxb} é a densidade de carga fixa no óxido enterrado e Q_{SB} é a densidade de carga de inversão ($Q_{SB} < 0$) ou de acumulação ($Q_{SB} > 0$) na segunda interface, ambos por unidade de área, ϕ_{MSF} e ϕ_{MSB} são as diferenças de função trabalho entre o eletrodo de porta e a camada de silício e entre o substrato e a camada de silício no transistor, respectivamente.

As equações (6) e (7) descrevem o acoplamento entre os potenciais aplicados à porta e ao substrato, de forma que a tensão de limiar do transistor SOI nMOSFET de camada fina se torna dependente da polarização do substrato, conforme as seguintes condições:

-Segunda interface acumulada ($V_{thf, accB}$), onde $\phi_{SB} = 0$, $Q_{nf} = 0$ e $\phi_{SF} = 2\phi_F$:

$$V_{thf,accB} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right)2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (8)$$

-Segunda interface invertida ($V_{thf,\ invB}$), onde $\phi_{SB} = 2\phi_F$, $Q_{nf} = 0$ e $\phi_{SF} = 2\phi_F$:

$$V_{thf,invB} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \tag{9}$$

-Segunda interface depletada ($V_{thf,\ deplB}$), onde $0 < \phi_{SB} < 2\phi_F$, $Q_{nf} = 0$ e $\phi_{SF} = 2\phi_F$:

$$V_{thf,deplB} = V_{thf,accB} - \frac{C_{Si} \cdot C_{oxb}}{C_{oxf}\,(C_{Si} + C_{oxb})} \cdot (V_{GB} - V_{GB,accB}) \tag{10}$$

onde, $V_{GB,accB}$ é a tensão aplicada ao substrato para que a segunda interface acumule, calculada pela eq. (7) com $\phi_{SB} = 0$, $\phi_{SF} = 2\phi_F$ e $Q_{SB} = 0$.

As equações (8), (9) e (10) são válidas somente se as espessuras das camadas de inversão e acumulação forem desprezíveis em relação à espessura da camada de silício (LIM; FOSSUM, 1983).

2.4.2 Efeitos de canal curto

Devido à miniaturização dos dispositivos e consequentemente à redução do comprimento de canal, surgem efeitos indesejáveis, chamados de efeito de canal curto (YOUNG, 1989; GODARA et al., 2018). A redução do comprimento de canal faz com que as regiões de depleção de fonte e dreno tornem-se significativas em relação à região de depleção causada pela tensão aplicada à porta. Desta forma, a carga de depleção controlada pela porta não pode mais ser expressa por $Q_{depl} = -q.N_A.x_{dmáx}$, como no caso do transistor MOSFET convencional, mas sim como uma parcela dela ($Q_{depl,ef}$). Uma vez que $Q_{depl,ef} < Q_{depl}$, haverá uma redução na tensão de limiar e um aumento da inclinação de sublimiar.

No caso de um transistor MOSFET convencional de canal curto, a carga de depleção efetiva $Q_{depl,ef}$ pode ser dada pela expressão (MULLER; KAMINS, 1986):

$$Q_{depl,ef} = Q_{depl}\left(1 - \frac{r_j}{L}\left(\sqrt{1 + \frac{2x_{dmáx}}{r_j}} - 1\right)\right) \tag{11}$$

Onde:

- Q_{depl} é a carga de depleção dada pela expressão $Q_{depl} = -q.N_A.x_{dmáx}$;
- r_j é a profundidade das junções de fonte e dreno;

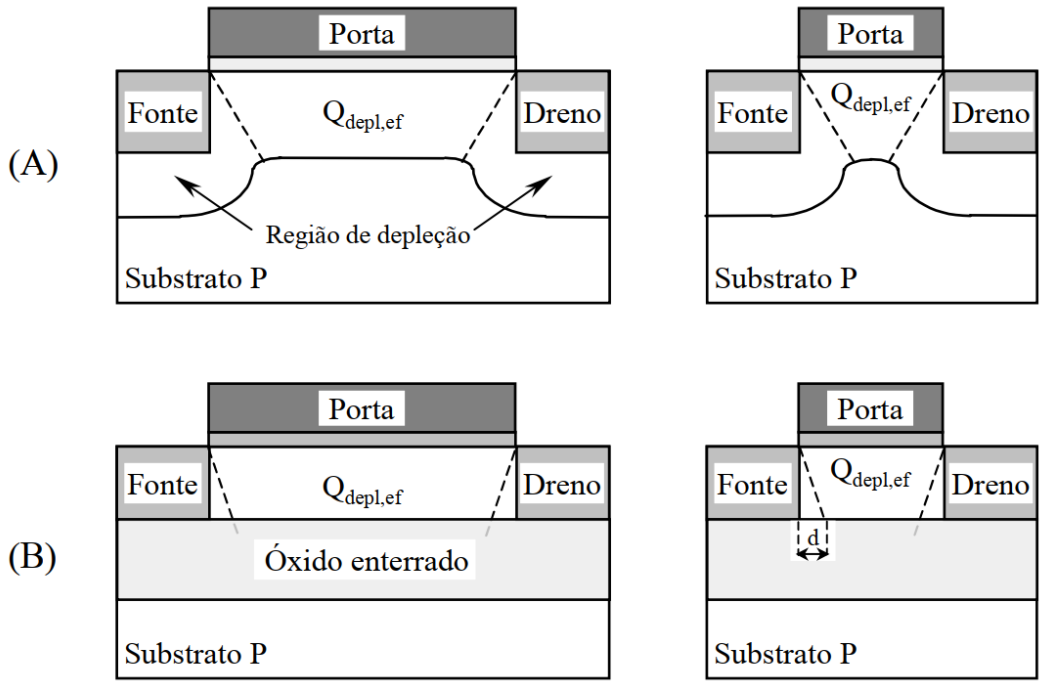
- L é o comprimento de canal do transistor;
- $x_{dmáx}$ é a profundidade de depleção máxima da interface Si-SiO_2.

A Figura 2 compara o efeito de canal curto em dispositivos convencionais (A) e dispositivos SOI (B). Os dispositivos SOI sofrem menor influência da redução do comprimento de canal do que os dispositivos MOS convencionais, pois a parcela da carga total que é efetivamente controlada pela porta para canal curto é maior comparada a dos dispositivos convencionais. A carga controlada pela porta em dispositivos SOI totalmente depletados é dada pela expressão:

$$Q_{depl,ef} = Q_{depl}\left(1 - \frac{d}{L}\right) \tag{12}$$

onde d é a distância conforme Figura 2.

Figura 2 – Distribuição das cargas nas regiões de depleção de fonte e dreno em transistores MOS convencional (A) e SOI de camada fina (B) de canal longo (esquerda) e canal curto (direita).



Fonte: DE SOUZA, 2008.

Outro efeito de canal curto é o efeito de redução de barreira induzida pelo dreno (DIBL, do inglês, *Drain-Induced Barrier Lowering*), que também ocorre devido ao compartilhamento de cargas entre a porta e as junções de fonte e dreno (AL-MISTARIHI; RJOUB; AL-TARADEH, 2013). O DIBL é resultado do aumento das regiões de depleção das junções PN entre fonte/corpo e corpo/dreno de um transistor MOS. Esse aumento é devido à tensão de

polarização aplicada ao dreno do dispositivo, que faz com que a junção dreno-canal fique mais reversamente polarizada. Para um dispositivo com canal suficientemente longo, a tensão de limiar não varia com o aumento da tensão de dreno. Por outro lado, em um dispositivo de canal curto, a tensão de limiar torna-se dependente da tensão de dreno. O aumento da tensão de dreno provoca um aumento na região de depleção da junção canal-dreno, consequentemente a carga de depleção controlada pela porta diminui, reduzindo a tensão de limiar.

O aumento da tensão de dreno pode provocar a ativação da estrutura bipolar parasitária em dispositivos SOI levando a uma redução significativa da tensão de limiar e resultando em maior DIBL nestes dispositivos em comparação com dispositivos convencionais (ADAM et al., 1999).

O efeito DIBL pode ser incluído no cálculo da tensão de limiar através da expressão (VEERARAGHAVAN; FOSSUM, 1988):

$$V_{thf} = V_{thf0} - \sigma V_{DS} \tag{13}$$

Onde:

- V_{thf} é a tensão de limiar considerando o efeito de DIBL;
- σ é o parâmetro do DIBL; e
- V_{thf0} é a tensão de limiar de um dispositivo de canal longo, a qual é independente de DIBL.

2.4.3 Mobilidade

A mobilidade dos portadores é um fator muito importante na determinação da capacidade de fornecimento de corrente de qualquer dispositivo. Ela quantifica a facilidade de movimento dos portadores para um dado campo elétrico aplicado e é encontrada simplificadamente na expressão da velocidade de deriva como: $\boldsymbol{\nu} = \mu.\mathbf{E}$, sendo **E** o campo elétrico aplicado (SZE, 1981).

Além do campo elétrico, a mobilidade é muito dependente das caraterísticas do material e da temperatura. Para baixos valores de campo elétrico, é possível extrair a dependência da mobilidade com o material e a temperatura através de quatro mecanismos principais de espalhamento: espalhamento por rede, espalhamento por impurezas ionizadas, espalhamento portador-portador e espalhamento por impurezas neutras. A mobilidade resultante desses mecanismos de espalhamento sem a influência do campo elétrico é chamada de mobilidade de

baixo campo (μ_0) e é máxima mobilidade que os portadores podem atingir para dadas condições.

Nesta seção, são apresentados os modelos analíticos que descrevem cada um destes mecanismos de espalhamento e será apresentada uma técnica muito utilizada para extração da mobilidade.

a) Espalhamento por rede

Este mecanismo de espalhamento está relacionado às interações entre os portadores e as vibrações da rede cristalina (fônons). Este mecanismo é fortemente dependente da temperatura, onde a redução desta provoca um aumento da mobilidade.

O modelo matemático mais utilizado para o cálculo da mobilidade dependente deste mecanismo é o proposto por (SAH et al, 1981). As equações (14) e (15) são referentes à mobilidade devido ao mecanismo de espalhamento por fônons para elétrons e lacunas, respectivamente.

$$\mu_{pse} = \frac{1}{\left(\frac{1}{\mu_{0psea}\left(\frac{T}{300}\right)^{-\alpha pse}} + \frac{1}{\mu_{0pseb}\left(\frac{T}{300}\right)^{-\beta pse}}\right)} \tag{14}$$

Onde:

- μ_{0psea} = 4195 cm^2/Vs, é a mobilidade dos elétrons referente ao mecanismo de espalhamento por fônons para uma alta referência;

- μ_{0pseb}=2153 cm^2/Vs, é a mobilidade dos elétrons referente ao mecanismo de espalhamento por fônons para uma baixa referência;

- α_{pse} = 1,5, é o parâmetro de ajuste dos elétrons referente ao mecanismo de espalhamento por fônons para uma alta referência; e

- β_{pse} =3,13, é o parâmetro de ajuste dos elétrons referente ao mecanismo de espalhamento por fônons para uma alta referência.

- T é a temperatura absoluta em Kelvins.

$$\mu_{psh} = \frac{1}{\left(\frac{1}{\mu_{0psha}\left(\frac{T}{300}\right)^{-\alpha psh}} + \frac{1}{\mu_{0hb}\left(\frac{T}{300}\right)^{-\beta psh}}\right)} \quad (15)$$

Onde:

- μ_{0psha} = 2502 cm^2/Vs, é a mobilidade das lacunas referente ao mecanismo de espalhamento por fônons para uma alta referência;
- μ_{0pshb}=591 cm^2/Vs, é a mobilidade das lacunas referente ao mecanismo de espalhamento por fônons para uma baixa referência;
- α_{psh} = 1,5, é o parâmetro de ajuste das lacunas referente ao mecanismo de espalhamento por fônons para uma alta referência; e
- β_{psh} =3,25, é o parâmetro de ajuste das lacunas referente ao mecanismo de espalhamento por fônons para uma alta referência;
- T é a temperatura absoluta em Kelvins.

Os parâmetros do modelo foram obtidos empiricamente. Neste modelo são combinados fônons ópticos e acústicos utilizando a regra de Mathiessen (GUTIERREZ; DEEN; CLAEYS, 1991).

b) Espalhamento por impurezas ionizadas

Este mecanismo está relacionado às altas concentrações de dopantes, que causam uma redução da mobilidade dos portadores. Um modelo empírico foi proposto por CAUGHEY e THOMAS (1967) no qual calcula a mobilidade dependente do espalhamento por impurezas ionizadas e do espalhamento causado pela rede cristalina combinados, de forma que possam ser incluídos na regra de Mathiessen. As equações (16) e (17) descrevem esse modelo para elétrons e lacunas, respectivamente.

$$\mu_{psiie} = \mu_{psiimin,e} + \frac{\mu_{pse} - \mu_{psiimin,e}}{1 + \left(\frac{N_D^+}{N_{refpsii,e}}\right)^{\alpha_{psiie}}} \quad (16)$$

Onde:

- μ_{psiie} é a mobilidade dos elétrons referente ao mecanismo de espalhamento por fônons e impurezas ionizadas;
- $\mu_{psiimin,e}$ é a mobilidade mínima dos elétrons referente ao mecanismo de espalhamento por fônons e impurezas ionizadas, dada pela expressão $\mu_{psiimin,e} = 197{,}17 - 45{,}505 \cdot \log(T)$;
- μ_{pse} é a mobilidade dos elétrons referente ao mecanismo de espalhamento por fônons;
- N_D^+ é a concentração de dopantes doadores;
- $N_{refpsii,e}$ é a concentração de dopantes de referência para o mecanismo de espalhamento por fônons e impurezas ionizadas para elétrons, dada pela expressão $N_{refpsii,e} = 1{,}12 \cdot 10^{17} \cdot \left(\frac{T}{300}\right)^{3,2}$;
- α_{psiie} é o parâmetro de ajuste dos elétrons referente ao mecanismo de espalhamento por fônons e impurezas ionizadas, dado pela expressão $\alpha_{psiie} = 0{,}72 \cdot \left(\frac{T}{300}\right)^{0,065}$.

$$\mu_{psiih} = \mu_{psiimin,h} + \frac{\mu_{psh} - \mu_{psiimin,h}}{1 + \left(\frac{N_A^-}{N_{refpsii,h}}\right)^{\alpha_{psiih}}} \tag{17}$$

Onde:
- μ_{psiih} é a mobilidade das lacunas referente ao mecanismo de espalhamento por fônons e impurezas ionizadas;
- $\mu_{psiimin,h}$ é a mobilidade mínima das lacunas referente ao mecanismo de espalhamento por fônons e impurezas ionizadas, dada pela expressão $\mu_{psiimin,h} = 110{,}90 - 25{,}597 \cdot \log(T)$;
- μ_{psh} é a mobilidade das lacunas referente ao mecanismo de espalhamento por fônons;
- N_A^- é a concentração de dopantes aceitadores;
- $N_{refpsii,h}$ é a concentração de dopantes de referência para o mecanismo de espalhamento por fônons e impurezas ionizadas para lacunas, dada pela expressão $N_{refpsii,h} = 2{,}23 \cdot 10^{17} \cdot \left(\frac{T}{300}\right)^{3,2}$;
- α_{psiih} é o parâmetro de ajuste das lacunas referente ao mecanismo de espalhamento por fônons e impurezas ionizadas, dado pela expressão $\alpha_{psiie} = 0{,}72 \cdot \left(\frac{T}{300}\right)^{0,065}$.

c) Espalhamento portador-portador

O mecanismo de espalhamento portador-portador assume um papel relevante quando a densidade de portadores é alta (maior que a concentração de dopantes), de forma que os portadores interajam entre si havendo atração e repulsão na banda de condução. Esse mecanismo pode ocorrer mais comumente em dispositivos de potência, mas também pode ocorrer em dispositivos submicrométricos, nos quais a densidade de corrente pode ser bastante alta (DORKEL; LETURCQ, 1981).

A mobilidade levando-se em consideração o espalhamento portador-portador, pode ser modelada como (DORKEL; LETURCQ, 1981):

$$\mu_{CC} = \frac{2 \cdot 10^{17}}{\sqrt{N_A} \cdot \ln\left(1 + 8{,}28 \cdot T^2 \cdot N_A^{\frac{1}{3}}\right)} \tag{18}$$

Para semicondutor tipo n, deve-se apenas substituir N_A por N_D na eq. (18).

d) Espalhamento por impurezas neutras

O mecanismo de espalhamento por impurezas neutras ocorre devido à variação da quantidade de impurezas não ionizadas com a temperatura, sendo particularmente importante para concentrações de impurezas acima de 2.10^{17} cm^{-3} e em baixas temperaturas (LI; THURBER, 1977). O modelo da mobilidade para este mecanismo é expresso através da seguinte expressão (para elétrons):

$$\mu_{ni} = C_0 \cdot \left(\frac{2}{3}\sqrt{\frac{kT}{E_{ni,e}}} + \frac{1}{3}\sqrt{\frac{E_{ni,e}}{kT}}\right) \tag{19}$$

onde $C_0 = \left[\frac{2\pi^3 q^3 m_{ce}^*}{5\varepsilon_{Si} h^3 (N_A - N_A^-)}\right]$; $E_{ni,e} = 1{,}136 \cdot 10^{-19} \cdot \left(\frac{m_{ce}^*}{m_0}\right) \cdot \left(\frac{\varepsilon_0}{\varepsilon_{Si}}\right)$ e ε_0 e ε_{Si} são as permissividades elétricas do vácuo e do semicondutor, respectivamente e m_{ce}^*, a massa efetiva de condução para elétrons.

Para o cálculo da mobilidade de lacunas, deve-se apenas substituir a massa efetiva de condução para elétrons pela massa efetiva de condução para lacunas, m_{ch}^*, no cálculo de C_0 e E_{ni} na equação (19).

e) Mobilidade de portadores independente de campo elétrico

Os mecanismos de espalhamento apresentados são independentes das tensões aplicadas, são dependentes apenas das características do material e da temperatura e podem ser combinados através da regra de Mathiessen, levando ao valor da mobilidade de baixo campo (μ_0):

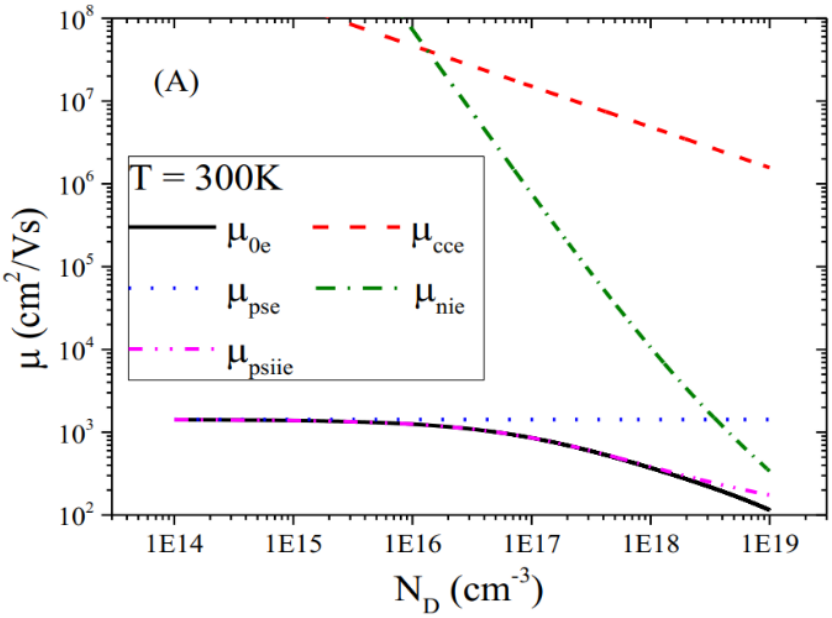
$$\mu_0 = \left(\frac{1}{\frac{1}{\mu_{psii}} + \frac{1}{\mu_{CC}} + \frac{1}{\mu_{ni}}} \right) \tag{20}$$

Onde:

- μ_{psii} é a mobilidade referente ao mecanismo de espalhamento por fônons e impurezas ionizadas;
- μ_{CC} é a mobilidade referente ao mecanismo de espalhamento portador-portador;
- μ_{ni} é a mobilidade referente ao mecanismo de espalhamento por impurezas neutras.

Na Figura 3 são apresentadas as curvas correspondentes às diversas componentes da mobilidade de baixo de campo e a mobilidade de baixo campo total, em função da concentração de dopantes.

Figura 3 – Mobilidade de baixo campo e suas componentes em função da concentração de dopantes.



Fonte: PAZ, 2018.

Conforme pode ser observado na Figura 3, a mobilidade de baixo campo sofre uma redução para concentrações de dopantes acima de 10^{16} cm^{-3} devido, quase que exclusivamente, ao espalhamento por impurezas ionizadas. Outro ponto a se notar é a intensa redução da mobilidade com relação ao espalhamento por impurezas neutras para o aumento da concentração de dopantes.

f) Mobilidade dos portadores dependente de campo elétrico

Em um transistor MOSFET em operação, a mobilidade apresentada nas equações (3) e (4) não é a mesma apresentada na equação (20), a qual é denominada mobilidade de baixo campo e é calculada através da regra de Mathiessen pelos mecanismos de espalhamento. A mobilidade apresentada nas equações (3) e (4) é a mobilidade efetiva do transistor e é dependente do campo elétrico vertical e lateral, sendo o campo elétrico vertical causado por uma diferença de potencial aplicada entre a porta e a fonte e o campo elétrico lateral causado por uma diferença de potencial entre a fonte e o dreno. A mobilidade efetiva pode então ser dividida em: mobilidade efetiva dependente do campo elétrico vertical e mobilidade efetiva dependente do campo elétrico lateral.

Tratando-se da mobilidade efetiva dependente do campo elétrico vertical, um modelo amplamente utilizado para descrevê-la é apresentado na equação (21) (COLINGE J.; COLINGE C., 2005):

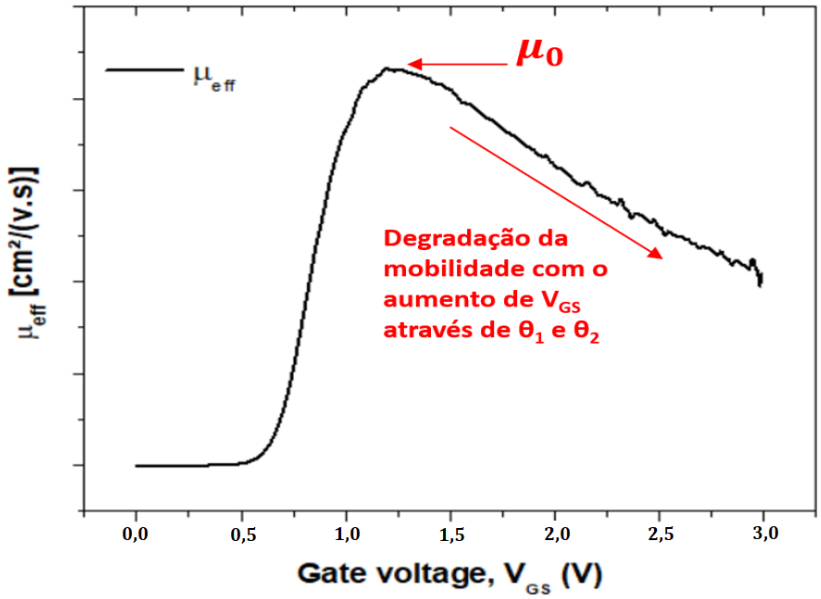
$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_{GS} - V_{TH}) + \theta_2(V_{GS} - V_{TH})^2} \tag{21}$$

Onde:

- μ_0 é a mobilidade de baixo campo;
- θ_1 é o coeficiente de degradação linear da mobilidade;
- θ_2 é o coeficiente de degradação quadrático da mobilidade;
- V_{GS} é a tensão aplicada entre a porta e a fonte; e
- V_{TH} é a tensão de limiar.

Este modelo é válido para sobretensão de porta ($V_{GT} = V_{GS} - V_{TH}$) igual ou acima de zero. Uma representação gráfica da equação (21) é apresentada na Figura 4.

Figura 4 – Exemplo da mobilidade efetiva (μ_{eff}) dependente do campo elétrico vertical em função da tensão de porta (V_{GS}).



Fonte: Autor.

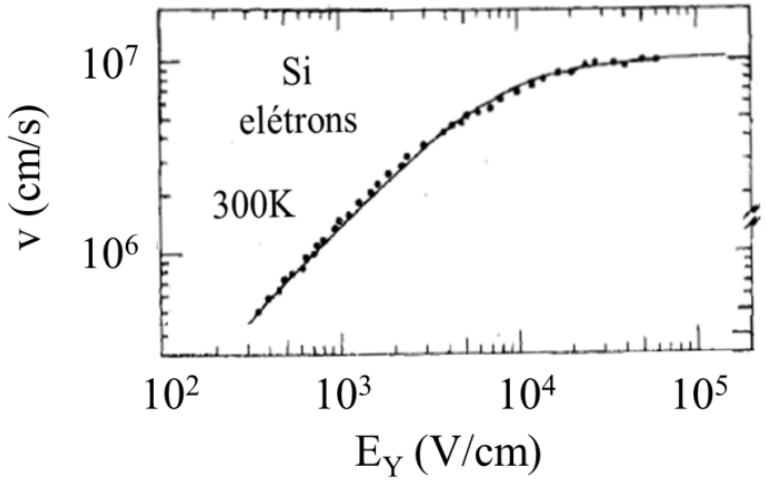
Com o aumento do potencial aplicado entre dreno e fonte (V_{DS}) e, consequentemente, do campo elétrico lateral, há uma redução na mobilidade devido ao efeito da saturação da velocidade de deriva dos portadores (VEERARAGHAVAN; FOSSUM, 1988). O efeito da degradação da mobilidade pelo campo lateral será discutido a seguir, após a introdução do conceito de velocidade de saturação dos portadores.

2.4.3.1 Velocidade de saturação

Os portadores de carga em um transistor MOS quando submetidos a um baixo campo elétrico lateral (E_y) adquirem uma determinada velocidade, onde se observa um comportamento linear à medida que o campo elétrico aumenta, conforme descrito pela equação (22). Entretanto, para altos valores de campo elétrico, a elevação deste não produz mais o mesmo aumento proporcional na velocidade dos portadores. A velocidade tende a um valor aproximadamente constante e é denominada velocidade de saturação (v). Esse comportamento assintótico da velocidade pode ser observado na Figura 5, a partir de E_y=10^4V/cm (SZE, 1981).

$$v = \mu \times E_y \tag{22}$$

Figura 5 – Comportamento da velocidade dos elétrons em função do campo elétrico lateral para o silício a 300K.



Fonte: adaptado de CANALI, 1975.

A velocidade de saturação é dependente da temperatura, sendo que no silício v_{sat} varia de $5x10^6$ até 10^7 cm/s, e pode ser expressa por (CANALI, 1975):

$$v_{sat,e} = 10^7 \cdot \left(\frac{T}{300}\right)^{-0,87} [\frac{cm}{s}] \tag{23}$$

para elétrons e

$$v_{sat,h} = 8,37 \cdot 10^6 \cdot \left(\frac{T}{300}\right)^{-0,52} [\frac{cm}{s}] \tag{24}$$

para lacunas.

O comportamento assintótico da velocidade de deriva dos portadores já é consolidado dentro da literatura e uma das expressões mais aceitas é descrita na equação (25) (CANALI, 1975).

$$v = v_{sat} \frac{|E_y|/E_{crit}}{\left[1 + \left(|E_y|/E_{crit}\right)^{\alpha sat}\right]^{1/\alpha sat}} \tag{25}$$

Onde:

- v_{sat} é a velocidade de saturação;
- E_y é o campo elétrico lateral;
- E_{crit} é o campo elétrico lateral onde a velocidade de deriva satura;
- αsat é o parâmetro de ajuste para a velocidade de deriva.

Dessa forma, considerando o efeito da velocidade de saturação, a mobilidade efetiva dependente do campo elétrico lateral é expressa por (INIGUEZ et al., 1999):

$$\mu_{eff} = \frac{\mu_0}{\left[1 + \left(\frac{\mu_0 V_{DS}}{L v_{sat}}\right)^{\alpha sat}\right]^{1/\alpha sat}} \tag{26}$$

Onde:

- μ_0 é a mobilidade de baixo campo;
- V_{DS} é a tensão entre fonte e dreno;
- L é o comprimento de canal;
- v_{sat} é a velocidade de saturação;
- αsat é o parâmetro de ajuste para a velocidade de deriva.

Para obter uma única equação da mobilidade efetiva que considera tanto a dependência com o campo elétrico lateral como com o campo elétrico vertical, basta substituir a equação (21) na equação (26), no lugar de (μ_0).

2.4.3.2 Técnica de extração da mobilidade – Y-Function

A extração precisa da mobilidade é essencial para uma boa aproximação do modelo teórico com os dados experimentais. Existem várias técnicas que permitem extrair a mobilidade de acordo com o grau de aproximação que se deseja obter e com os dados disponíveis como split C-V (SODINI; EKSEDT; MOLL, 1982), método de McLarty (McLARTY et al., 1995) e o método Y-Function (GHIBAUDO, 1988; HENRY, J.-B. et al., 2016).

Neste trabalho é aplicado o método Y-Function desenvolvido por (RIBEIRO, 2016) no *software MathCad*. A escolha do método se deve a sua boa precisão e por utilizar somente curvas I-V e a transcondutância para baixo V_{DS}.

O método Y-Function, desenvolvido em 1988 (GHIBAUDO, 1988), consiste na relação da corrente de dreno e da transcondutância, dada pela equação (29).

Para baixo V_{DS}, o termo quadrático na equação (3) pode ser desprezado resultando na equação (27). A transcondutância é expressa pela derivada da corrente de dreno em função da tensão de porta, dada na equação (28).

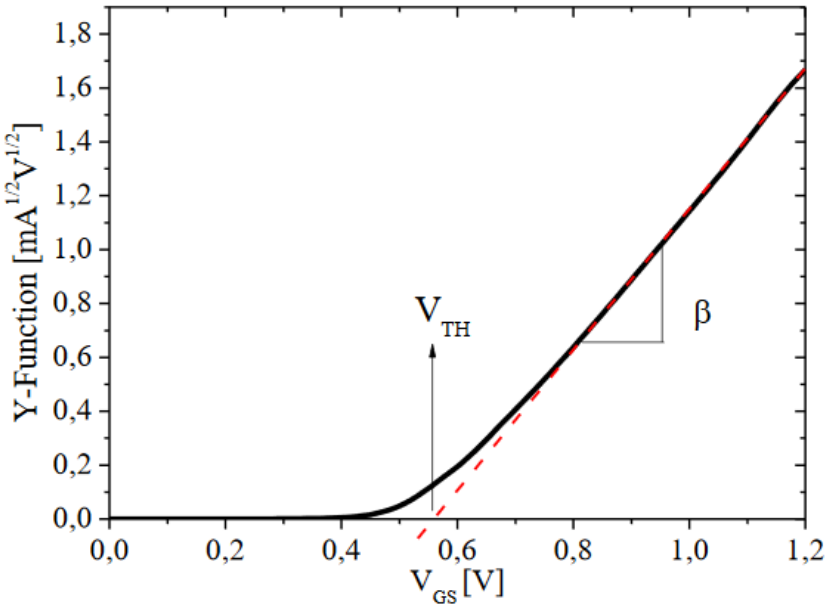
$$I_{DS} = \frac{WC_{oxf}}{L} \frac{\mu_0}{[1 + \theta(V_{GS} - V_{thf})]} (V_{GS} - V_{thf})V_{DS} \quad (27)$$

$$g_m = \frac{WC_{oxf}}{L} \frac{\mu_0}{[1 + \theta(V_{GS} - V_{thf})]^2} V_{DS} \quad (28)$$

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\beta V_{DS}} V_{GS}, \text{ sendo } \beta = \frac{WC_{ox}\mu_0}{L} \quad (29)$$

Aplicando a equação (29), é possível obter uma curva similar à Figura 6.

Figura 6 – Exemplo de utilização do método Y-Function para transistores com óxido de porta espesso (maior que 20nm).

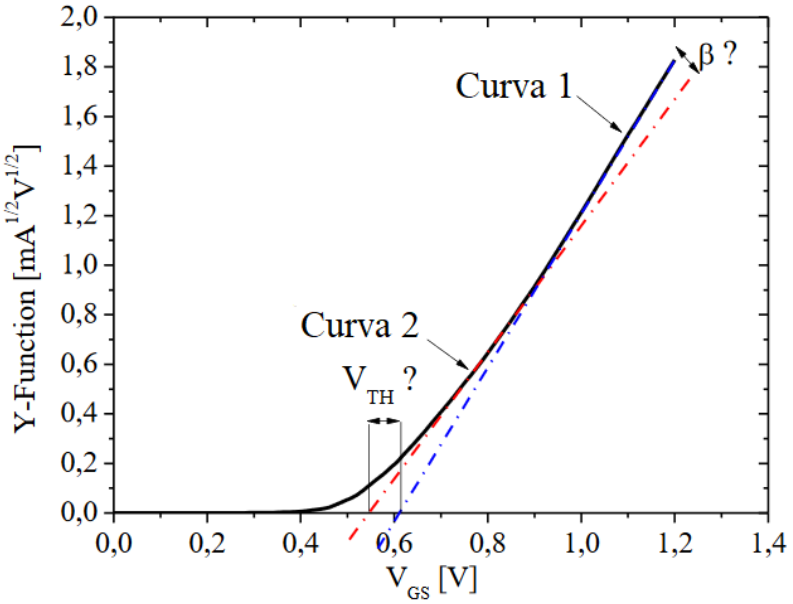


Fonte: RIBEIRO, 2016.

Entretanto, o avanço da tecnologia e a utilização de camadas de óxido de porta cada vez mais finas levou o método a apresentar não linearidades em inversão forte, devido ao efeito da rugosidade de superfície (FLEURY et al., 2008). Esse problema gera uma dificuldade na extração dos parâmetros pelo método Y-Function, pois a não linearidade causa uma incerteza no valor obtido, conforme ilustrado na Figura 7.

Uma forma de transpor esse problema é a utilização de um algoritmo recursivo de forma a dar maior precisão aos parâmetros extraídos.

Figura 7 – Exemplo de possíveis curvas obtidas com o método Y-Function devido a não linearidade em inversão forte causada por um transistor MOSFET com óxido de porta muito fino.

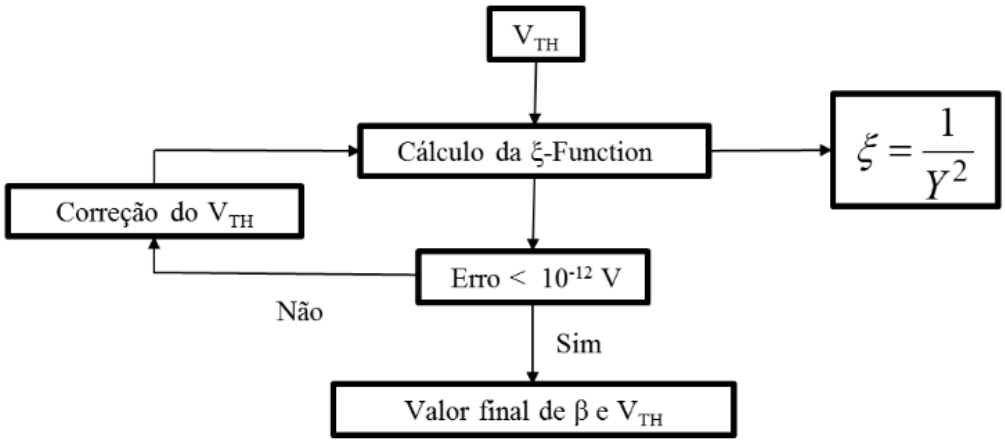


Fonte: RIBEIRO, 2016.

Em métodos Y-Function mais recentes (HENRY, J.-B. et al, 2016) foi incluso o efeito da rugosidade de superfície na equação da corrente e do método Y-Function, através do coeficiente de degradação θ_2.

O funcionamento do algoritmo recursivo é apresentado no fluxograma da Figura 8. Com um valor inicial de V_{TH} extraído por extrapolação linear da corrente de dreno, calcula-se o erro através da função ξ-Function. Então, é verificado se o erro obtido é pequeno, caso não seja, é realizada uma correção de V_{TH} e recalcula-se o erro até que seja suficientemente pequeno. Obtido um erro dentro da faixa esperada, pode-se então extrair o valor de V_{TH} e β com bastante precisão.

Figura 8 – Fluxograma do algoritmo recursivo do método Y-Function.



Fonte: RIBEIRO, 2016.

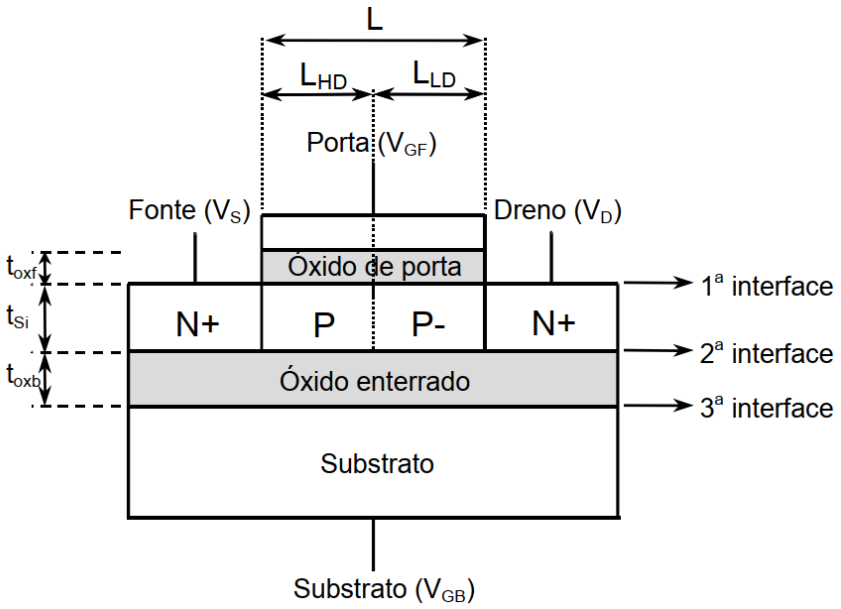
2.5 O TRANSISTOR DE CANAL GRADUAL SOI MOSFET

O transistor de canal gradual foi proposto como uma alternativa para sanar um efeito indesejável ocorrido nos transistores SOI totalmente depletados, especialmente nMOSFETs. Os transistores FDSOI, apesar de suas enormes vantagens tanto em operação digital quanto analógica, apresentam reduzida tensão de ruptura de dreno, o que não permite uma grande excursão no potencial aplicado ao contato de dreno. Isto se deve ao efeito de ionização por impacto em conjunto com o efeito de corpo flutuante, este devido a presença da estrutura bipolar parasitária intrínseca ao transistor MOSFET (PAVANELLO et al., 2000; PAVANELLO; MARTINO; FLANDRE, 2002).

Uma alternativa utilizada para a elevação da tensão de ruptura dos transistores nMOSFET é a estrutura do transistor SOI com o dreno fracamente dopado (*Lightly Doped Drain* – LDD) (SANCHEZ; HSUEH; DEMASSA, 1989). Nesta estrutura, uma região com concentração reduzida de dopante tipo n entre a região de canal (tipo p) e a região de dreno (tipo n) é criada com o objetivo de diminuir a barreira de potencial na junção, reduzindo a geração de portadores por impacto. Entretanto, devido a redução da espessura da camada de silício, esta estrutura tem como inconveniente o aumento da resistência série associada (JENG et al., 1990; KISTLER et al., 1992). Da mesma forma, seria possível reduzir a concentração de dopantes na região do canal, entretanto isto causaria uma redução da tensão de limiar e uma elevação do ganho de corrente do transistor bipolar parasitário, β_F (PAVANELLO et al., 2000; PAVANELLO et al., 2002).

Dessa forma, uma nova estrutura SOI foi proposta, denominada transistor SOI MOSFET de canal gradual (*Graded-channel* SOI MOSFET – GC SOI MOSFET) (PAVANELLO et al., 1999) (ALVES et al., 2018), a fim de promover uma redução da geração de portadores pela ionização por impacto, manter a tensão de limiar e redução do ganho de corrente do bipolar parasitário. A estrutura do transistor GC SOI MOSFET (Figura 9) possui um perfil de dopantes assimétrico na região do canal. O canal do GC SOI MOSFET é dividido em duas regiões: uma região fortemente dopada (HD, do inglês, *Highly Doped*) e outra região fracamente dopada (LD, do inglês, *Lightly Doped*).

Figura 9 – Perfil da estrutura do transistor SOI de canal gradual, apresentando as duas regiões: fortemente dopada e fracamente dopada.

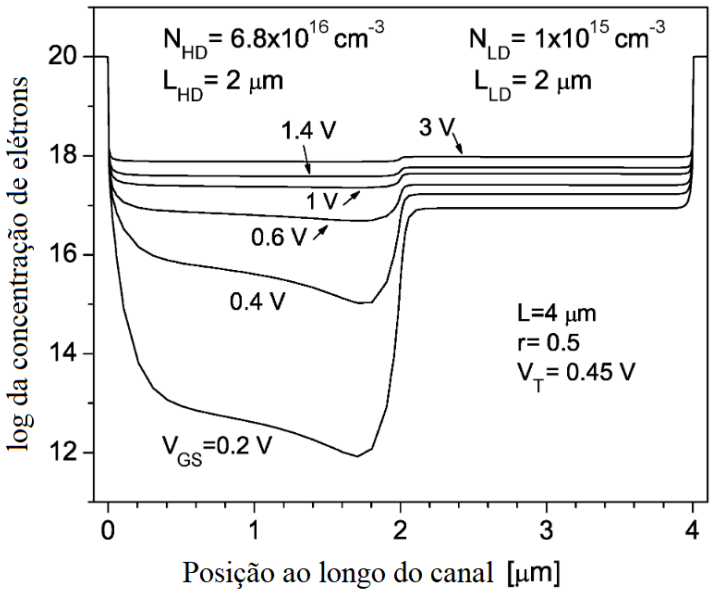


Fonte: DE SOUZA, 2008.

A região fortemente dopada (HD) fica próxima a fonte, possui comprimento de canal L_{HD} e é responsável por fixar a tensão de limiar do transistor GC ($V_{TH} = V_{TH,HD}$). A região fracamente dopada (LD), próxima ao dreno, possui comprimento de canal L_{LD} e uma baixa concentração de dopantes, resultando em uma tensão de limiar menor que a tensão de limiar da região fortemente dopada ($V_{TH,\ LD} < V_{TH,HD}$). A redução da concentração de dopantes resulta em um menor campo elétrico na junção com o dreno, promovendo a redução da ionização por impacto e uma menor geração de portadores.

Um efeito proveniente da diferença entre as tensões de limiar é que, para uma tensão de porta (V_{GS}) próxima a tensão de limiar (V_{TH}), a região fracamente dopada (LD), próxima ao dreno, já estará em inversão forte, com concentração de elétrons de algumas ordens de grandeza maior do que na região fortemente dopada (HD). Assim, a região fracamente dopada se comporta como uma extensão do dreno em um primeiro momento (Figura 10) (CERDEIRA, 2005). Isto faz com que o transistor GC apresente um comprimento de canal efetivo (L_{eff}) menor do que o comprimento de canal de máscara (L), podendo ser calculado como aproximadamente o comprimento de canal da região HD ($L_{eff} \cong L_{HD} = L - L_{LD}$). O menor comprimento de canal efetivo provoca uma elevação na corrente de dreno e na transcondutância máxima. À medida que a tensão de porta aumenta e as concentrações de elétrons nas duas regiões do canal (HD e LD) se aproximam, conforme Figura 10, o comprimento de canal efetivo (L_{eff}) tende ao comprimento de canal de máscara do transistor (L).

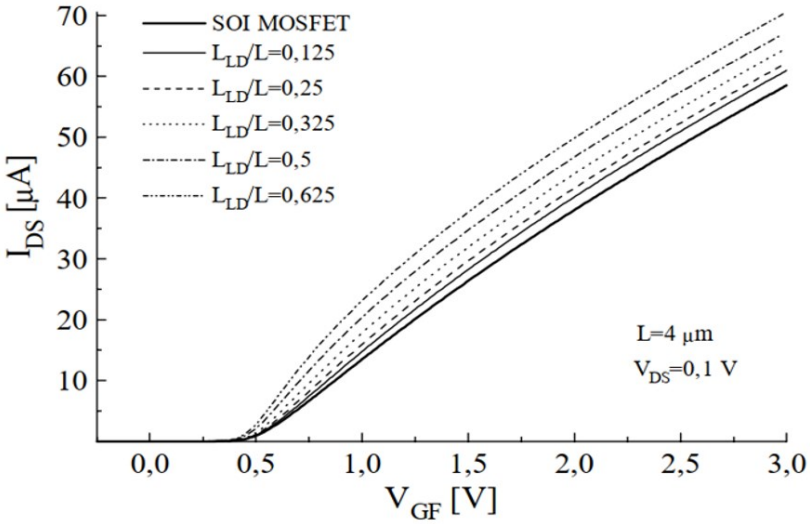
Figura 10 – Curva simulada da concentração de elétrons próxima a superfície e ao longo do canal de um transistor GC SOI de L = 4 μm e razão L_{LD}/L = 0,5 para V_{DS} = 100mV.



Fonte: CERDEIRA, 2005.

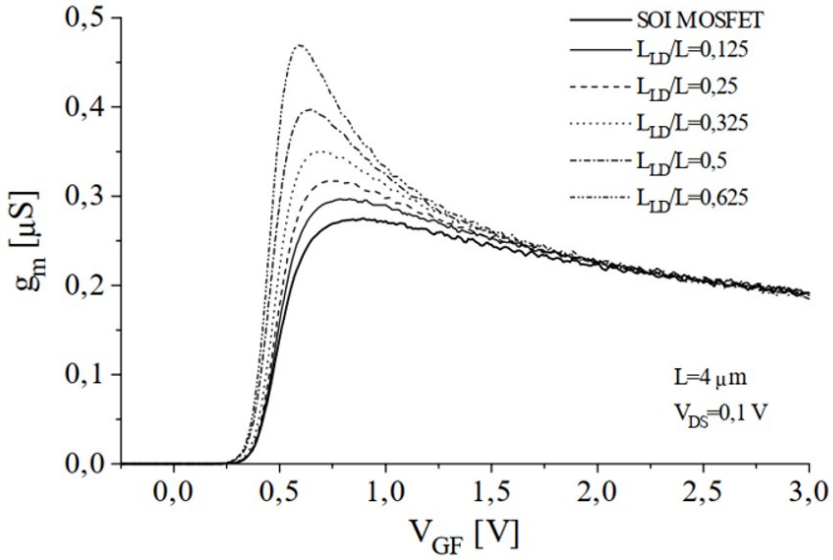
Trabalhos comparativos entre transistores GC SOI e transistores SOI uniformemente dopados demonstram um aumento significativo na corrente de dreno e da transcondutância máxima nos transistores com canal gradual, confirmando sua eficácia (PAVANELLO et al., 1999). Essa melhora é atribuída à redução do comprimento efetivo de canal com o aumento da relação L_{LD}/L (DE SOUZA, 2008).

Figura 11 – Curvas simuladas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}) para transistores SOI de canal gradual com L=4μm, diferentes razões L_{LD}/L e V_{DS} = 100mV.



Fonte: PAVANELLO, 2000b.

Figura 12 - Curvas simuladas da transcondutância (g_m) em função da tensão de porta (V_{GS}) para transistores SOI de canal gradual com L=4μm, diferentes razões L_{LD}/L e V_{DS} = 100mV.



Fonte: PAVANELLO, 2000b.

A Figura 11 e a Figura 12 apresentam curvas simuladas da corrente de dreno e transcondutância, respectivamente, em função da tensão de porta para GC SOI MOSFETs com diferentes razões L_{LD}/L e V_{DS}=100mV. É observado o aumento da corrente de dreno e da transcondutância máxima, à medida que a razão L_{LD}/L aumenta. Entretanto, à medida que a tensão de porta aumenta, as curvas da transcondutância do transistor GC SOI se aproximam e tendem a curva de transcondutância do transistor uniformemente dopado com o mesmo comprimento de canal (L). Essa característica é usualmente atribuída a dependência do comprimento de canal efetivo com a tensão aplicada para transistores GC.

Para uma tensão de porta próxima a tensão de limiar, o comprimento efetivo de canal é aproximadamente ao comprimento de canal da região HD (L_{HD}) e a medida que a razão L_{LD}/L aumenta, menor é o L_{HD} ($L_{HD} = L - L_{LD}$). O maior pico de transcondutância com o aumento de L_{LD}/L (Figura 12) permite a maior variação da corrente de dreno observada e, consequentemente, uma maior elevação (Figura 11). A medida que a tensão de porta aumenta e o comprimento efetivo de canal (L_{eff}) tende ao comprimento de canal de máscara (L), a transcondutância é reduzida tendendo à transcondutância do transistor uniformemente dopado. Dessa forma, o maior nível de corrente observado no transistor GC se dá pela maior transcondutância com V_{GS} próximo a V_{TH} e a medida que V_{GS} aumenta, o nível de corrente se mantém com a mesma taxa do transistor uniformemente dopado. Este comportamento permite

interpretar o transistor GC como um transistor com comprimento de canal efetivo (L_{eff}) variável em função da tensão de porta (V_{GS}).

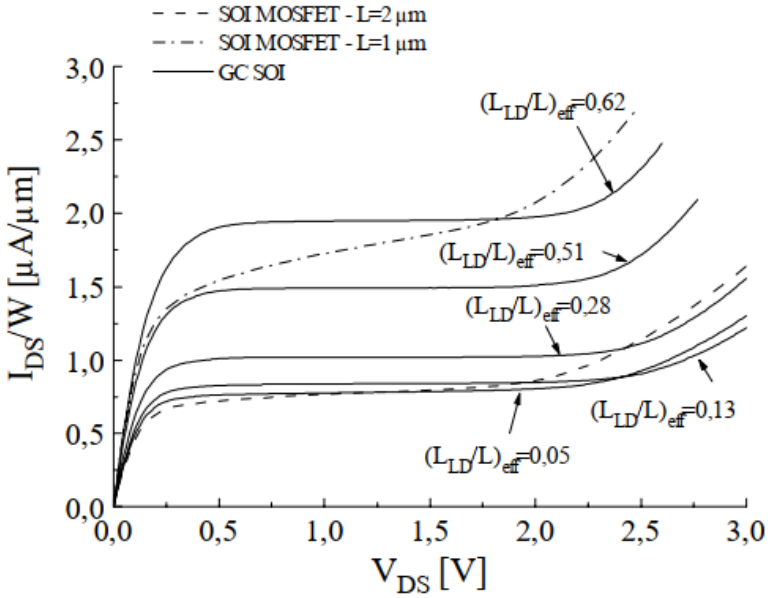
Outra abordagem do comportamento observado na Figura 12, é considerar o transistor GC como um transistor uniformemente dopado (razão $L_{LD}/L = 0$) com comprimento de canal fixo e parâmetros de mobilidade: a mobilidade de baixo campo (μ_0) e os fatores de degradação linear (θ_1) e quadrático (θ_2), variáveis em função da razão L_{LD}/L. Uma vez que a mobilidade de baixo campo é diretamente relacionada com o ponto máximo da transcondutância e este é variável com a razão L_{LD}/L, como observado na Figura 12. Da mesma forma, a atenuação da transcondutância varia em função da razão L_{LD}/L, uma vez que a medida que a razão L_{LD}/L aumenta, a atenuação da transcondutância se torna maior.

Em uma terceira abordagem o transistor de canal gradual pode ser entendido como um transistor SOI convencional, representando a região fortemente dopada, com uma tensão V_{DS} variável em função das características das regiões fortemente e fracamente dopada (DE SOUZA, 2008).

A Figura 13 e a Figura 14 apresentam as curvas da corrente de dreno (I_{DS}) e da condutância de saída (g_D), respectivamente, em função da tensão de dreno (V_{DS}) para o transistor GC SOI MOSFET com L = 2μm, diferentes razões L_{LD}/L e para o transistor SOI convencional com L = 1μm e sobretensão de porta (V_{GT}) de 150mV. É observado na Figura 13 que conforme a razão L_{LD}/L aumenta, há uma elevação no nível de corrente, e que o transistor GC SOI possui uma condutância de saída bem menor quando comparado ao transistor SOI uniformemente dopado, assim como uma maior tensão de ruptura.

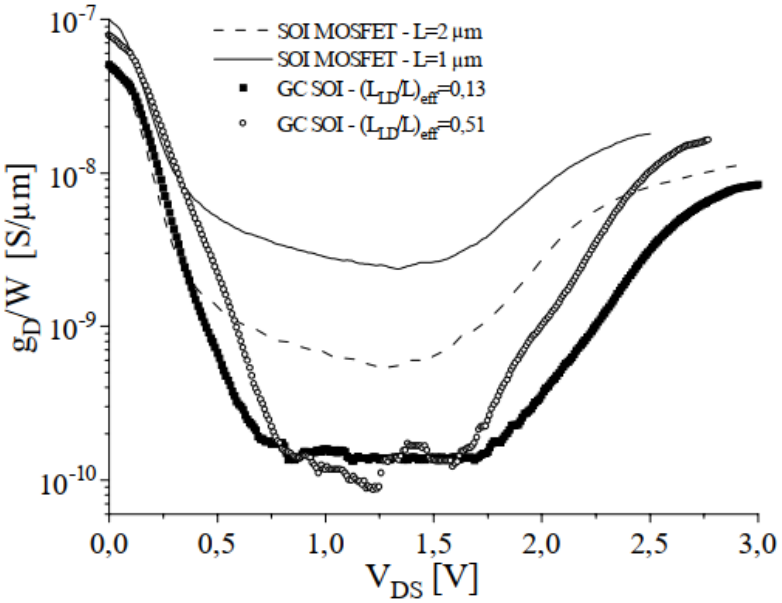
O transistor GC SOI MOSFET possui duas tensões de limiar, referentes às regiões fortemente e fracamente dopada (HD e LD, respectivamente), o que também implica em possuir duas tensões de saturação ($V_{DS,SAT} = V_{GS} - V_{TH}$). Devido a tensão de limiar da região LD ser menor que a tensão de limiar da região HD, a tensão de saturação da região LD é maior que a da região HD ($V_{DS,SAT\ LD} > V_{DS,SAT\ HD}$). Isto pode ser observado na Figura 14, onde o transistor GC SOI possui uma transição de tríodo para saturação maior quando comparada à transição do transistor uniformemente dopado. Outro ponto a se observar na Figura 14 é a menor condutância de saída na região de saturação.

Figura 13 - Curvas simuladas da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}) para transistores SOI de canal gradual com L=2µm e diferentes razões L_{LD}/L, um transistor SOI convencional com L=1µm e sobretensão de porta (V_{GT}) de 150mV.



Fonte: PAVANELLO, 2000b.

Figura 14 - Curvas simuladas da condutância de saída (g_D) em função da tensão de dreno (V_{DS}) para transistores SOI de canal gradual com L=2µm e diferentes razões L_{LD}/L, um transistor SOI convencional com L=1µm e sobretensão de porta (V_{GT}) de 150mV.

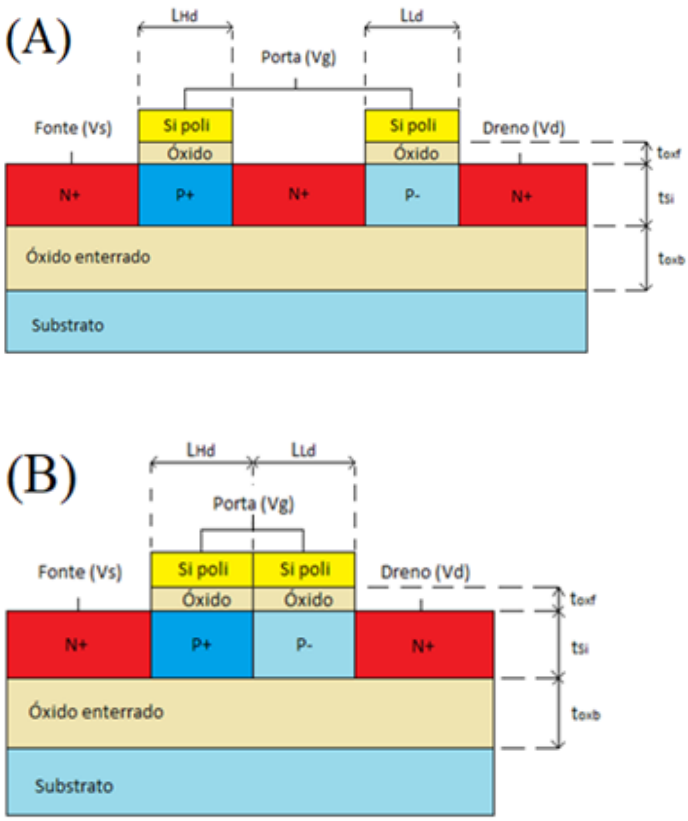


Fonte: PAVANELLO, 2000b.

Uma estrutura similar ao transistor de canal gradual é a associação série assimétrica de transistores ou *Assimetric Self-Cascode transistor* (A-SC) (ASSALTI et al., 2015), onde dois transistores são ligados em série, têm as portas curto-circuitadas e cada transistor representa

uma região de canal do transistor GC, sendo um transistor representando a região fortemente dopada (HD), próximo a fonte, e outro transistor representando a região fracamente dopada (LD), próximo ao dreno. Os transistores possuem diferentes concentrações de dopantes, o que permite representar as regiões HD e LD. A Figura 15 apresenta, comparativamente, a estrutura da associação assimétrica e a estrutura do transistor de canal gradual.

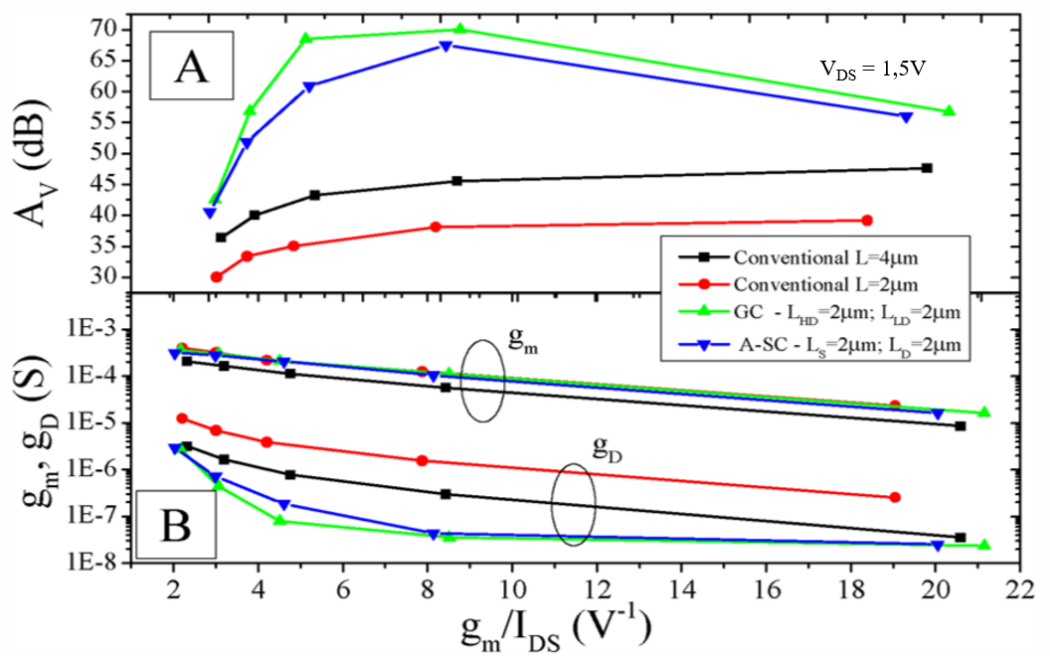
Figura 15 – Comparação da estrutura da associação assimétrica (A) e da estrutura do transistor SOI de canal gradual (B).



Fonte: adaptação de ASSALTI, 2015.

A associação assimétrica de transistores apresenta excelente desempenho analógico assim como o transistor de canal gradual. Entretanto, a associação assimétrica possui uma resistência série adicional, devido à presença da região de difusão N^+ intermediária, além de trazer capacitâncias adicionais. A Figura 16 apresenta o ganho de tensão de malha aberta (A_V), a transcondutância (g_m) e condutância de saída (g_D) em função da razão g_m/I_{DS} para o transistor uniformemente dopado, o transistor GC SOI e a associação assimétrica. Como pode ser observado, a associação assimétrica possui parâmetros analógicos muito próximos dos obtidos com o transistor de canal gradual, obtendo resultado pouco menor.

Figura 16 – Ganho de tensão de malha aberta A_V (A), transcondutância g_m e condutância de saída g_D (B) em função da razão g_m/I_{DS} para transistor uniformemente dopado, GCSOI e associação assimétrica.



Fonte: ASSALTI, 2015.

Entretanto para projetos de circuitos integrados analógicos, dependendo da complexidade do circuito, a reprodução do transistor de canal gradual por meio da associação assimétrica de transistores acrescenta o dobro da quantidade de transistores comparada à outras estratégias o que pode afetar o tempo de simulação, além de ser necessário considerar a resistência série e capacitâncias associadas da região intermediária N^+. Dessa forma, a busca por uma estratégia que considere o transistor GC SOI como um único dispositivo se torna interessante para a simulação de projetos de circuitos integrados analógicos.

3 METODOLOGIA

De modo a alcançar os objetivos deste trabalho, foram inicialmente realizadas simulações numéricas bidimensionais de transistores SOI totalmente depletados com variações nos seus parâmetros geométricos. Estas simulações têm como propósito realizar a análise da influência dos comprimentos das regiões fortemente e fracamente dopadas, além do comprimento total, sobre as características elétricas e os parâmetros extraídos utilizando a função Y.

Em seguida, foi realizada a extração de dados de medidas experimentais e a análise dos mesmos. Os parâmetros extraídos foram utilizados como dados de entrada de simulações SPICE, permitindo a comparação entre as curvas geradas e as curvas dos dados experimentais, utilizadas para extração dos parâmetros.

3.1 SIMULAÇÃO NUMÉRICA E MODELOS UTILIZADOS

Ao longo deste trabalho são apresentados resultados de simulações numéricas bidimensionais. Para estas simulações, foi utilizado o simulador de dispositivos *Sentaurus Device Simulator* ("Sentaurus Device User Guide, Version K-2015.06", 2015).

Através de uma grade de pontos e da solução das equações de Poisson e de continuidade de corrente, este programa permite simular o comportamento elétrico de dispositivos. A sua biblioteca possui uma série de modelos físicos que permitem descrever os diversos efeitos físicos sobre as características elétricas do material.

Neste trabalho, para todas as simulações do transistor SOI de canal gradual foram utilizadas as seguintes características:

- Temperatura – T = 300K (temperatura ambiente);
- Concentração de dopantes (região de fonte e dreno) – $N_D = 1\times 10^{21}$ cm^{-3};
- Concentração de dopantes (região do canal HD) – $N_{A,HD} = 5{,}6 \times 10^{16}$ cm^{-3};
- Concentração de dopantes (região LD) – $N_{A,LD} = 1 \times 10^{15}$ cm^{-3};
- Espessura de óxido enterrado – t_{box} = 390 nm;
- Espessura de óxido de porta – t_{ox} = 31 nm;
- Largura de canal – W = 1 μm;
- Comprimento de canal L, L_{HD}, L_{LD} variável.

Um exemplo de código utilizado para gerar a estrutura do transistor GC SOI pode ser visto no Apêndice A.

Além dessas características, os seguintes modelos físicos foram incluídos nas simulações:

- Mobilidade:
    - *PhuMob* – modelo de mobilidade proposto por Klaassen (KLAASSEN, 1992) que unifica a mobilidade dos portadores majoritários e minoritários. Considera a dependência da mobilidade com a temperatura e inclui os mecanismos de espalhamento portador-portador e impurezas ionizadas.
    - *Enormal* – considera a degradação da mobilidade causada por um alto campo elétrico normal na interface semicondutor/óxido. Este modelo é descrito por Lombardi (LOMBARDI et al., 1988).
    - *HighFieldSaturation* – este modelo considera a influência do campo elétrico lateral na mobilidade dos portadores, a qual é limitada pela velocidade de saturação.
    - *DopingDependence* – considera na mobilidade a dependência com a concentração de dopantes.
- Mecanismo de geração e recombinação de portadores:
    - *SRH(DopingDep)* – o efeito de Shokley-Read-Hall (SRH) quantifica a recombinação dos portadores devido aos defeitos presentes na rede cristalina. O submodelo DopingDep considera a dependência do tempo de vida dos portadores com a concentração de dopantes.
    - *Auger* – este modelo quantifica a recombinação Auger.
    - *Avalanche* – considera a geração de par elétron-lacuna devido a geração avalanche (ionização por impacto).
- Largura de banda:
    - *BandGapNarrowing (OldSlotboom)* – considera o estreitamento da largura da banda proibida, causado quando a concentração de impurezas é muito elevada.

Um exemplo de código para simulação pode ser encontrado no Apêndice B.

3.2 SIMULAÇÃO SPICE: BSIM-SOI E PARÂMETROS UTILIZADOS

Para as simulações analíticas dos transistores GC SOI será utilizado o modelo BSIM-SOI, disponível em diversos simuladores comerciais. O modelo BSIM-SOI (*Berkeley Short-channel IGFET Model - SOI*) é um modelo SPICE para projeto de circuitos na tecnologia SOI desenvolvido pela Universidade da Califórnia – Berkeley. O modelo pode ser utilizado para dispositivos parcialmente depletados (PD) e totalmente depletados (FD) e possui modelos MOS I-V e C-V contínuos que abrangem todas as faixas de operação e permite simular uma série de efeitos físicos como autoaquecimento, GIDL, efeito *kink*, entre outros além de sua dependência com a temperatura através de configuração de parâmetros ("BSIMSOI v2.0 MOSFET Model – User-s Manual for BSIMDD2.0", 1999). A versão do modelo utilizado neste trabalho é o BSIMSOI v3.2.

O simulador SPICE de circuitos ICAP4 ("ICAP/4 Getting Started Manual r.06/16", 2016) será utilizado para as simulações com o modelo BSIM-SOI em transistores SOI totalmente depletados. Os seguintes parâmetros foram configurados para a correta utilização do modelo:

- *Level = 10 – configura o modelo BSIMSOI v3.2 para uso.*
- *SOImod = 2 – seleciona a tecnologia SOI para dispositivo totalmente depletado.*
- *Mobmod = 2 – seleciona um modelo de mobilidade semelhante ao apresentado na equação (20), descrito por:*

$$\mu_{\mathrm{eff}} = \frac{\mu_0}{1 + (U_a + U_c V_{bseff})\left(\frac{V_{GS} - V_{TH}}{T_{ox}}\right) + U_b\left(\frac{V_{GS} - V_{TH}}{T_{ox}}\right)^2} \tag{30}$$

- *Tox = 31e-9 – define a espessura do óxido de porta para 31 nm.*
- *Tbox = 390e-9 – define a espessura do óxido enterrado para 390 nm.*
- *Tsi = 80e-9 – define a espessura da camada ativa de silício para 80 nm.*
- *Nch = 5.6e16 – define a concentração de dopantes para* $5{,}6.10^{16}$ cm^{-3}.
- *u0 – define a mobilidade de baixo campo.*
- *Tnom = 27 – define a temperatura para 27ºC.*
- *Rsh – define a resistência folha de fonte-dreno em Ω/square.*
- *Vth – define a tensão de limiar do dispositivo.*
- *Ua – define o coeficiente de degradação linear da mobilidade.*

- *Ub – define o coeficiente de degradação quadrático da mobilidade.*
- *Uc – define o coeficiente de degradação da mobilidade relacionado a tensão de corpo.*
- *Vsat = 1.65e5 – define a velocidade de saturação em 1.65e5 m/s.*
- *Nfactor – fator de inclinação de sublimiar.*
- *A0=0 – Coeficiente da dependência do efeito de carga com o comprimento de canal.*
- *Pclm – Parâmetro de ajuste da tensão Early relacionada ao efeito de modulação de canal.*

No Apêndice C pode ser encontrado um exemplo de simulação pelo simulador ICAP4.

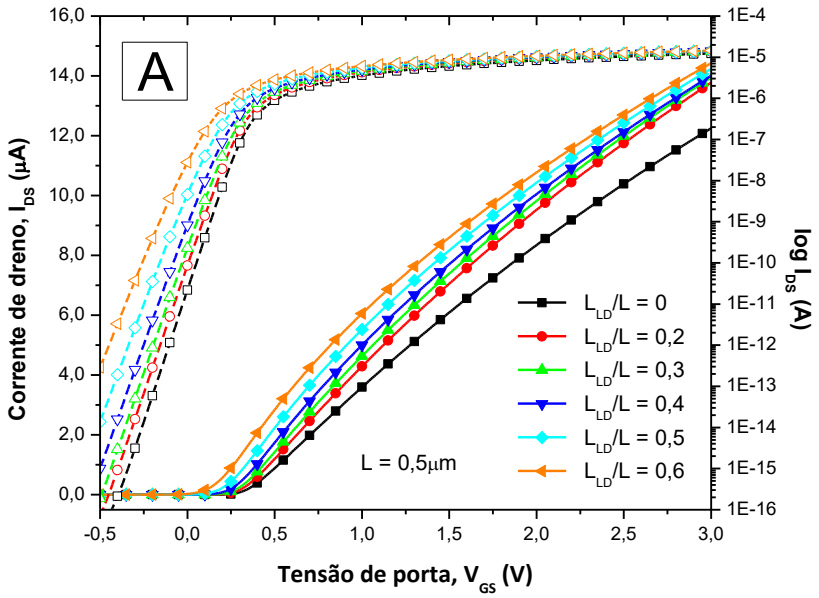
4 RESULTADOS E DISCUSSÕES

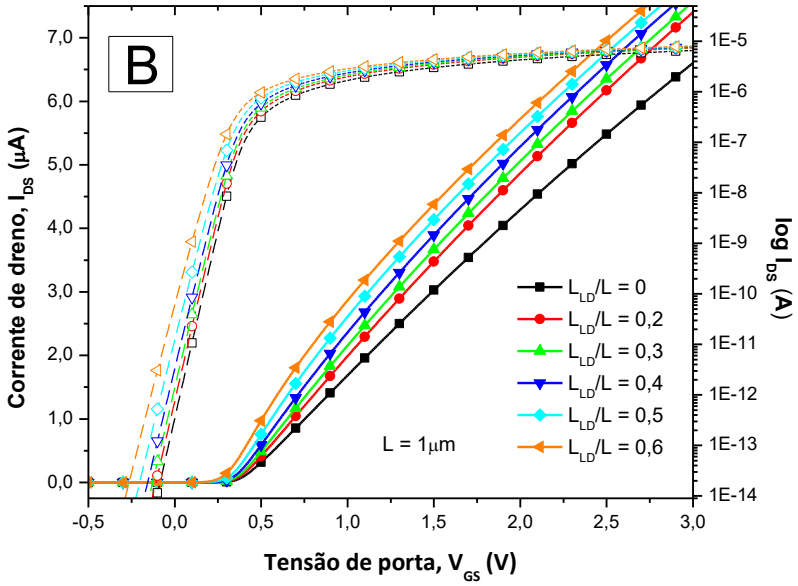
Este capítulo está subdividido em três partes, onde são apresentados e discutidos os resultados obtidos. A seção 4.1 aborda a análise dos resultados de mobilidade e degradação de mobilidade obtidos a partir das curvas de corrente obtidas com as simulações numéricas e os parâmetros extraídos a partir da função Y. Na seção 4.2 são abordados os resultados obtidos e parâmetros para dados medidos experimentalmente. A seção 4.3 apresenta a validação da estratégia de simulação proposta, onde os parâmetros extraídos dos dados experimentais são utilizados em simulações do tipo SPICE. Os resultados das simulações são validados através da comparação com os dados experimentais.

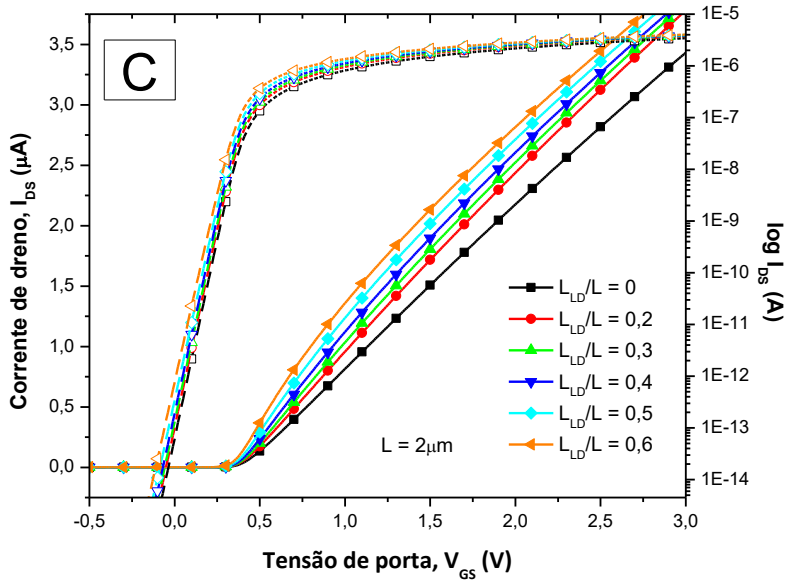
4.1 ANÁLISE DOS DADOS SIMULADOS

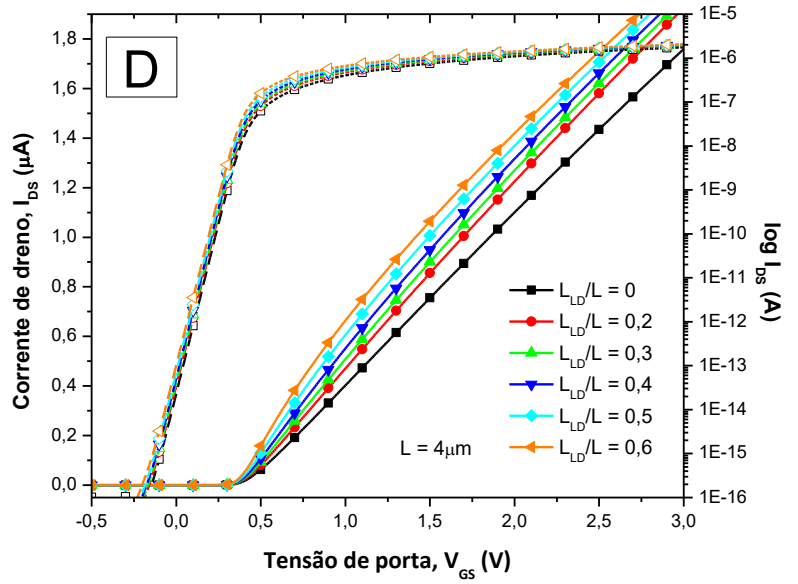
As simulações numéricas bidimensionais foram realizadas conforme apresentado na Seção 3.1. Na Figura 17 são apresentadas curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}) com baixa tensão aplicada ao dreno (V_{DS}=50mV) para diferentes comprimentos de canal (L).

Figura 17 – Curvas I_{DS} x V_{GS} para transistores SOI GC com V_{DS}=50mV e diferentes razões L_{LD}/L e comprimento de canal L = 0,5µm (A), L = 1µm (B), L = 2µm (C) e L = 4µm (D).




B
Corrente de dreno, I_{DS} (µA)
log I_{DS} (A)
Tensão de porta, V_{GS} (V)
L_{LD}/L = 0
L_{LD}/L = 0,2
L_{LD}/L = 0,3
L_{LD}/L = 0,4
L_{LD}/L = 0,5
L_{LD}/L = 0,6
L = 1µm


C
Corrente de dreno, I_{DS} (µA)
log I_{DS} (A)
Tensão de porta, V_{GS} (V)
L_{LD}/L = 0
L_{LD}/L = 0,2
L_{LD}/L = 0,3
L_{LD}/L = 0,4
L_{LD}/L = 0,5
L_{LD}/L = 0,6
L = 2µm

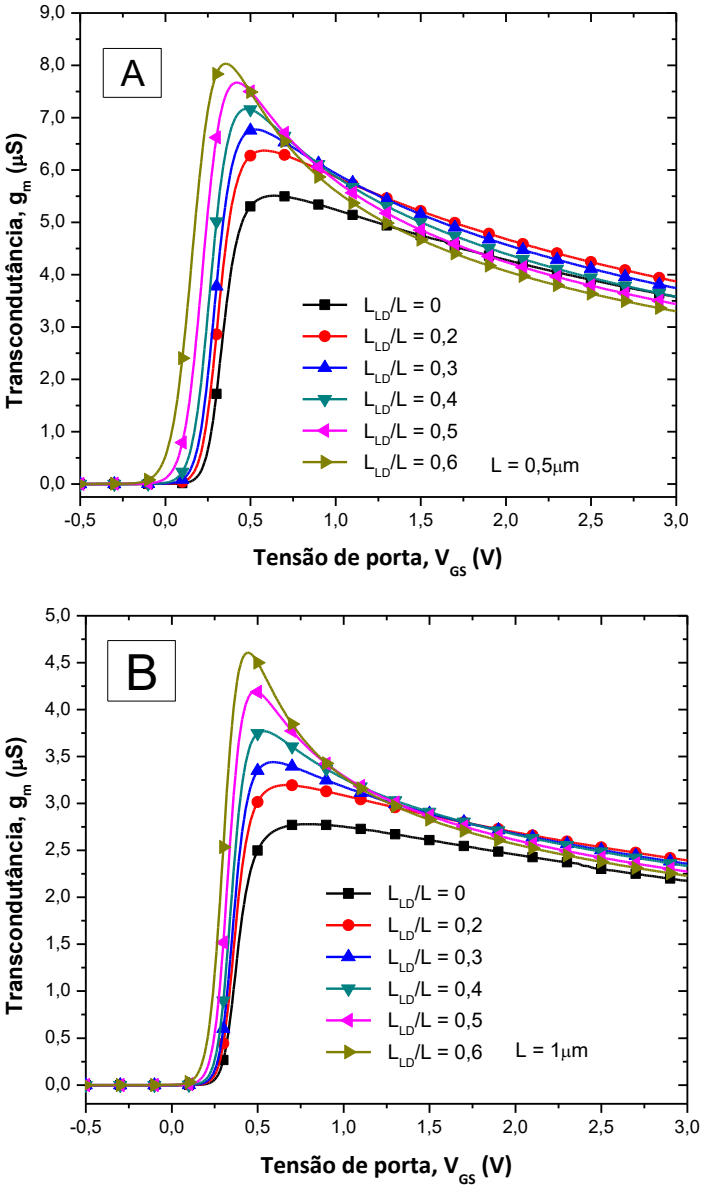

D
Corrente de dreno, I_{DS} (µA)
log I_{DS} (A)
Tensão de porta, V_{GS} (V)
L_{LD}/L = 0
L_{LD}/L = 0,2
L_{LD}/L = 0,3
L_{LD}/L = 0,4
L_{LD}/L = 0,5
L_{LD}/L = 0,6
L = 4µm

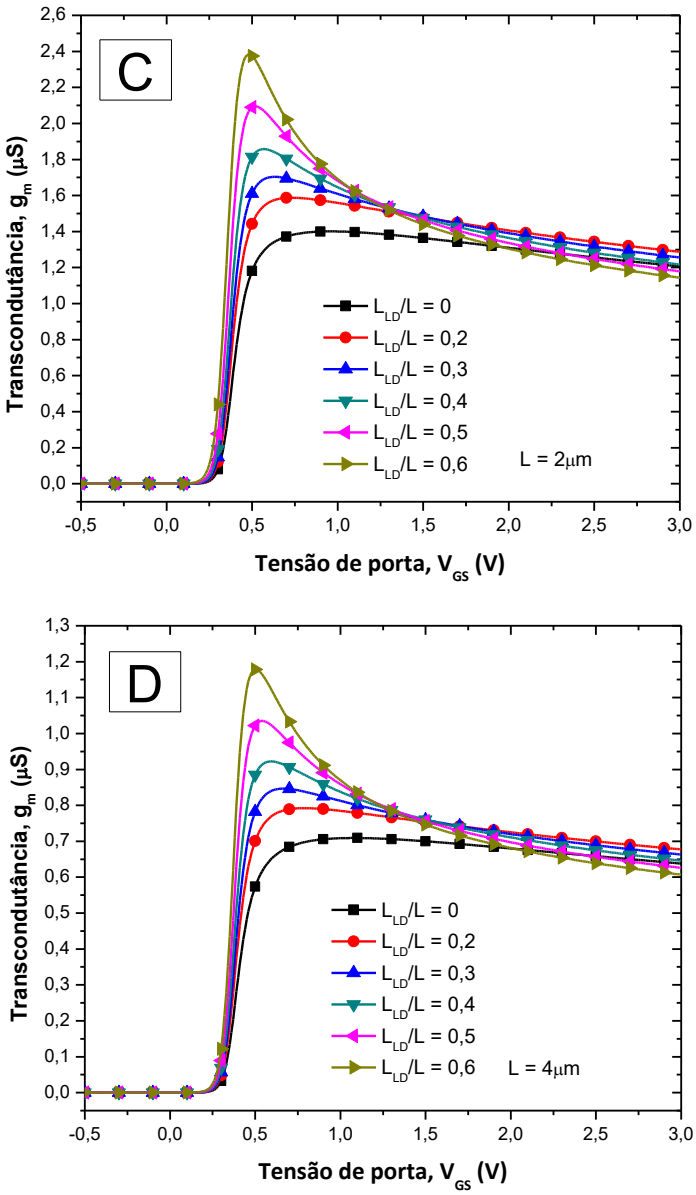
Fonte: Autor.

Pode ser observado que para menores comprimentos de canal, o dispositivo tem uma corrente mais elevada, uma vez que a corrente é inversamente proporcional ao comprimento de canal. Outro ponto a se observar é que para conjuntos de transistores com mesmo comprimento total, à medida que a relação L_{LD}/L aumenta, maior é o nível de corrente, devido ao menor comprimento de canal efetivo. Como visto na literatura, o transistor GCSOI apresenta um comprimento de canal variável com a tensão de porta V_{GS}.

Na Figura 18 são apresentadas as curvas da transcondutância g_m em função da tensão de porta V_{GS}. Estas curvas foram obtidas através da derivada numérica das curvas de corrente de dreno apresentadas na Figura 17.

Figura 18 – Curvas g_m x V_{GS} para transistores SOI GC com V_{DS}=50mV e diferentes razões L_{LD}/L e comprimento de canal L = 0,5µm (A), L = 1µm (B), L = 2µm (C) e L = 4µm (D).





Fonte: Autor.

Da mesma forma como observado para a corrente de dreno, o pico de transcondutância é maior para comprimentos de canal total (L) menores, sendo a transcondutância inversamente proporcional ao comprimento de canal. Para dispositivos com o mesmo comprimento de canal (L), a medida que a razão L_{LD}/L aumenta, há uma elevação no valor de pico da transcondutância (Figura 18).

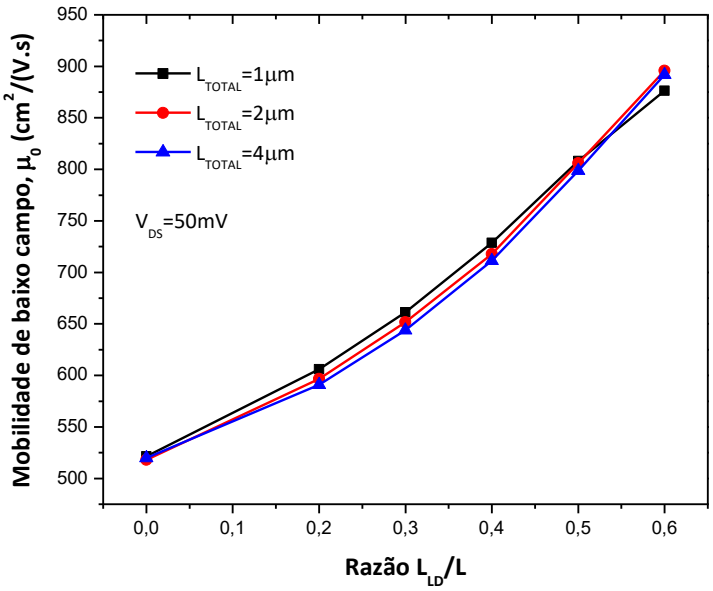
Para V_{GS} próximo à tensão de limiar V_{TH}, a região fracamente dopada (LD) se encontra em inversão forte e há uma grande diferença entre a concentração de elétrons da região LD em comparação com a região HD, fazendo com que a região LD atue como uma extensão do dreno e o transistor de canal gradual se comporte como um dispositivo mais curto (comprimento de canal efetivo próximo a L_{HD}). Devido a redução do comprimento de canal efetivo, ocorre uma

elevação na transcondutância e, consequentemente, no nível de corrente em comparação ao transistor uniformemente dopado. Isto explica o fato de que conforme a razão L_{LD}/L aumenta, o comprimento de canal efetivo (L_{eff}) diminui e ocorre a elevação de transcondutância e corrente. Entretanto, à medida que a tensão de porta (V_{GS}) se torna maior que V_{TH}, a concentração de elétrons na superfície de ambas as regiões (HD e LD) se tornam similares, e o comprimento efetivo do canal do transistor GC tende a L (CERDEIRA, 2005), o que reduz a transcondutância (Figura 18), tendendo-a a transcondutância do transistor uniformemente dopado, e mantém a variação da corrente similar a variação do uniformemente dopado, como visto na Figura 17. Essa característica é geralmente atribuída à dependência do comprimento de canal efetivo com a tensão de porta aplicada.

Com o objetivo de analisar a mobilidade efetiva dos transistores GC SOI com diferentes comprimentos de canal e diferentes comprimento de canal da região fracamente dopada (LD), foi utilizado o método da função Y para se obter a mobilidade de baixo campo e os coeficientes de mobilidade linear e quadrático.

Na Figura 19 pode ser observada a mobilidade de baixo campo extraída em função da razão L_{LD}/L para diferentes comprimentos de canal.

Figura 19 – Mobilidade de baixo campo em função da razão L_{LD}/L para diferentes comprimentos de canal L extraída de simulações numéricas.



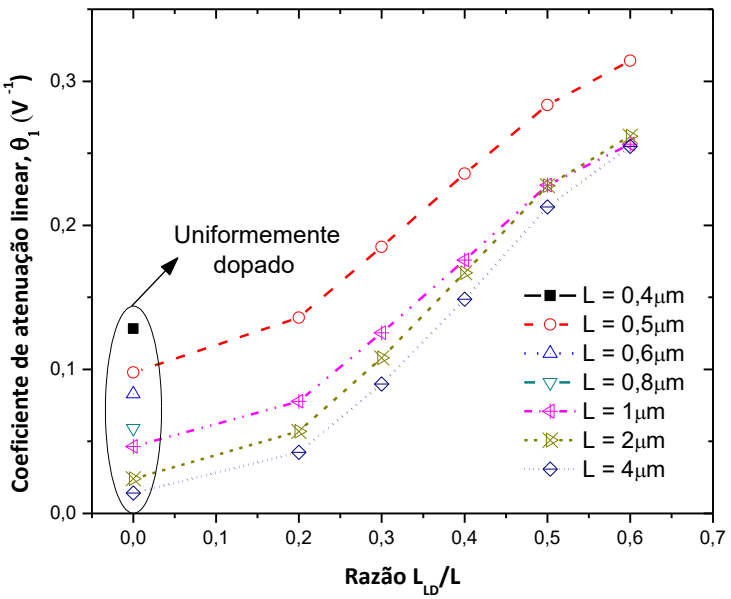
Fonte: Autor.

Como pode ser observado, a mobilidade de baixo campo aumenta com a razão L_{LD}/L e possui baixa variação com o comprimento de canal de máscara (L). A região fracamente dopada

(LD) possui uma mobilidade de baixo campo intrinsecamente maior que a mobilidade de baixo campo da região fortemente dopada (HD), devido ao menor espalhamento devido às impurezas ionizadas. Os resultados da Figura 19 demonstram que o aumento do comprimento de canal da região LD (L_{LD}) influenciam no aumento da mobilidade de baixo campo do transistor GC SOI como um todo, já que a variação com o comprimento de canal total (L) é pequena e ocorre o aumento da razão L_{LD}/L. Isto pode ser um indicativo de que para uma dada tecnologia, a mobilidade do transistor GC dependa da relação entre os comprimentos de canal das regiões fracamente e fortemente dopadas.

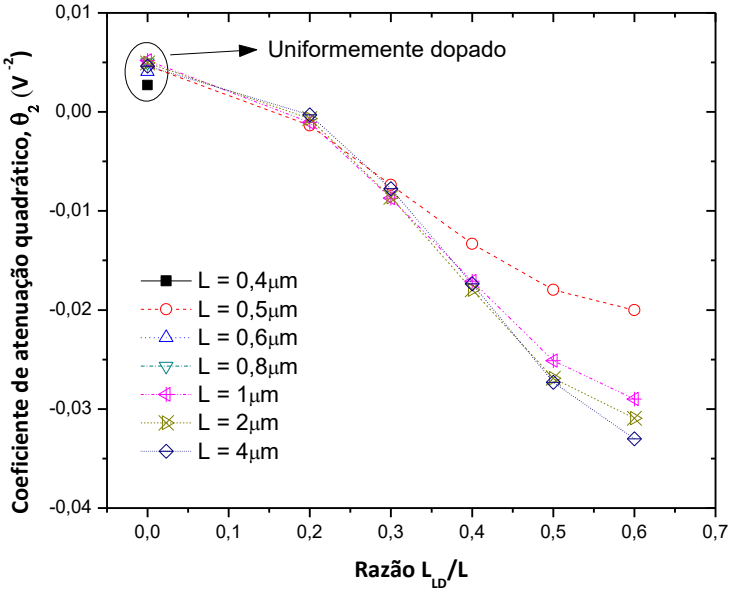
A Figura 20 e a Figura 21 apresentam os fatores de degradação da mobilidade. Os resultados apresentados permitem notar que, enquanto o fator de atenuação linear θ_1 aumenta com L_{LD}/L, o fator de atenuação quadrático θ_2 decresce, chegando até mesmo a se tornar negativo com o aumento da razão L_{LD}/L. De acordo com SUN e PLUMMER (1980), θ_1 refere-se aos mecanismos de espalhamento por fônons e portador-portador (Coulomb), enquanto que θ_2 consideraria a rugosidade da superfície. Entretanto não só os efeitos dos mecanismos de espalhamento influenciam os fatores de atenuação, mas também a resistência série do dispositivo, sendo inclusa no fator de atenuação linear θ_1 (REICHERT; OUISSE, 1996) (HENRY et al., 2016).

Figura 20 – Coeficiente de atenuação linear em função da razão L_{LD}/L para transistores GC com diferentes comprimentos de canal L extraídos de simulações numéricas.



Fonte: Autor.

Figura 21 - Coeficiente de atenuação quadrático em função da razão L_{LD}/L para transistores GC com diferentes comprimentos de canal L extraídos de simulações numéricas.



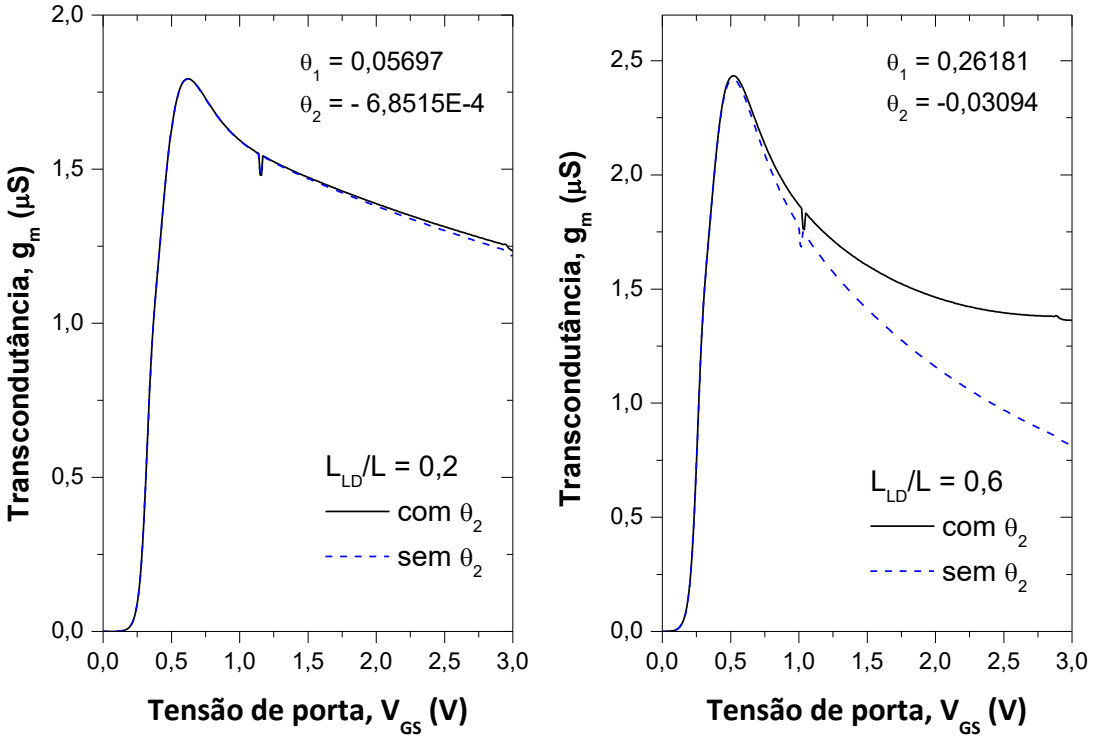
Fonte: Autor.

Analisando as curvas de transcondutância e considerando a sua relação direta com a mobilidade efetiva μ_{eff}, é possível observar que a degradação da mobilidade aumenta com a razão L_{LD}/L. Logo após o pico de transcondutância, para baixa sobretensão de porta V_{GT} (V_{GS}-V_{TH}), θ_1 é o coeficiente de degradação predominante. Esse aumento da degradação pode ser atribuído à maior resistência série. O aumento do comprimento de canal da região fracamente dopada L_{LD} contribuiria para o aumento da resistência série, tornando o fator de degradação linear maior. Para transistores uniformemente dopados, um aumento de θ_1 é observado para dispositivos de canal curto, considerando que é menos dependente de L para transistores mais longos (HENRY et al., 2016). Para transistores GC, θ_1 aumenta com a redução de L_{HD} (aumento da razão L_{LD}/L para mesmo L). Entretanto, comparando o transistor GC com o transistor uniformemente dopado com $L=L_{HD}$, um maior θ_1 é visto no dispositivo GC, indicando que não só a região HD impacta na mobilidade efetiva de toda a estrutura.

Por outro lado, o aumento do comprimento de canal da região LD promoveu a redução de θ_2, apresentando resultados com valores negativos para $L_{LD}/L > 0{,}2$. Um fator de degradação de mobilidade negativo pode parecer algo não realístico, entretanto alguns trabalhos demonstram que θ_2 pode ser negativo para transistores com baixas concentrações de dopantes (REICHERT; OUISSE, 1996). Nesse caso, um θ_2 negativo serve como um compensador para o aumento de θ_1. De fato, como pode ser observado para as curvas de g_m x V_{GS}, conforme a

tensão de porta aumenta, a degradação da mobilidade é reduzida, e essa redução é maior para razões L_{LD}/L maiores, como pode ser observado na Figura 22.

Figura 22 – Análise do efeito de θ_2 nas curvas de g_m x V_{GS} para transistores GC SOI com razões $L_{LD}/L = 0,2$ e $L_{LD}/L = 0,6$; e $V_{DS} = 50mV$.



Fonte: Autor.

A Tabela 1 apresenta a relação e o efeito que os fatores θ_1 e θ_2 provocam para a atenuação da mobilidade à medida que a sobretensão de porta V_{GT} aumenta para transistores GC com o mesmo comprimento de canal total e diferentes razões L_{LD}/L. Conforme a expressão (1) aumenta com o aumento de V_{GT} e da razão L_{LD}/L, a expressão (2) se torna mais negativa, compensando parte do aumento de (1). Embora a mobilidade de baixo campo (μ_0) aumente com a razão L_{LD}/L, a medida que V_{GT} aumenta, o denominador da expressão (4) também sofre aumento. O efeito é uma atenuação na mobilidade total, que tende a convergir a um valor comum.

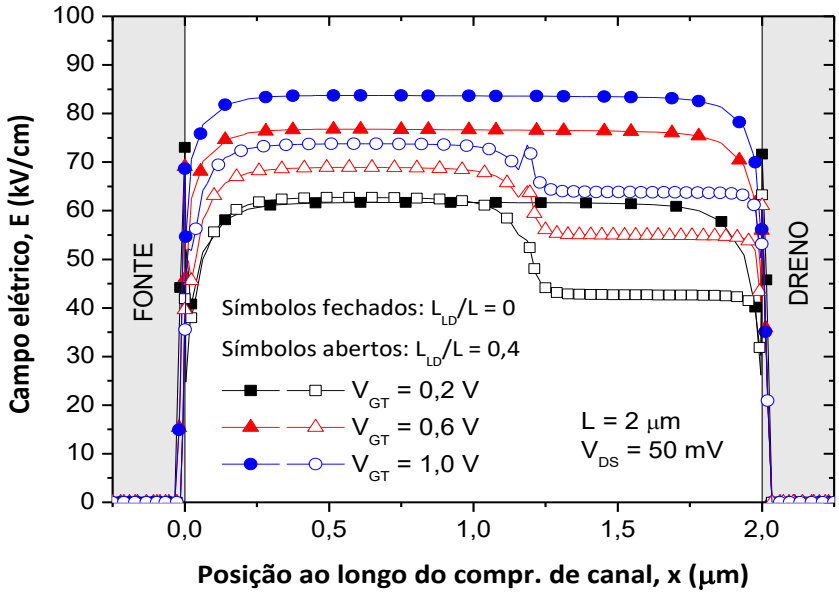
Tabela 1 – Efeito dos parâmetros θ_1 e θ_2 na atenuação da mobilidade em função da sobretensão de porta V_{GT} para transistores GC simulados com diferentes razões L_{LD}/L e L = 2µm.

	L_{LD}/L	V_{GT} (V)					
		0	**0,5**	**1**	**1,5**	**2**	**2,5**
(1) $\boldsymbol{\theta_1 \cdot V_{GT}}$	**0,2**	0	0,02849	0,05697	0,08546	0,11394	0,14243

	0,4	0	0,08357	0,16714	0,25071	0,33428	0,41785
	0,6	0	0,13091	0,26181	0,39272	0,52362	0,65453
	0,2	0	-0,0003	-0,00068	-0,0010	-0,0014	-0,0017
(2) $\boldsymbol{\theta_2 \cdot V_{GT}^2}$	**0,4**	0	-0,0090	-0,01796	-0,0269	-0,0359	-0,0449
	0,6	0	-0,0155	-0,03094	-0,0464	-0,0619	-0,0774
	0,2	1	1,02814	1,05628	1,08443	1,11257	1,14071
(3) $\boldsymbol{1+\theta_1 \cdot V_{GT} + \theta_2 \cdot V_{GT}^2}$	**0,4**	1	1,07459	1,14918	1,22377	1,29836	1,37295
	0,6	1	1,11544	1,23087	1,34631	1,46174	1,57718
	0,2	596,549	580,220	564,76150	550,105	536,19	522,962
(4) $\boldsymbol{\frac{\mu_0}{1+\theta_1 \cdot V_{GT}+\theta_2 \cdot V_{GT}^2}}$	**0,4**	717,742	667,922	624,56880	586,501	552,807	522,774
	0,6	895,773	803,071	727,75620	665,357	612,813	567,961

A redução da degradação da mobilidade no transistor GC SOI está relacionada a um menor campo elétrico em comparação ao transistor uniformemente dopado. A redução do campo elétrico pode ser observada na Figura 23, que apresenta o campo elétrico em função da posição ao longo do comprimento de canal para um transistor com L = 2µm e L_{LD}/L = 0,4. Os dados foram extraídos para 5 nm abaixo do óxido de porta de transistores simulados com diferentes valores de V_{GT}. Uma maior redução do campo elétrico é observada para maiores L_{LD}/L e resultam em menores degradações da mobilidade para o transistor GC em comparação ao uniformemente dopado com o mesmo comprimento de canal.

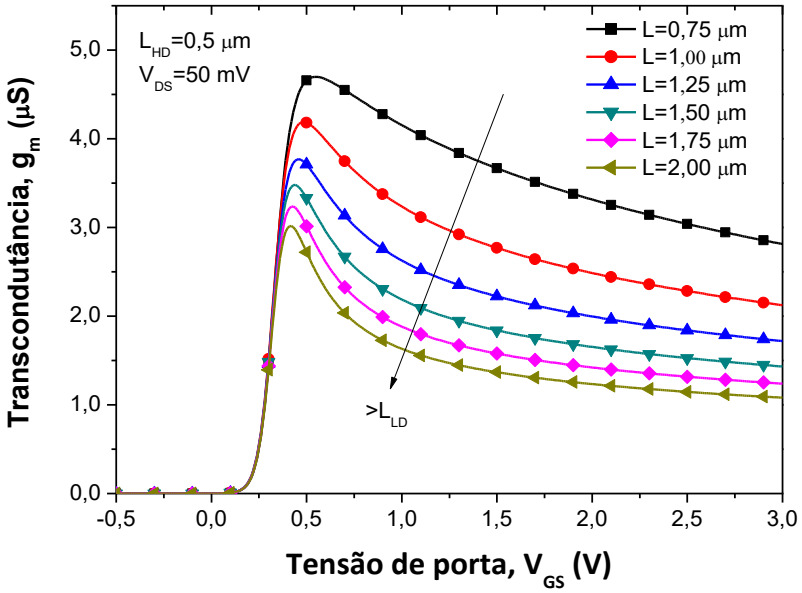
Figura 23 – Campo elétrico ao longo do comprimento de canal, extraído de simulações numéricas de um transistor GC SOI com L = 2µm e L_{LD}/L = 0,4 para diferentes V_{GT} e V_{DS}=50mV.



Fonte: Autor.

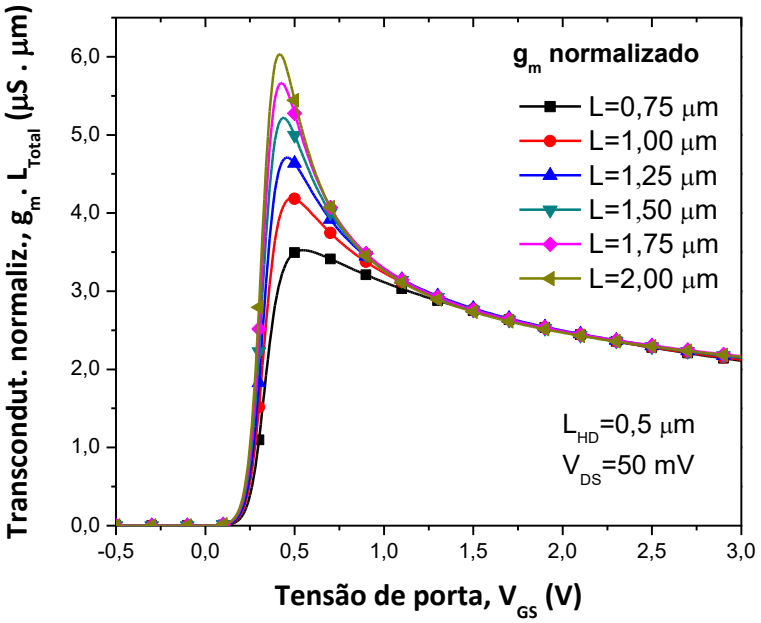
Os resultados apresentados foram obtidos para L fixo, fazendo com que os comprimentos de canal L_{HD} e L_{LD} sejam variados ao mesmo tempo. Para explorar a influência dos comprimentos de canal das regiões HD e LD sobre a mobilidade de baixo campo e coeficientes de degradação, foram realizadas simulações para um comprimento L_{HD} fixo com L_{LD} variável, e L_{LD} fixo com L_{HD} variável. A Figura 24 e a Figura 25 mostram curvas da transcondutância simulada e normalizada (em função do comprimento de canal L), respectivamente, em função da tensão de porta para transistores GC com L_{HD} = 0,5 µm fixo. A Figura 26 e a Figura 27 mostram curvas da transcondutância simulada e normalizada (em função do comprimento de canal L), respectivamente, em função da tensão de porta para transistores GC com L_{LD} = 0,5 µm fixo.

Figura 24 – Curvas simuladas de g_m x V_{GS} para transistores GC SOI com L_{HD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV.



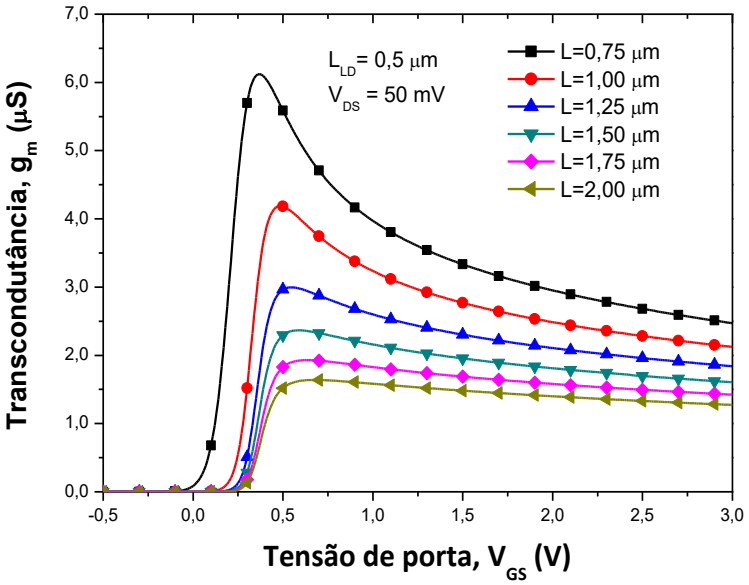
Fonte: Autor.

Figura 25 - Curvas normalizadas de g_m x V_{GS} em função do comprimento de canal (L) para transistores GC SOI com L_{HD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV.



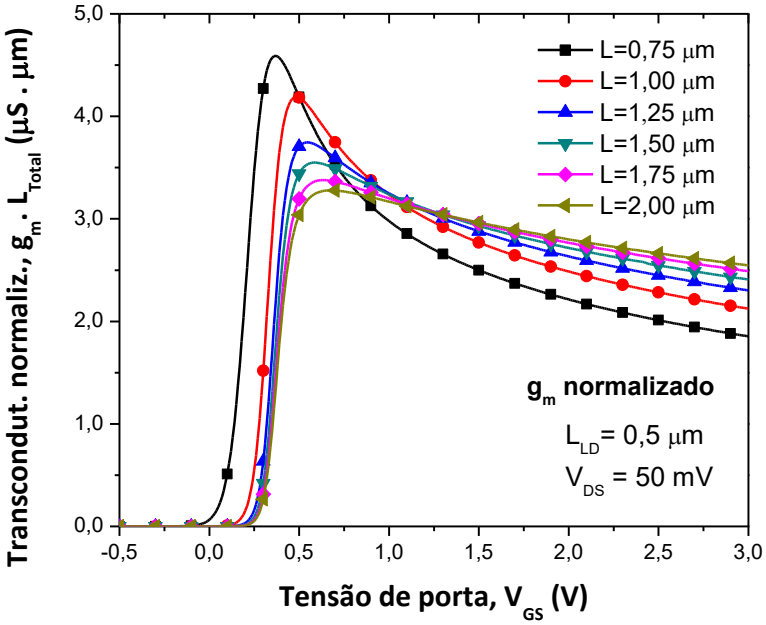
Fonte: Autor.

Figura 26 - Curvas simuladas de g_m x V_{GS} para transistores GC SOI com L_{LD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV.



Fonte: Autor.

Figura 27 - Curvas normalizadas de g_m x V_{GS} em função do comprimento de canal (L) para transistores GC SOI com L_{LD} fixo de 0,5µm e diferentes comprimentos de canal para V_{DS}=50mV.



Fonte: Autor.

Nas figuras, enquanto uma das regiões foi mantida com comprimento constante, a outra região de canal teve seu comprimento variado entre 250 nm e 1,5 µm, resultando em um comprimento de canal total entre 0,75 µm e 2 µm. A Tabela 2 apresentada os comprimentos simulados e a razão L_{LD}/L resultante, assim como a tensão de limiar V_{TH} extraída utilizando o método Y-Function.

Tabela 2 – Dimensões dos transistores GC SOI simulados e respectivas tensões de limiares.

L_{HD} [µm]	L_{LD} [µm]	L [µm]	L_{LD} / L	V_{th} [mV]
0,50	0,25	0,75	0,33	318
	0,50	1,00	0,50	298
	0,75	1,25	0,60	284
	1,00	1,50	0,67	269
	1,25	1,75	0,71	278
	1,50	2,00	0,75	271
0,25	0,50	0,75	0,67	170
0,50		1,00	0,50	298
0,75		1,25	0,40	339
1,00		1,50	0,33	356
1,25		1,75	0,28	367
1,50		2,00	0,25	374

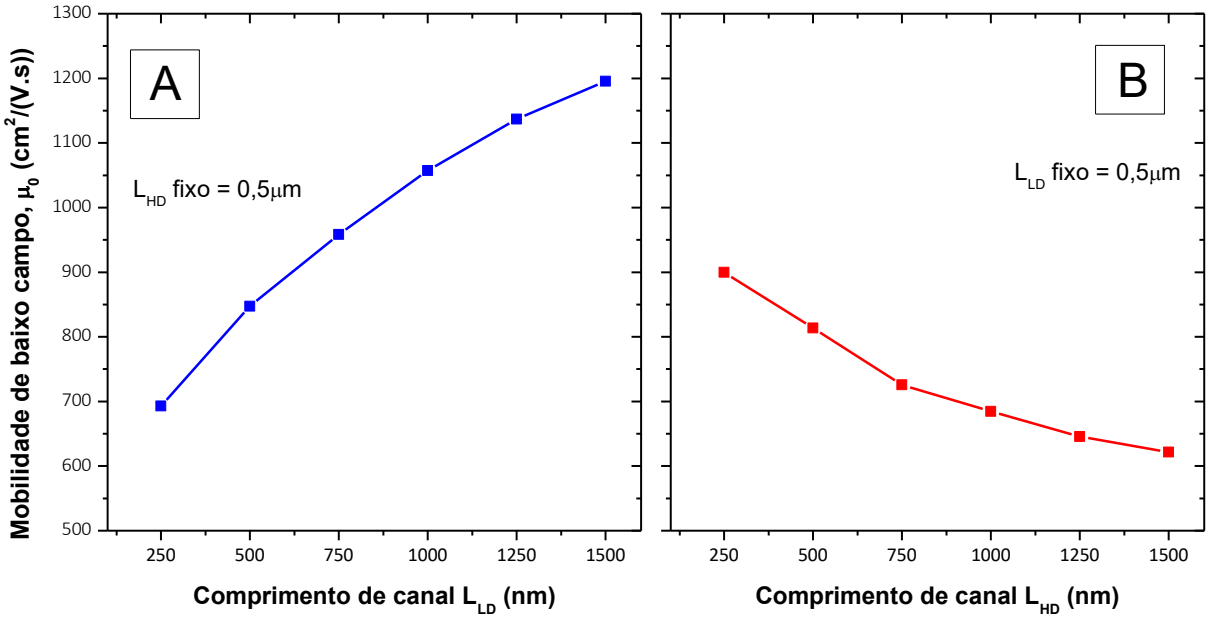
Fonte: Autor.

Como esperado, quando o comprimento da região fortemente dopada (L_{HD}) é mantido fixo, a tensão de limiar V_{TH} é pouco afetada pela variação da região fracamente dopada (Figura 24 e Figura 25). Uma pequena redução (menor que 50 mV) é observada quando L_{LD} varia de 0,25 µm para 1,5 µm, devido ao aumento da resistência. Na transcondutância normalizada (Figura 25) é mais evidente que a medida que V_{GS} aumenta ($V_{GS} \cong 1{,}25V$), a transcondutância para qualquer razão L_{LD}/L tende a curva de transcondutância do transistor uniformemente dopado.

O deslocamento da curva de transcondutância apresentado na Figura 26 e na Figura 27 para diferentes comprimentos de canal (L) demonstra uma variação da tensão de limiar V_{TH} devido à ocorrência de efeitos de canal curto provocada pela redução do comprimento de canal efetivo ($L_{eff} \cong L_{HD}$). Pela Figura 27, é observado que o aumento do comprimento de canal L_{LD} causa uma maior degradação da mobilidade, visto que o nível de transcondutância diminui.

Os valores extraídos de mobilidade são apresentados na Figura 28 em função dos comprimentos de canal das regiões fortemente (HD) e fracamente (LD) dopadas para L_{LD} e L_{HD} fixos, respectivamente.

Figura 28 – Mobilidade de baixo campo em função dos comprimentos de canal L_{LD} e L_{HD} para comprimentos fixos L_{HD} = 0,5µm (A) e L_{LD} = 0,5µm (B), respectivamente.



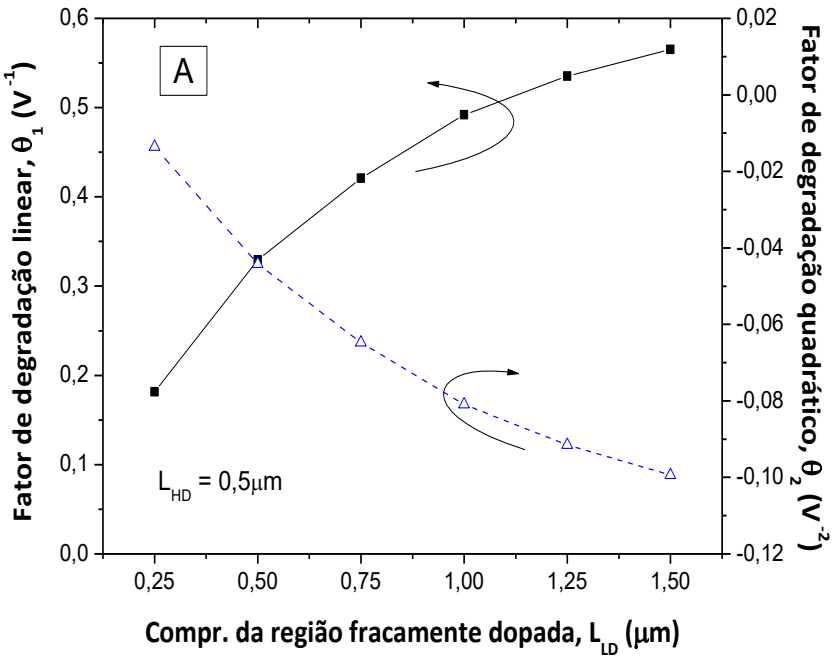
Fonte: Autor.

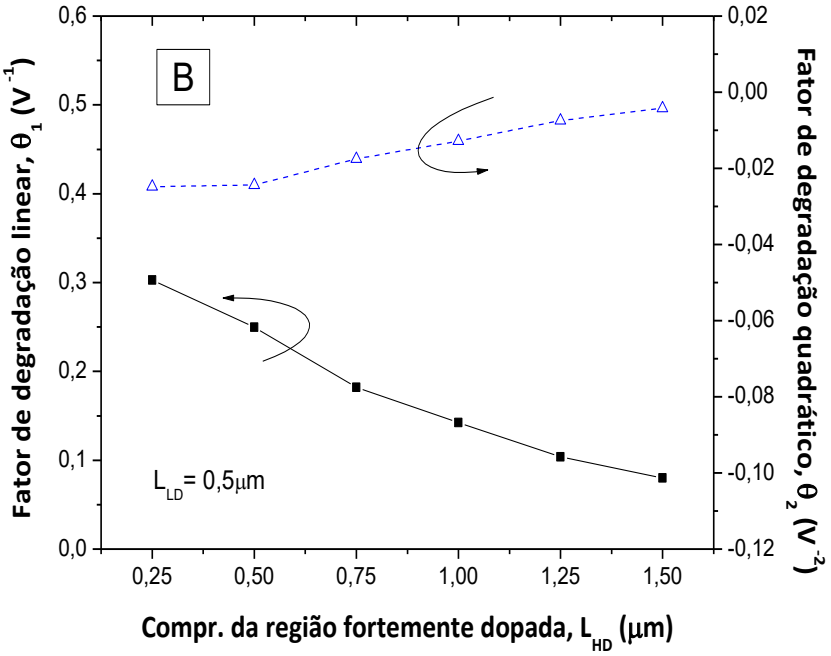
A mobilidade aumenta conforme L_{LD} se torna maior para L_{HD} fixo. Isto está relacionado à maior mobilidade observada quando a concentração de dopantes é reduzida. Dessa forma,

quando a maior fração do comprimento de canal total é pouco dopado, resulta em um aumento da mobilidade (Figura 28(A)). De forma contrária, quando L_{LD} é fixo e L_{HD} aumenta (Figura 28(B)), é observada uma redução na mobilidade, o que está de acordo com a hipótese de que a mobilidade como um todo resulta da combinação da mobilidade de baixo campo de ambas as regiões e ponderada pelos seus comprimentos. Um entendimento similar é apresentado em (GIMENEZ et al., 2002). O aumento de L_{LD} tem uma influência maior que o aumento de L_{HD}. Enquanto a mobilidade aumenta mais de 70% quando L_{LD} aumenta de 0,25µm a 1,5µm, a redução devido ao aumento de L_{HD} é de cerca de 30%.

A Figura 29 apresenta os fatores de atenuação de mobilidade, θ_1 e θ_2, em função de L_{LD} (A) e L_{HD} (B).

Figura 29 – Fatores de atenuação linear e quadrático (θ_1 e θ_2) em função de L_{LD} para $L_{HD,\ FIXO}$ = 0,5µm (A) e em função de L_{HD} para $L_{LD,\ FIXO}$ = 0,5µm (B).





Fonte: Autor.

Conforme a mobilidade de baixo campo μ_0 aumenta, pode ser observado que θ_1 também aumenta, ambos para o aumento de L_{LD} ou diminuição de L_{HD}. Adicionalmente, pode-se notar que conforme θ_1 aumenta, θ_2 se torna negativo e maior em valor absoluto, de modo a atenuar a maior degradação observada para maiores valores de sobretensão (V_{GT}). Assim como para a mobilidade de baixo campo, o comprimento da região fracamente dopada (L_{LD}) parece ter uma maior influência na mobilidade efetiva de transistores GC.

4.2 ANÁLISE DOS DADOS EXPERIMENTAIS

Transistores de canal gradual SOI foram fabricados usando tecnologia para dispositivos SOI totalmente depletados desenvolvida na UCLouvain, Bélgica, utilizando os mesmos parâmetros tecnológicos usados nas simulações (ver Seção 3.1). Os valores efetivos da razão L_{LD}/L, ou seja, $(L_{LD}/L)_{eff}$ foram extraídos de acordo com (PAVANELLO, et al., 2000c) e estão apresentados na Tabela 3 e na Tabela 4.

A definição da concentração de dopantes da região fortemente dopada (HD) foi realizada utilizando o processo de implantação iônica, enquanto que a região fracamente dopada (LD) tem a concentração de dopantes natural da lâmina. O processo de implantação iônica proporciona uma variação aproximadamente abrupta entre as regiões HD e LD para L = 2µm, como observado na Tabela 4, onde a razão L_{LD}/L de máscara e a razão L_{LD}/L efetiva são muito

próximas. Entretanto para o comprimentos de canal (L) menores, como na Tabela 3, onde o comprimento de canal (L) é de 1µm, a diferença entre a razão projetada e a efetiva é maior.

Tabela 3 – Comparação da razão L_{LD}/L de máscara e da razão L_{LD}/L efetiva para transistor SOI de canal gradual com L = 1µm.

L = 1µm			
#Estrutura#	**L_{LD}/L**	**$(L_{LD}/L)_{eff}$**	**L_{eff} (µm)**
B1	0,00	0,00	1,00
B2	0,25	0,13	0,87
B3	0,50	0,37	0,63
B6	0,50	0,47	0,53
B4	0,75	0,54	0,46

Fonte: Autor.

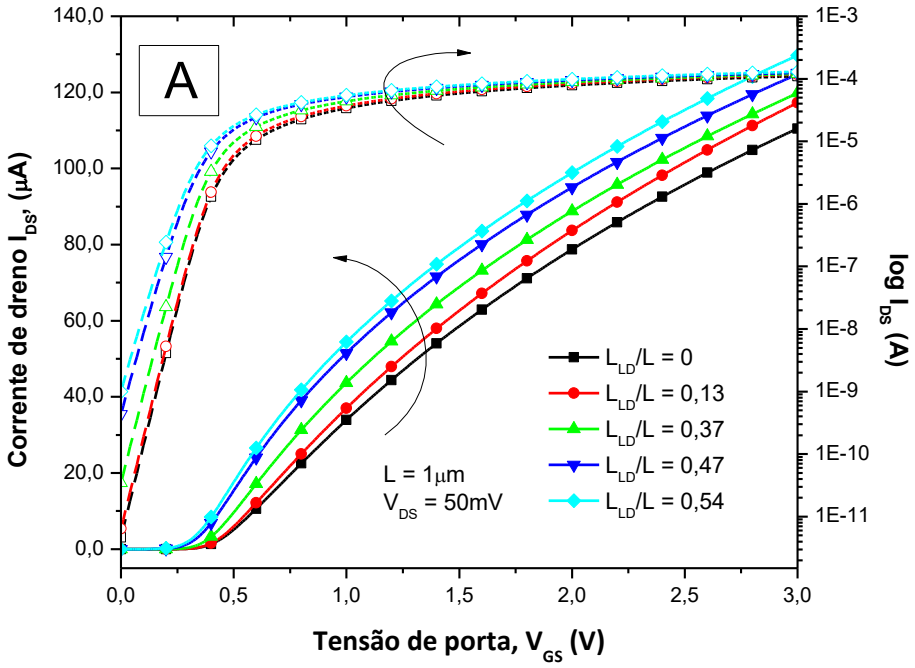
Tabela 4 - Comparação da razão L_{LD}/L de máscara e da razão L_{LD}/L efetiva para transistor SOI de canal gradual com L = 2µm.

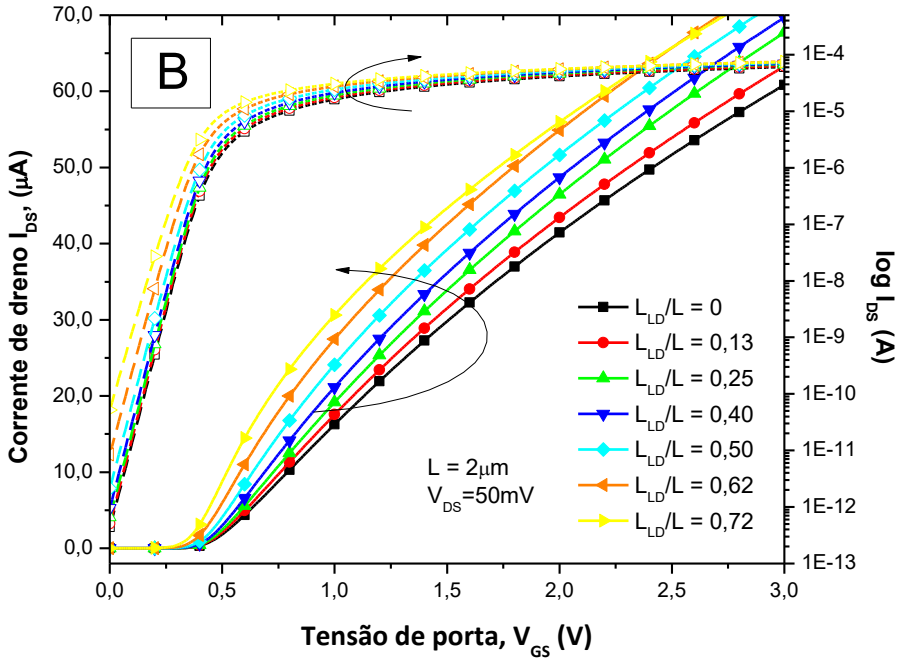
L = 2µm			
#Estrutura#	**L_{LD}/L**	**$(L_{LD}/L)_{eff}$**	**L_{eff} (µm)**
A1	0,00	0,00	2,00
A2	0,125	0,13	1,74
A3	0,25	0,25	1,50
A4	0,375	0,40	1,20
A5	0,50	0,50	1,00
A6	0,625	0,62	0,76
A7	0,75	0,72	0,56

Fonte: Autor.

As curvas das correntes de dreno e transcondutâncias podem ser vistas na Figura 30 e na Figura 31, respectivamente. Estas curvas confirmam as características observadas nas simulações numéricas, onde para maiores razões L_{LD}/L, são obtidos maiores níveis de corrente e maiores picos de transcondutância, entretanto a degradação da mobilidade é maior.

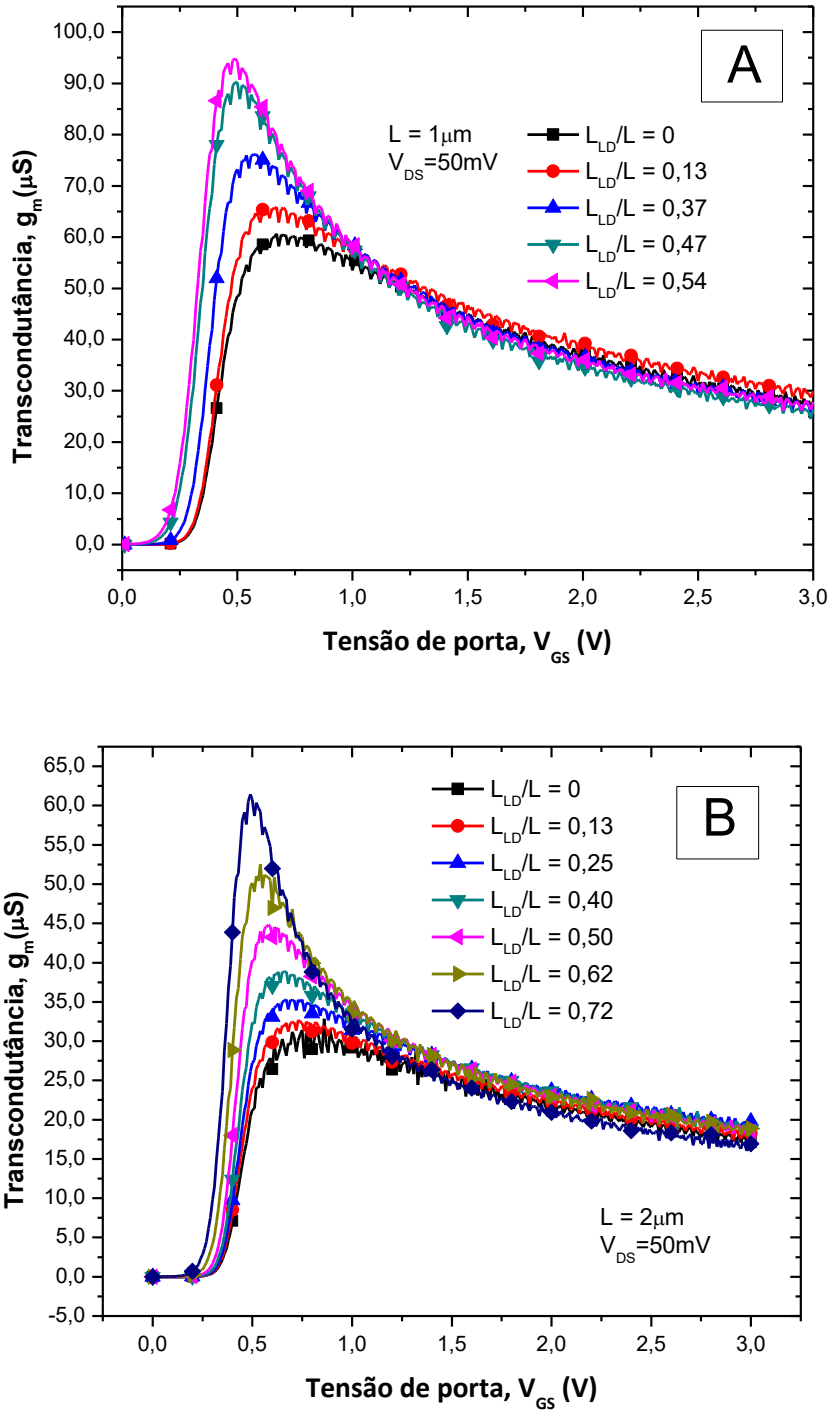
Figura 30 – Curvas experimentais da corrente de dreno I_{DS} em função da tensão de porta V_{GS} para transistores GC SOI com comprimento de canal L = 1µm (A) e L = 2µm (B), para V_{DS}=50mV.





Fonte: Autor.

Figura 31 - Curvas experimentais da transcondutância I_{DS} em função da tensão de porta V_{GS} para transistores GC SOI com comprimento de canal L = 1µm (A) e L = 2µm (B), para V_{DS}=50mV.

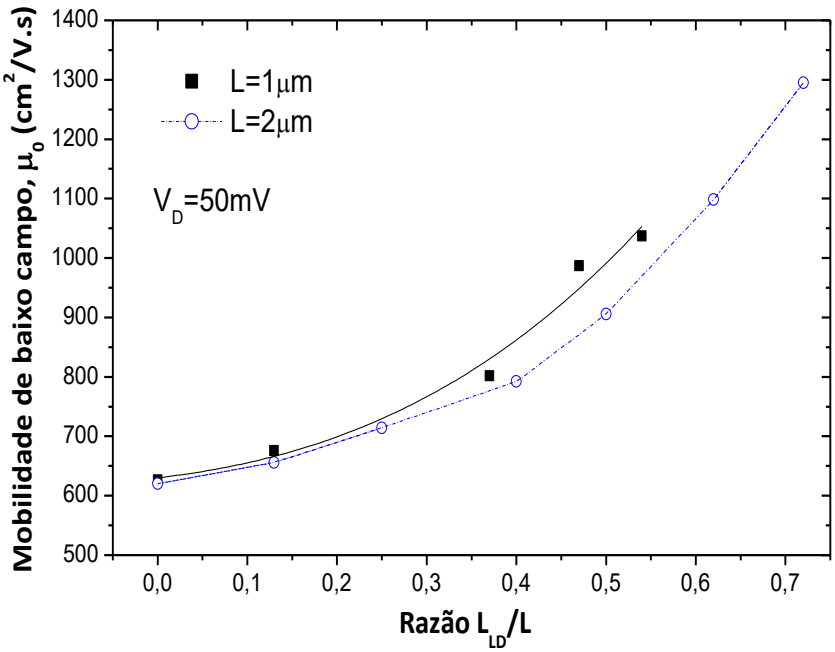


Fonte: Autor.

A Figura 32 apresenta a mobilidade de baixo campo extraída em função da razão L_{LD}/L para os dois comprimentos de canal medidos. Como já mostrado pelas simulações, o aumento de L_{LD} e diminuição de L_{HD} contribuem para o aumento de μ_0.

É observada uma maior diferença entre a mobilidade de baixo campo para L = 1 µm e para L = 2 µm, a medida que a razão L_{LD}/L aumenta. Isto ocorre devido uma imprecisão na razão L_{LD}/L efetiva na curva para L = 1 µm como observado anteriormente na Tabela 3. Nos dados simulados, a variação do comprimento de canal total (L) tem uma influência menor para a mesma razão L_{LD}/L.

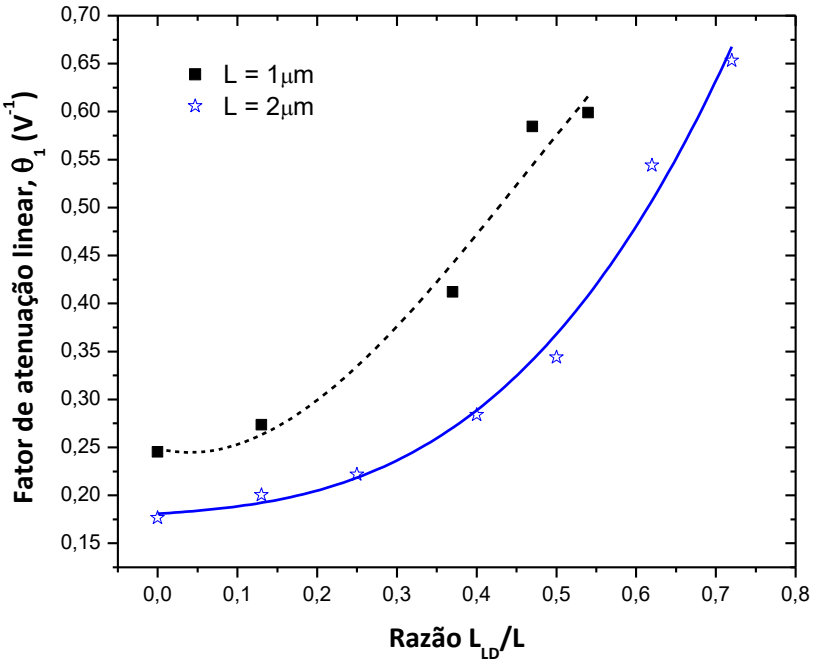
Figura 32 – Mobilidade de baixo campo em função da razão L_{LD}/L extraída de medidas experimentais de transistores GC SOI com L=1µm e L=2µm.



Fonte: Autor.

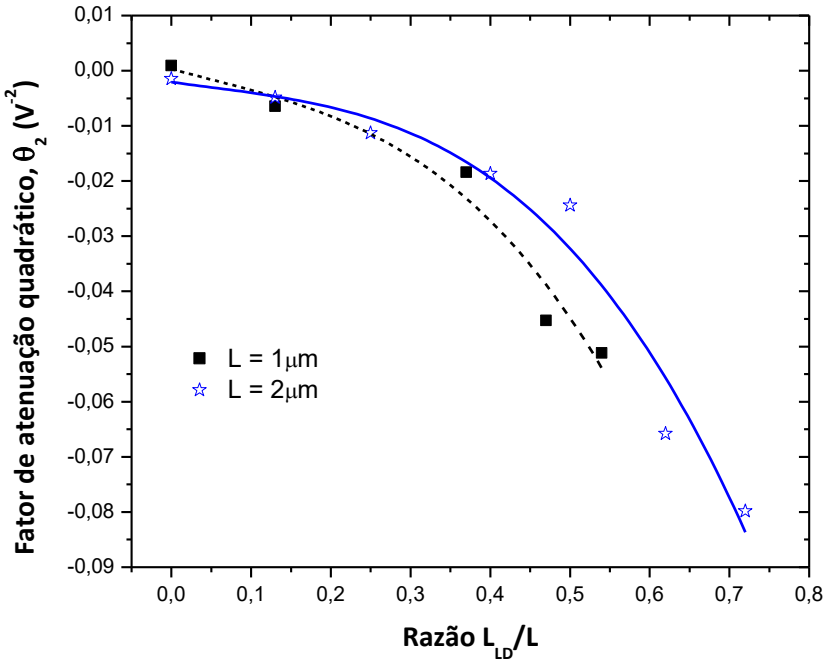
Os fatores de atenuação da mobilidade são exibidos na Figura 33 e na Figura 34 para L=1µm e L=2µm, onde se observa a mesma tendência vista nas simulações numéricas: a elevação do fator de degradação linear (θ_1) e o fator de degradação quadrático (θ_2) se tornando mais negativo para o aumento da razão L_{LD}/L.

Figura 33 – Fator de atenuação linear (θ_1) em função da razão L_{LD}/L extraído de medidas experimentais de transistores GC SOI com L=1µm e L=2µm.



Fonte: Autor.

Figura 34 - Fator de atenuação quadrático (θ_2) em função da razão L_{LD}/L extraído de medidas experimentais de transistores GC SOI com L=1µm e L=2µm.



Fonte: Autor.

4.3 VALIDAÇÃO DOS DADOS ATRAVÉS DA SIMULAÇÃO SPICE

Com o intuito de validar a estratégia de simulação proposta para o transistor GC SOI utilizando o modelo de um transistor SOI uniformemente dopado com parâmetros ajustados, os valores extraídos da mobilidade de baixo campo e fatores de atenuação foram utilizados para se obter curvas I_{DS} x V_{GS} com o simulador SPICE. Foram considerados os parâmetros tecnológicos dos dispositivos simulados e medidos. Vale ressaltar que apenas os valores dos parâmetros *u0, Ua e Ub* foram alterados entre os diferentes transistores.

Os valores de *Ua* e *Ub* foram calculados a partir dos fatores de atenuação θ_1 e θ_2, extraídos das curvas I_{DS} x V_{GS}. Devido à diferença presente entre as dimensões dos fatores utilizados no modelo BSIMSOI, *Ua* (cm/V) e *Ub* (cm²/V²), com a dimensão de θ_1 (1/V) e θ_2 (1/V²), foi realizado um ajuste, utilizando a definição dos parâmetros presente no BSIMSOI. O ajuste foi realizado da seguinte forma:

$$U_a = t_{ox} \cdot \theta_1 \tag{31}$$

$$U_b = (t_{ox})^2 \cdot \theta_2 \tag{32}$$

A Tabela 5 e a Tabela 6 apresentam os parâmetros de mobilidade aplicados nas simulações SPICE para L = 1µm e para L = 2µm, respectivamente. Os parâmetros μ_0, θ_1 e θ_2 foram extraídos dos dados experimentais através da função Y.

Tabela 5 – Parâmetros de mobilidade aplicados nas simulações SPICE para L = 1µm.

L=1um					
L_{LD}/L	**µ**	**θ_1**	**θ_2**	**U_a**	**U_b**
	($cm^2/(V.s)$)	**(V^{-1})**	**(V^{-2})**	**($cm.V^{-1}$)**	**($cm^2.V^{-2}$)**
0	627	0,24524	9,12E-04	7,60E-09	8,77E-19
0,37	802	0,41203	-0,0184	1,28E-08	-1,77E-17
0,47	987	0,58447	-0,0453	1,81E-08	-4,35E-17
0,54	1.037	0,59889	-0,0512	1,86E-08	-4,92E-17

Fonte: Autor.

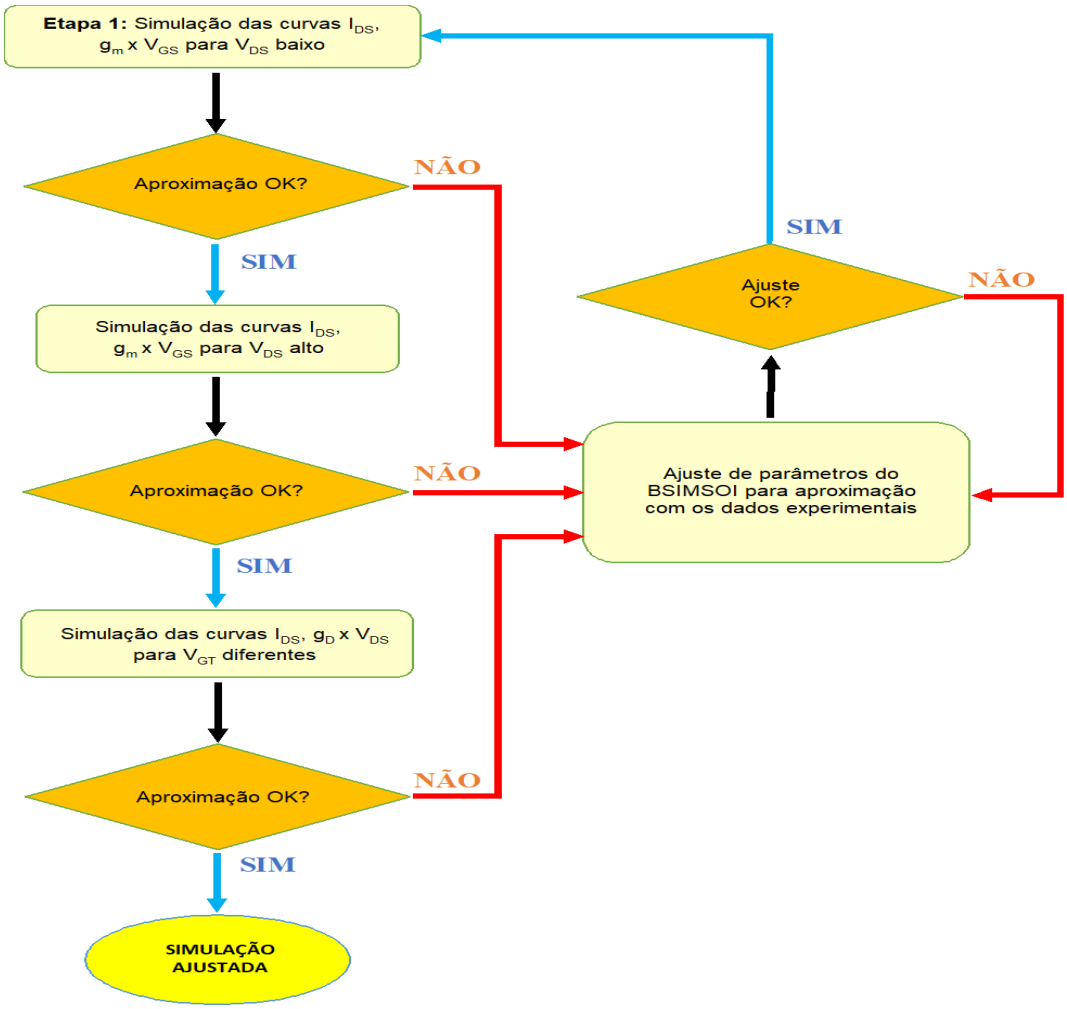
Tabela 6 – Parâmetros de mobilidade aplicados nas simulações SPICE para L = 2µm.

L=2um					
L_{LD}/L	µ	θ_1	θ_2	U_a	U_b
	$(cm^2/(V.s))$	(V^{-1})	(V^{-2})	$(cm.V^{-1})$	$(cm^2.V^{-2})$
0	610	0,15631	0,00461	4,85E-09	4,43E-18
0,13	642	0,17342	0,00364	5,38E-09	3,50E-18
0,25	707	0,2072	-0,00697	6,42E-09	-6,70E-18
0,4	794	0,2919	-0,0199	9,05E-09	-1,91E-17
0,62	1098,41	0,54392	-0,06582	1,69E-08	-6,33E-17

Fonte: Autor.

Foram realizados ajustes em outros parâmetros, não relacionados à mobilidade, nas simulações SPICE. Foi realizado o mesmo ajuste para todas as simulações de forma a uniformizar e garantir que o ajuste principal seja dos parâmetros de mobilidade. Os ajustes realizados seguem o procedimento apresentado na Figura 35.

Figura 35 – Procedimento realizado para ajuste das simulações SPICE.



Fonte: Autor.

A Tabela 7 apresenta os parâmetros ajustados utilizando o procedimento descrito anteriormente, que não estão relacionados à mobilidade. Estes parâmetros foram ajustados em todas as simulações SPICE.

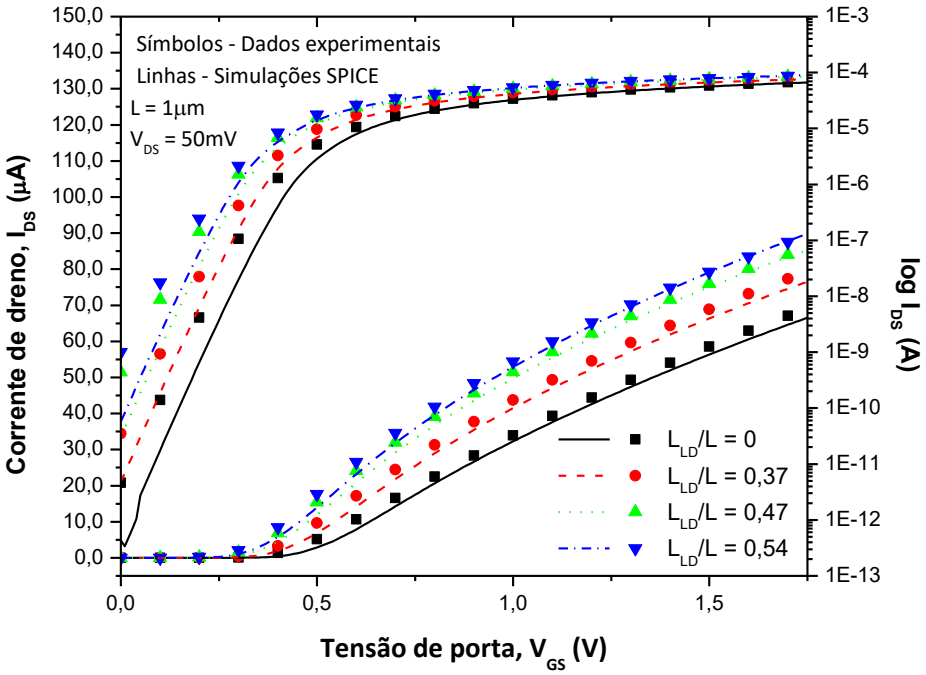
Tabela 7 – Parâmetros ajustados não relacionados à mobilidade aplicados nas simulações SPICE.

Parâmetros	Definição	Unidade	Valor Default	Valor Ajustado
PCLM	Parâmetro referente à modulação de comprimento de canal	-	1,3	0,1
A0	Coeficiente de efeito de carga de corpo para comprimento do canal	-	1,0	0,0
RSH	Resistência de fonte e dreno por área	Ω/área	0,0	20

Fonte: Autor.

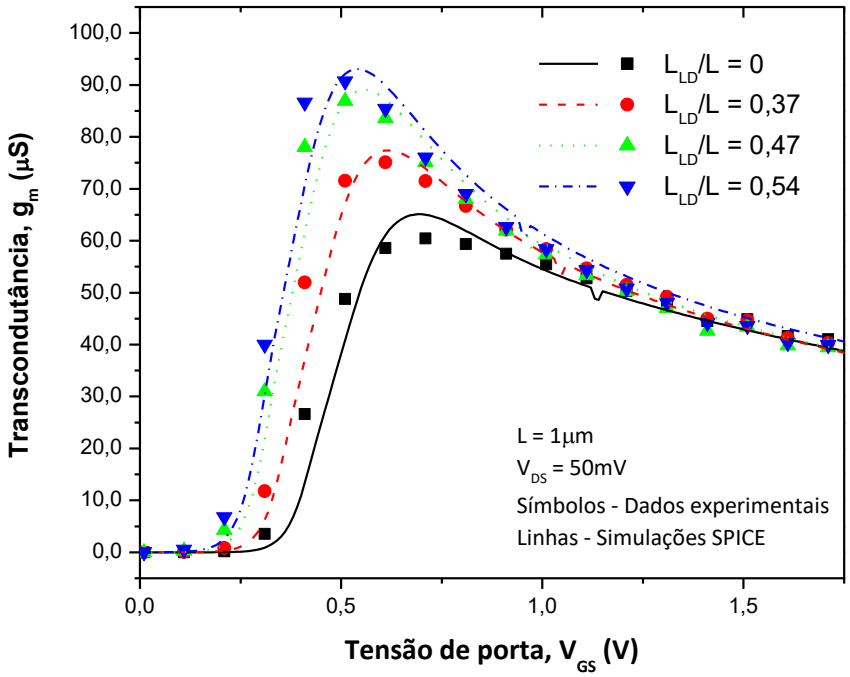
A Figura 36 e a Figura 37 apresentam a comparação dos dados experimentais de corrente de dreno e transcondutância, respectivamente, com as curvas simuladas no ICAP4 em função de V_{GS} para transistores GC SOI com L=1 µm e diferentes razões L_{LD}/L, com V_{DS}=50 mV.

Figura 36 – Comparação das curvas de corrente de dreno obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=1µm, em V_{DS}=50mV.



Fonte: Autor.

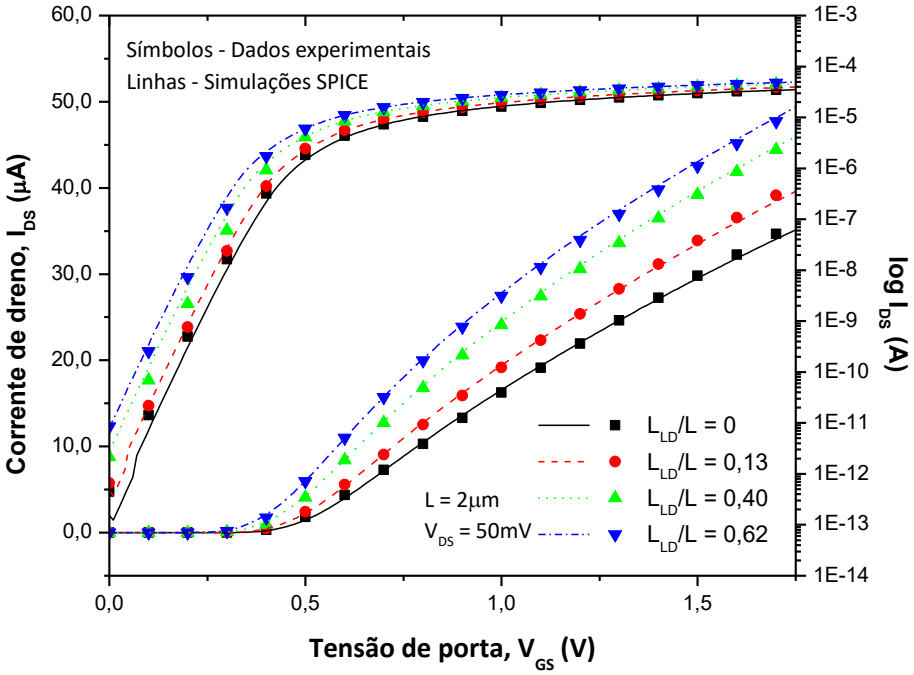
Figura 37 - Comparação das curvas de transcondutância obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=1µm, em V_{DS}=50mV.



Fonte: Autor.

Os resultados obtidos demonstram uma boa aproximação com os resultados experimentais, apresentando erros percentuais máximos de 5,26% para as curvas de corrente e 7,07% para as curvas de transcondutância. A boa aproximação nos picos de transcondutância e na faixa de atenuação da mobilidade reforçam a abordagem de reproduzir o funcionamento do transistor GC utilizando um transistor uniformemente dopado com mobilidade de baixo campo e fatores de degradação modificados.

Figura 38 - Comparação das curvas de corrente de dreno obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=50mV.

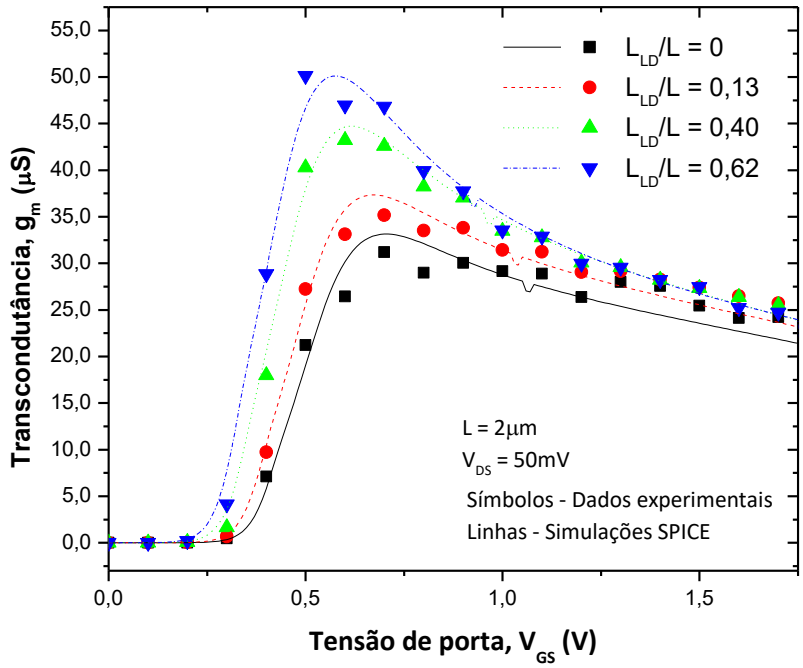


Fonte: Autor.

A Figura 38 e a Figura 39 apresentam, respectivamente, a comparação dos dados experimentais de corrente de dreno e transcondutância com as curvas simuladas para transistores GC SOI com L=2 µm e diferentes razões L_{LD}/L, com V_{DS}=50 mV.

As curvas de corrente simuladas apresentam boa aproximação com os dados experimentais com uma diferença máxima de 3,38%, enquanto que as curvas de transcondutância apresentam uma diferença máxima de 10,34%.

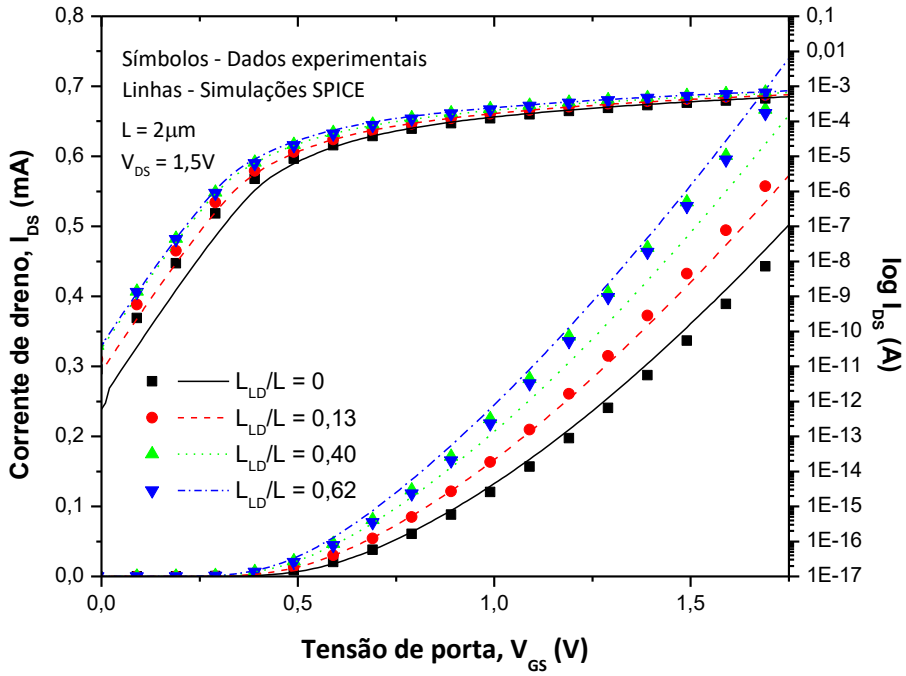
Figura 39 - Comparação das curvas de transcondutância obtidas através de simulações analíticas e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=50mV.



Fonte: Autor.

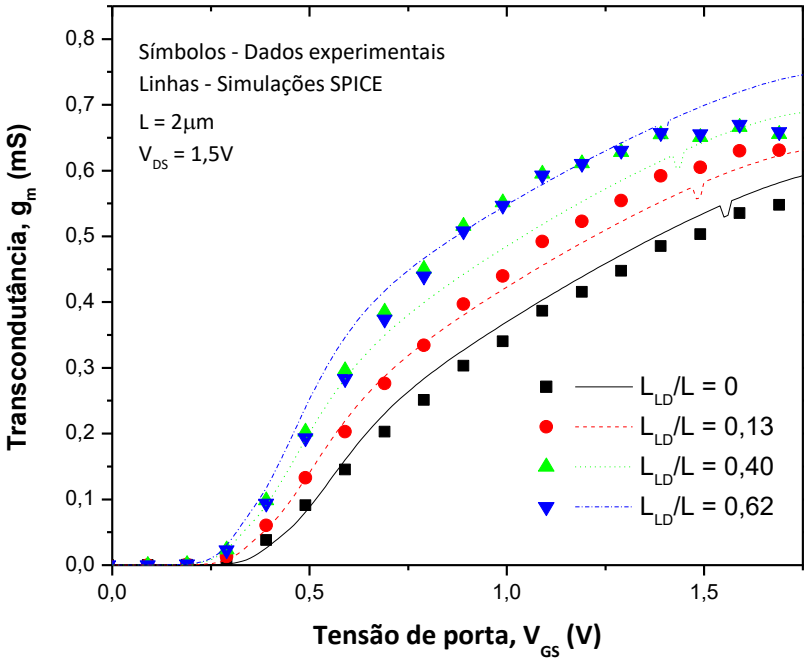
Entretanto, a maioria dos circuitos analógicos operam em saturação, em altos valores de V_{DS}. Dessa forma, foram realizadas simulações com V_{DS}=1,5 V para transistores GC SOI com L=2 µm, apresentadas na Figura 40 e na Figura 41.

Figura 40 – Comparação das curvas de corrente de dreno obtidas através de simulações SPICE e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=1,5V.



Fonte: Autor.

Figura 41 - Comparação das curvas de transcondutância obtidas através de simulações SPICE e de medidas experimentais para transistores GC SOI com L=2µm, em V_{DS}=1,5V.



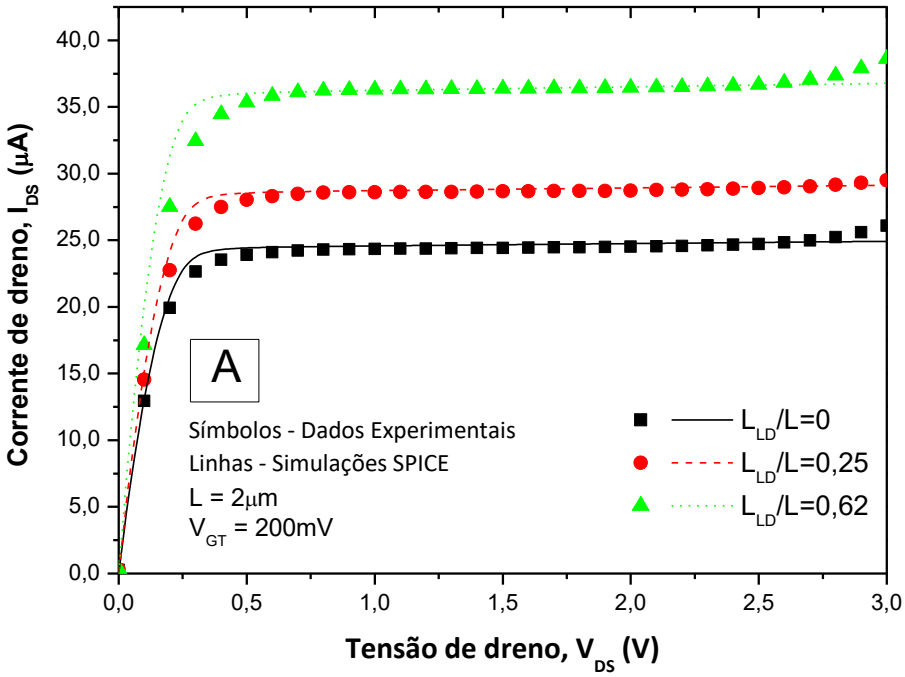
Fonte: Autor.

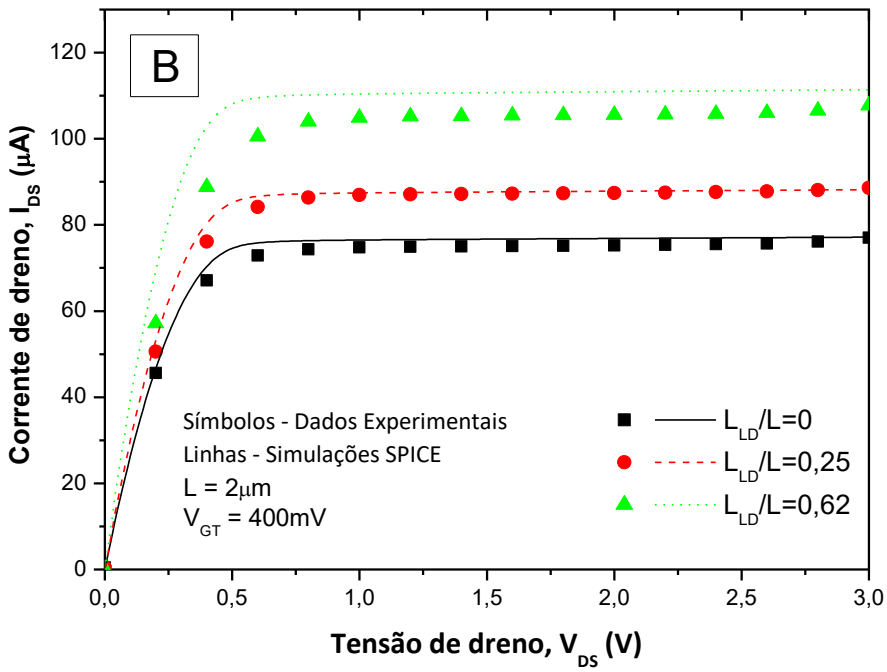
Os resultados demonstram uma boa aproximação, apresentando uma diferença máxima de 10,68% na curva de corrente para razão L_{LD}/L=0,40 e uma diferença máxima de 14,08% nas curvas de transcondutância.

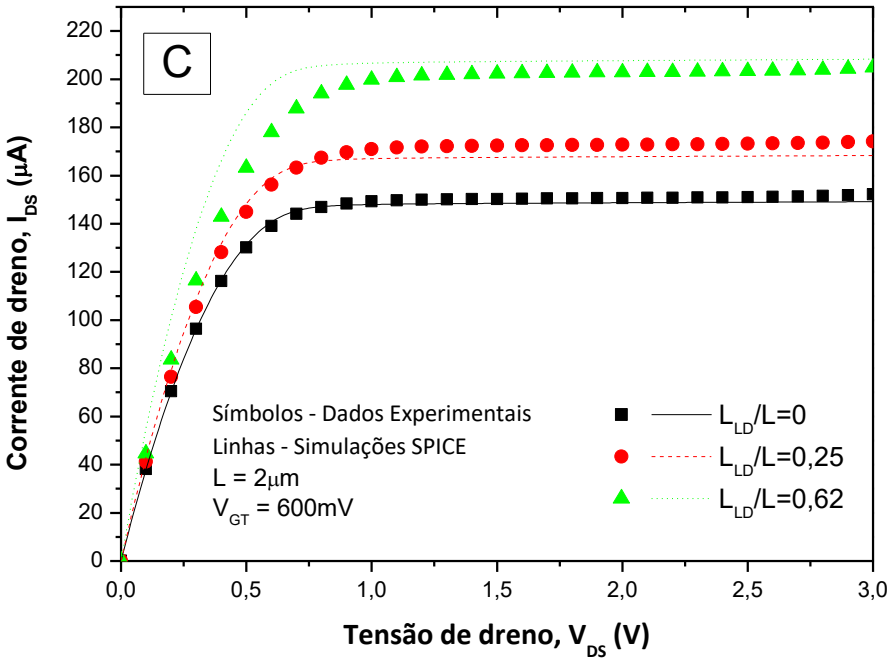
Foram também simuladas curvas da corrente de dreno I_{DS} em função da tensão de dreno V_{DS} com diferente sobretensão de porta (V_{GT}). Os resultados são apresentados na Figura 42 para os transistores GC com L = 2 µm e razões L_{LD}/L = 0, 0,25 e 0,62 e sobretensão de porta (V_{GT}) de 200mV, 400mV e 600mV. Essas curvas foram comparadas com os dados experimentais e foi obtido um erro inferior a 5,4% em todas as curvas.

Além dos parâmetros de mobilidade, μ_0, θ_1 e θ_2, foi ajustado nas simulações o parâmetro PCLM (*Channel Length Modulation Parameter*). Este parâmetro faz parte do modelo SPICE BSIM-SOI e é relacionado ao efeito de modulação de comprimento de canal para o cálculo da tensão Early e tem forte influência na condutância de saída (g_D).

Figura 42 – Comparação das curvas I_{DS} x V_{DS} obtidas de dados experimentais e simulações SPICE para transistores GCSOI com L=2µm e V_{GT} = 200mV (A); V_{GT} = 400mV (B); V_{GT} = 600mV (C).





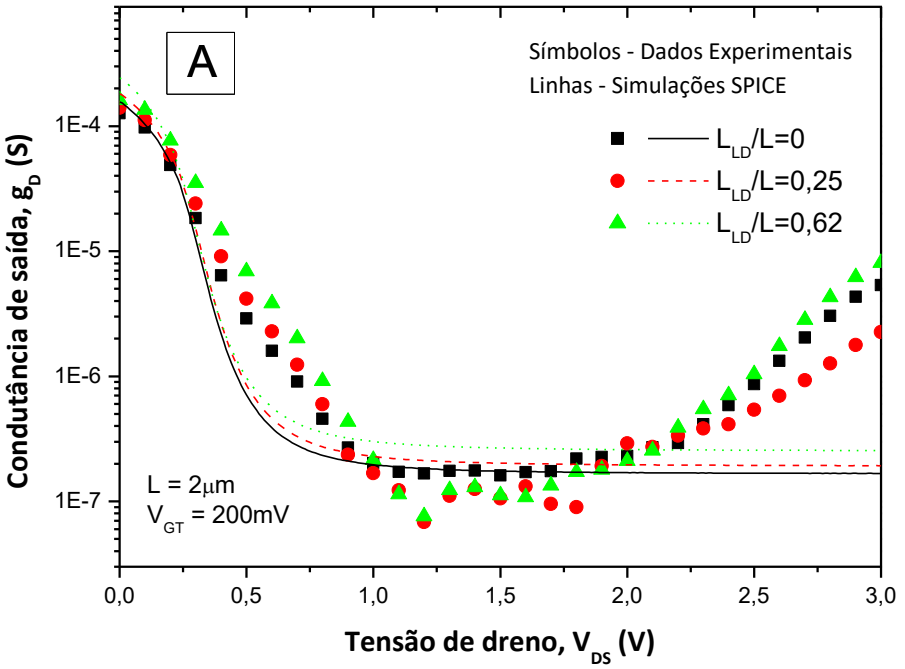


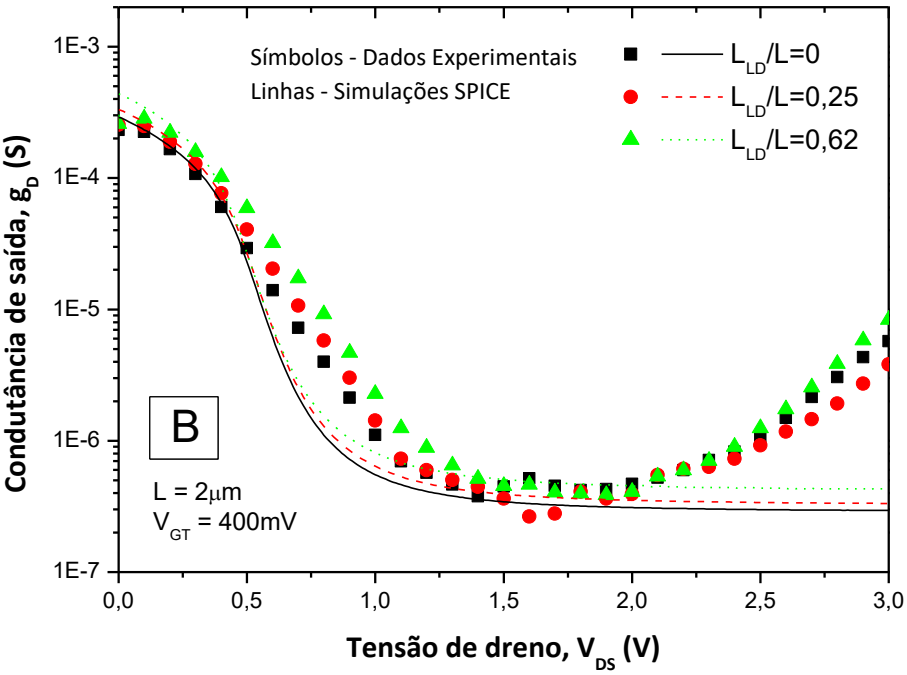
Fonte: Autor.

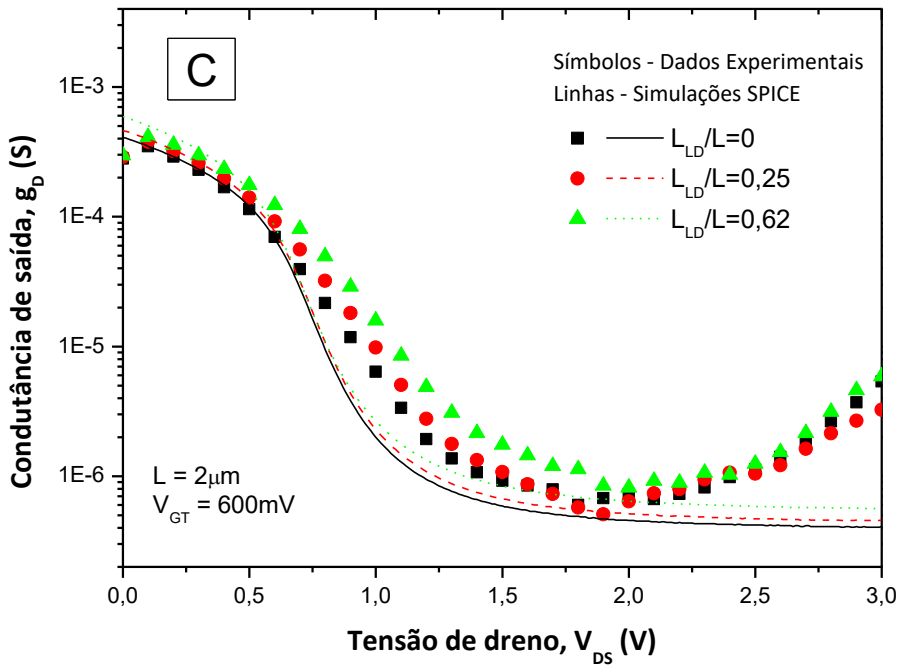
Assim como a transcondutância, a condutância de saída (g_D) é um fator de grande relevância quando se trata da operação analógica em transistores MOSFETs. A Figura 43 apresenta as curvas de condutância de saída em função da tensão de dreno para transistores GCSOI com diferentes sobretensões de porta. As curvas foram obtidas derivando as curvas da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}).

O parâmetro PCLM realiza o ajuste necessário para uma melhor aproximação das curvas de condutância de saída, pois trata do efeito de modulação de comprimento de canal, principalmente na saturação que é a região de interesse para operação analógica.

Figura 43 – Comparação das curvas g_D x V_{DS} obtidas de dados experimentais e simulações SPICE para transistores GCSOI com L=2µm e V_{GT} = 200mV (A); V_{GT} = 400mV (B); V_{GT} = 600mV (C).







Fonte: Autor.

Os resultados obtidos demonstram que a condutância de saída simulada tem uma boa aproximação com os dados experimentais na região de saturação para baixa sobretensão de porta (V_{GT} = 200 mV), enquanto que permanecem distantes dos dados experimentais na transição de triodo para saturação e para altas tensões de dreno (V_{DS} acima de 2V).

Devido ao transistor GC SOI possuir duas tensões de saturação, a abordagem utilizada de simular um único transistor uniformemente dopado alterando parâmetros de mobilidade não permite que a transição de tríodo para saturação seja mais próxima, entretanto vale ressaltar que a região de transição não é uma região de interesse para aplicações em operação analógica. O modelo BSIM-SOI na versão 3 que é a versão disponível pelo simulador ICAP4 não possibilita simular o efeito de ionização por impacto que tem mais relevância para altas tensões de dreno, como ser observado nas curvas da condutância de saída pela tensão de dreno para V_{DS} acima de 2V. Nos dados experimentais, a condutância de saída a partir de V_{DS} = 2V aumenta, enquanto que a condutância de saída simulada continua reduzindo, entretanto, não é uma região de interesse a região de ionização por impacto.

A abordagem de utilizar um único transistor para reproduzir o comportamento do transistor GC demonstrou bons resultados para as curvas I_{DS}xV_{GS} e g_mxV_{GS} para baixo e alto V_{DS}; I_{DS}xV_{DS} e g_DxV_{DS} com algumas ressalvas para a condutância de saída, onde o modelo tem limitação para simular a transição de tríodo para saturação e a ionização por impacto.

5 CONCLUSÃO

Este trabalho apresentou uma análise da mobilidade e fatores de degradação da mobilidade em transistores GC SOI. Foram extraídos os valores da mobilidade efetiva de transistores GC utilizando a função Y. Foi verificado que a mobilidade de baixo campo e fatores de atenuação apresentam uma grande dependência com a razão L_{LD}/L. A análise do impacto dos comprimentos das regiões que formam o canal gradual permitiu observar que o aumento do comprimento de canal da região fracamente dopada L_{LD} tem maior influência sobre a mobilidade e os fatores de degradação do que o aumento de L_{HD}. Enquanto a mobilidade aumenta mais de 70% quando L_{LD} aumenta de 0,25µm a 1,5µm, a redução devido ao aumento de L_{HD} é de cerca de 30%.

Considerando o comprimento de canal do transistor como o comprimento da porta, o aumento da relação L_{LD}/L causa o aumento da mobilidade de baixo campo (μ_0). Foi observado que quanto maior a mobilidade de baixo campo, maior o fator de degradação linear da mobilidade (θ_1). Foi notado ainda que com o aumento de θ_1, θ_2 se torna negativo e maior em valor absoluto, de modo a atenuar a maior degradação observada para maiores valores de sobretensão V_{GT}.

Os resultados demonstraram que utilizando a mobilidade de baixo campo e fatores de degradação e realizando ajuste no parâmetro PCLM do modelo BSIM-SOI que é relacionado ao efeito de modulação de canal na tensão Early, foi possível reproduzir dados experimentais utilizando um único transistor SOI MOSFET uniformemente dopado em um simulador SPICE. Os resultados apresentaram erro percentual máximo de 5,26% nas curvas de corrente e 7,07% nas curvas de transcondutância em transistores GC com L = 1 µm sob baixo V_{DS}. Para transistores GC com L = 2 µm, foram obtidos erros percentuais de 3,38% nas curvas de corrente e 10,34% nas curvas de transcondutância para baixo V_{DS}; para alto V_{DS}, foram obtidos erros de 10,68% nas curvas de corrente e 14,08% nas curvas de transcondutância.

A estratégia utilizada também se mostrou eficaz para a simulação de curvas da corrente de dreno em função da tensão de dreno, apresentando um erro menor que 5,4% para sobretensão de porta V_{GT} variando de 200mV a 600mV. Entretanto foi observado que a condutância de saída obteve uma melhor aproximação com os dados experimentais na região de saturação para baixa sobretensão de porta V_{GT}, de forma que entre a transição de triodo para saturação e tensões de dreno V_{DS} mais altas os dados simulados são mais distantes dos dados experimentais.

Foi possível obter um melhor ajuste para a condutância de saída através de ajuste na tensão Early pelo parâmetro PCLM. Este parâmetro permite ajustar a inclinação da corrente de

dreno (I_{DS}) pela tensão de dreno (V_{DS}), modificando diretamente a condutância de saída. Sendo que o ajuste deste parâmetro conjuntamente com os parâmetros de mobilidade, μ_0, θ_1 e θ_2, é possível simular um comportamento com uma boa aproximação em uma primeira análise de circuito. Dessa forma, a abordagem apresenta bons resultados e simplifica a simulação de transistores GCSOI.

Artigo publicado

Os resultados obtidos neste trabalho permitiram a elaboração e aceitação de um artigo em periódico internacional, *Qualis A4,* publicado no mês de agosto de 2020.

Analysis of Mobility in Graded-Channel SOI Transistors aiming at Circuit Simulation
Lucas Mota Barbosa da Silva, Bruna Cardoso Paz, Michelly de Souza
Journal of Integrated Circuits and Systems, vol. 15, n. 2, pag 1-5, 2020.

REFERÊNCIAS

ADAM, A.O. et al. Analytical threshold voltage model for ultrathin SOI MOSFETs including short-channel and floating-body effects. IEEE Transactions on Electron Devices, v.46, n.4, p. 729-737, 1999.

AL-MISTARIHI M. F., RJOUB A.; AL-TARADEH N. R.; "Drain induced barrier lowering (DIBL) accurate model for nanoscale Si-MOSFET transistor," 2013 25th International Conference on Microelectronics (ICM), Beirut, pp. 1-4, 2013.

ALVES, C. R.; SOUZA, M. D.; FLANDRE, D. "Numerical Simulation and Analysis of Transistor Channel Length and Doping Mismatching in GC SOI nMOSFETs Analog Figures of Merit," 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro), Bento Gonçalves, pp. 1-4, 2018.

ASSALTI, R. et al. "Asymmetric Self-Cascode versus Graded-Channel SOI nMOSFETs for analog applications," 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro), Salvador, pp. 1-4, 2015.

BSIMSOI v2.0 MOSFET Model – User-s Manual for BSIMDD2.0. BSIM Research Group, 1999.

CANALI, C. et al. Electron and hole drift velocity measurements in silicone and their relation to electric field and temperature, IEEE Transactions on Electron Devices, v. 22, p. 1045-1047, 1975.

CAUGHEY, D. M.; THOMAS, R.E.; Carrier mobilities in silicon semi-empirically related to doping and field, Proc. IEEE, v. 52, p. 2192-2193, 1967.

CERDEIRA, A. et al; Advantages of Graded-Channel SOI FD MOSFET for Applications as a Quasi-Linear Resistor, IEEE Trans on Electron Devices, v.52, n.5, pp.967-972, 2005.

CHOI, J. Y.; FOSSUM, J. G. Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs. IEEE Transactions on Electron Devices, v. 38, n. 6, p.1384-1391, 1991.

COLINGE, J. P. Hot-electron effects in silicon-on-insulator n-channel MOSFETs. IEEE Transactions on Electron Devices, v.34, n.10, p.2173-2177, 1987.

COLINGE, J. P. *Silicon-on-Insulator Technology: Materials to VLSI: Materials to Vlsi*. [s.l.] Springer Science & Business Media, 2004.

COLINGE, J. P.; COLINGE, C. A. *Physics of Semiconductor Devices*. [s.l.] Springer Science & Business Media, 2005.

DE SOUZA, M. Modelagem, simulação e fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas.2008. Tese (Doutorado em Engenharia Elétrica) – Escola Politécnica da Universidade de São Paulo, São Paulo, 2008.

DE SOUZA, M. et al. A charge-based continuous model for submicron graded-channel nMOSFET for analog circuit simulation. Solid-State Electronics, vol. 49, issue 10, 1683–169, 2005.

DE SOUZA, M. et al. Asymmetric channel doping profile and temperature reduction influence on the performance of current mirrors implemented with FD SOI nMOSFETs. Microelectronics and Reliability, p. 848-855, 2013.

DEHAN, M.; RASKIN, J. P. An Asymmetric Channel SOI nMOSFET for Improving DC and Microwave Characteristics, Solid-State Electronics. 46, p. 1005-1011, 2002.

DOMANSKI, K.; "Latch-up in FinFET technologies," 2018 IEEE International Reliability Physics Symposium (IRPS), Burlingame, CA, pp. 2C.4-1-2C.4-5., 2018.

DORKEL, J.M.; LETURCQ, Ph.; Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level, Solid-State Electronics, v. 24, n. 9, p. 821-825, 1981.

EL-KAREH, B.; CHEN, B.; STANLEY, T.; Silicon on insulator-an emerging highleverage technology. IEEE Transactions on Components, Packaging, and Manufacturing Technology, vol. 18, n. 1, p. 187-194, 1995.

EMAM, M. et al. Analog, RF and Nonlinear Behaviors of Submicron Graded Channel Partially Depleted SOI MOSFETs. Proceedings of the 39th European Solid-State Device Research Conference – ESSDERC, p. 149-152, 2009b.

EMAM, M. et al. Experimental Investigation of RF Noise Performance Improvement in Graded Channel MOSFETs, Transactions on Electron Devices. 56, p. 1516-1522, 2009a.

FARBIZ, F.; ROSENBAUM, E. "Modeling and Understanding of External Latchup in CMOS Technologies - Part I: Modeling Latchup Trigger Current," in IEEE Transactions on Device and Materials Reliability, vol. 11, no. 3, pp. 417-425, Sept. 2011.

FLEURY D. et al. New Y -Function-Based Methodology for Accurate Extraction of Electrical Parameters on Nano-Scaled MOSFETs. IEEE Conference on Microelectronic Test Structures. March 2008.

FOSSUM, J.G.; CHOI, J.-Y.; SUNDARESAN, R. SOI design for competitive CMOS VLSI. IEEE Transactions on Electron Devices, v.37, n.3, p.724-729, 1990.

GIMENEZ, S. P. et al. Gain improvement in operational transconductance amplifiers using Graded-Channel SOI nMOSFETS. Microelectronics (Luton) (Cessou em 1978. Cont. ISSN 0959-8324 Microelectronics Journal), Oxford, United Kingdom, v. 37, n.1, p. 31-37, 2006.

GIMENEZ, S. P.; PAVANELLO, M. A.; MARTINO, J. A. A simple analytical model of Graded-Channel SOI nMOSFET Transconductance. In: Microe-lectronics Technology and Devices 2002. Electrochemical Society Pro-ceedings Volume 2002-8, ECS Transactions., v. 2002-8. p. 45-54, 2002.

GLOBALFOUNDRIES and GlobalWafers Sign MOU to Increase Capacity, Supply of 300mm SOI Wafers. GlobalFoundries, 2020. Disponível em: <https://www.globalfoundries.com/news-events/press-releases/globalfoundries-and-globalwafers-sign-mou-increase-capacity-supply-300mm>. Acesso em: 18 de ago. de 2020.

GODARA, M.; MADHU, C.; JOSHI, G. "Comparison of Electrical Characteristics of 28 Nm Bulk MOSFET and FDSOI MOSFET," 2018 IEEE Electron Devices Kolkata Conference (EDKCON), Kolkata, India, pp. 413-418, 2018.

GROESENEKEN, G. et al. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. IEEE Electron Device Letters, v.11, n.8, p.329-331, 1990.

GUTIERREZ, E.A., DEEN, J.; CLAEYS, C.L.; Low Temperature Electronics: Physics, Devices, Circuits and Applications, Academic Press, 1991.

GWENNAP, L. FD-SOI OFFERS ALTERNATIVE TO FINFET - GlobalFoundries Leads With Cost-Sensitive Manufacturing Option. *The Linley Group*, v. Microprocessor Report, n. Insightful Analysis of Processor Technology, 15 ago. 2016.

HENRY, J.-B. et al. New Y-function based MOSFET parameter extraction method from weak to strong inversion range, Solid-State Electronics, v.123, pp.84-88, 2016.

ICAP/4 Getting Started Manual r.06/16. Intusoft. 2016.

INIGUEZ, B. et al. A physically-based C∞-continuous model for accumulation-mode SOI pMOSFETs. *IEEE Transactions on Electron Devices*, v. 46, n. 12, p. 2295–2303, dez. 1999.

JENG, M.-C. et al. The effects of source/drain on deep submicrometer device performance. IEEE Transactions on Electron Devices, v.37, n.11, p.2408-2410, 1990.

KILCHYTSKA, V. et al. Influence of device engineering on the analog and RF performances of SOI MOSFETs. IEEE Transactions on Electron Devices. 50, p. 577-588, 2003.

KISTLER, N. et al. Sub-quarter-micrometer CMOS on ultrathin (400 Å) SOI. IEEE Electron Devices Letters, v.13, n.5, p.235-237, 1992.

KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. IEEE Transactions on Electron Devices, v.41, n.7, p.1217-1221, 1994.

KLAASSEN, D. B. M. "A Unified Mobility Model for Device Simulation—I. Model Equations and Concentration Dependence," Solid-State Electronics, vol. 35, no. 7, pp. 953–959, 1992.

KRISHNAN, S.; FOSSUM, J.G. Grasping SOI floating-body effects. IEEE Circuits and Devices Magazine, v.14, n.4, p. 32-37, 1998.

LI, S.S.; THURBER, W.R.; The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon, Solid-State Electronics, v. 20, p. 609-616, 1977.

LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. IEEE Transactions on Electron Devices, v.30, p. 1244-1251, 1983.

LIM, H.K.; FOSSUM, J.G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. IEEE Transactions on Electron Devices, v.31, p.401-408, 1984.

LOMBARDI, C. et al. A physically based mobility model for numerical simulation of nonplanar devices. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, v. 7, n. 11, p. 1164–1171, nov. 1988.

McLARTY P. K. et al. A simple parameter extraction method for ultra-thin oxide mosfets. Solid -State Electronics. pp. 1175-1177, 1995.

MONSIEUR, F. et al. "The importance of the spacer region to explain short channels mobility collapse in 28nm Bulk and FDSOI technologies," 2014 44th European Solid State Device Research Conference (ESSDERC), Venice, pp. 254-257, 2014.

MORRIS, W. "Latchup in CMOS," 2003 IEEE International Reliability Physics Symposium Proceedings, 2003. 41st Annual., Dallas, TX, USA, pp. 76-84, 2003.

MULLER, R.S.; KAMINS, T.I. Device Electronics for Integrated Circuits.Wiley Interscience Publication, 1986.

NEMER, J. P. et al. "Analog performance of submicron GC SOI MOSFETs," 2012 8th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS), Playa del Carmen, pp. 1-4, 2012.

ORTIZ-CONDE, A. et al. A review of recent MOSFET threshold voltage extraction methods. *Microelectronics Reliability*, v. 42, n. 4–5, p. 583–596, abr. 2002.

PAVANELLO, M. A. et al. An Asymmetric Channel SOI nMOSFET for Reducing Parasitic Effects and Improving Output Characteristics; Electrochemical and Solid-State Letters, 3,50 – 52, 2000a.

PAVANELLO, M.A. Projeto, fabricação e caracterização elétrica de uma nova estrutura para o SOI MOSFET. 2000. 138 f. Tese (Doutorado em Engenharia Elétrica) – Universidade de São Paulo, São Paulo, 2000b.

PAVANELLO, M.A. et al. Analog performance and application of graded-channel fully depleted SOI MOSFETs. Solid-State Electronics, v.44, n.7, p.1219-1222, 2000c.

PAVANELLO, M.A. et al. The graded channel SOI MOSFET to alleviate the parasitic bipolar effects and improve the output characteristics. In: Silicon-on-Insulator Technology and Devices 1999, Pennington: The Electrochemical Society, p.293-298, 1999.

PAVANELLO, M.A.; MARTINO, J.A.; FLANDRE, D. Analog circuit design using graded-channel silicon-on-insulator nMOSFETs. Solid-State Electronics, v.46, n.8, p.1215-1225, 2002.

PAZ, B.C. Avaliação da influência da evolução das tecnologias de fabricação de nanofios transistores MOS sobre suas características elétricas. 2018. 193 f. Tese (Doutorado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo, 2018.

RAHMAN A. et al. Reliability studies of a 10nm high-performance and low-power CMOS technology featuring 3rd generation FinFET and 5th generation HK/MG, 2018 IEEE International Reliability Physics Symposium (IRPS), Burlingame, CA, pp. 6F.4-1-6F.4-6., 2018.

REICHERT, G.; OUISSE, T. Relationship between empirical and theoretical mobility models in silicon inversion layers, IEEE Transactions on Electron Devices, vo..43, no.9, September, pp. 1394-1398, 1996.

REIMBOLD, G.; AUBERTON-HERVE, A. J. Aging analysis of nMOS of a 1.3-μm partially depleted SIMOX SOI technology comparison with a 1.3-μm bulk technology. IEEE Transactions on Electron Devices, v.40, n.2, p.364-370, 1993.

RIBEIRO, T.A. Impacto da rotação do substrato sobre as características elétricas de Finfets de porta tripla. 2016. 143 f. Dissertação (Mestrado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo, 2016.

SAH, C.-T. et al. Effect of zinc impurity on silicon solar-cell efficiency. *IEEE Transactions on Electron Devices*, v. 28, n. 3, p. 304–313, mar. 1981.

SANCHEZ, J.J.; HSUEH, K.K.; DEMASSA, T.A. Drain-engineered hot-electronresistant device structures: a review. IEEE Transactions Electron Devices, v.36, n.6, p.1125-1132, 1989.

SENTAURUS DEVICE USER GUIDE, Version K-2015.06. Synopsys, 2015.

SODINI C. G., EKSEDT T. W., MOLL J. L. Charge accumulation and mobility in thin dielectric MOS transistors. Solid -State Electronics. Vol. 25. pp. 833–841, 1982.

SU, L.T. et al. Hot-carrier effects in fully depleted SOI nMOSFETs. IEEE IEDM Technical Digest, p.349-352, 1992.

SUN, S.C.; PLUMMER, J. D. Electron Mobility in Inversion and Ac-cumulation Layers on Thermally Oxidized Silicon Surfaces. IEEE Trans-actions on Electron Devices, vo.27, no.8, pp. 1497-1508, 1980.

SZE, S.M.; Physics of semiconductor devices. 2nd Ed. New York (EUA): John Wiley and Sons, 1981.

VEERARAGHAVAN, S.; FOSSUM, J.G. A physical short-channel model for the thinfilm SOI MOSFET applicable to device and circuit CAD. IEEE Transactions on Electron Devices, v.35, p. 1866-1875, 1988.

VEERARAGHAVAN, S.; FOSSUM, J.G. A. Short-channel effects in SOI MOSFETs. IEEE Transactions on Electron Devices, v.36, n. 3, p. 522-528, 1989.

YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; TANGO, H. Observation of mobility enhancement in ultrathin SOI MOSFETs. Electronics Letters, v.24, n.17, p.1078-1079, 1988.

YOSHIMI, M. et al. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. IEEE Transactions on Electron Devices, v.36, n.3, p.493-503,1989.

YOUNG, K.K. Short-channel effect in fully depleted SOI MOSFETs. IEEE Transactions on Electron Devices, v.36, n.2, p.399-402, 1989.

APÊNDICE A - ESTRUTURA DO GCSOI MOSFET NO SENTAURUS

Exemplo de arquivo para geração da estrutura de um transistor de canal gradual SOI, utilizando o simulador Sentaurus da Synopsys.

```
; Limpa (sde:clear)
; Dimensoes
(define L(/ @L@ 1000))
(define Lld         (/ @Lld@ 1000))
(define Lhd         (- L Lld))
(define Lfonte      0.25)
(define W           1)
(define tox         0.031)
(define tsi         0.08)
(define toxb        0.39)
(define Nah         @Nahd@)
(define Nal         @Nald@)
(define Nd          1e+21)

(define RefinoDrenoDist    0.020)
(define RefinoDrenoCanalDist0.020)

; Nome
(define nome       "GC_L_@L@_Lld_@Lld@_Nhd_@Nahd@")

;;;;;;;;;;;;;
;;;;;;;;;;;;;
;; REGIOES ;;
;;;;;;;;;;;;;
;;;;;;;;;;;;;

; Define o óxido enterrado
(define r1 (sdegeo:create-rectangle
(position (- (+ (/ L 2) Lfonte)) (- (/ toxb 2)) 0.0)
(position (+ (/ L 2) Lfonte) (/ toxb 2) 0.0)  "Oxide" "region_corpo"))

; Define a fonte
(define r2 (sdegeo:create-rectangle
(position (- (+ (/ L 2) Lfonte)) (/ toxb 2) 0.0)
(position (- (- (/ L 2) 0.1)) (+ (/ toxb 2) tsi) 0.0) "Silicon" "region_fonte"))

; Define LHD
(define r3 (sdegeo:create-rectangle
(position (- (- (/ L 2) 0.1)) (/ toxb 2) 0.0)
(position (+ (- (/ L 2)) Lhd) (+ (/ toxb 2) tsi) 0.0) "Silicon" "LHD"))

; Define LLD
(define r4 (sdegeo:create-rectangle
(position (+ (- (/ L 2)) Lhd) (/ toxb 2) 0.0)
(position (- (/ L 2) 0.1) (+ (/ toxb 2) tsi) 0.0) "Silicon" "LLD"))

; Define o dreno
(define r5 (sdegeo:create-rectangle
(position (- (/ L 2) 0.1) (/ toxb 2) 0.0)
(position (+ (/ L 2) Lfonte) (+ (/ toxb 2) tsi) 0.0) "Silicon" "region_dreno"))

; Define o óxido de porta
(define r6 (sdegeo:create-rectangle
(position (- (/ L 2)) (+ (/ toxb 2) tsi) 0.0)
(position (+ (/ L 2)) (+ (+ (/ toxb 2) tsi) tox) 0.0) "Oxide" "region_oxporta"))


;;;;;;;;;;;;;
;;;;;;;;;;;;;
;; CONTATOS ;;
```

```
;;;;;;;;;;;;;;
;Insere ponto
(sdegeo:insert-vertex (position (+ (- (+ (/ L 2) Lfonte)) 0.1) (+ (/ toxb 2) tsi) 0))

(sdegeo:insert-vertex (position (- (+ (/ L 2) Lfonte) 0.1) (+ (/ toxb  2) tsi) 0))

(sdegeo:define-contact-set "fonte" 4          (color:rgb 1 0 0 ) "##" )
(sdegeo:define-contact-set "dreno" 4          (color:rgb 1 0 0 ) "##" )
(sdegeo:define-contact-set "porta" 4          (color:rgb 1 0 0 ) "##" )
(sdegeo:define-contact-set "corpo" 4          (color:rgb 1 0 0 ) "##" )

; Contato de fonte
(sdegeo:set-current-contact-set "fonte")
(sdegeo:define-2d-contact (list (car (find-edge-id (position (+ (- (+  (/ L 2) Lfonte)) 0.05) (+ (/ toxb 2) tsi) 0))))
"fonte")

; Contato de dreno
(sdegeo:set-current-contact-set "dreno")
(sdegeo:define-2d-contact (list (car (find-edge-id (position (- (+ (/ L 2) Lfonte) 0.05) (+ (/ toxb 2) tsi) 0)))) "dreno")


; Contato de porta
(sdegeo:set-current-contact-set "porta")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0 (+ (+ (/ toxb 2) tsi) tox) 0)))) "porta")

; Contato de corpo
(sdegeo:set-current-contact-set "corpo")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0 (- (/ toxb 2)) 0)))) "corpo")

;;;;;;;;;;;;;
;; DOPAGEM ;;
;;;;;;;;;;;;;

; Fonte
(sdedr:define-constant-profile        "ConstantProfileDefinition_fontedreno" "ArsenicActiveConcentration" Nd)

(sdedr:define-constant-profile-region          "ConstantProfilePlacement_fonte"
"ConstantProfileDefinition_fontedreno" "region_fonte")

; Dreno
(sdedr:define-constant-profile        "ConstantProfileDefinition_fontedreno" "ArsenicActiveConcentration" Nd)

(sdedr:define-constant-profile-region          "ConstantProfilePlacement_dreno"
"ConstantProfileDefinition_fontedreno" "region_dreno")

; LHD
(sdedr:define-constant-profile        "ConstantProfileDefinition_LHD" "BoronActiveConcentration" Nah)

(sdedr:define-constant-profile-region          "ConstantProfilePlacement_LHD" "ConstantProfileDefinition_LHD"
"LHD")

; LLD
(sdedr:define-constant-profile        "ConstantProfileDefinition_LLD" "BoronActiveConcentration" Nal)

(sdedr:define-constant-profile-region          "ConstantProfilePlacement_LLD" "ConstantProfileDefinition_LLD"
"LLD")

; Definição refino
(sdedr:define-refinement-size "RefinementDefinition_interface" (/ L 50) (/ tsi 20) (/ L 100) (/ tsi 40) )
(sdedr:define-refeval-window          "Refino0" "Rectangle"
(position (+ (- (/ L 2)) 0.09) (/ toxb 2) 0)
(position (+ (- (/ L 2)) 0.11) (+ (/ toxb 2) tsi) 0))
(sdedr:define-refinement-placement          "Ref0" "RefinementDefinition_interface" "Refino0")

(sdedr:define-refeval-window  "Refino1" "Rectangle"
(position (- (+ (- (/ L 2)) Lhd) 0.01) (/ toxb 2) 0)
(position (+ (+ (- (/ L 2)) Lhd)  0.01) (+ (/ toxb 2) tsi) 0))
```

```
(sdedr:define-refinement-placement "Ref1" "RefinementDefinition_interface" "Refino1")


(sdedr:define-refeval-window "Refino2" "Rectangle"
(position (- (/ L 2) 0.11) (/ toxb 2) 0)
(position (- (/ L 2) 0.09) (+ (/ toxb 2) tsi) 0))
(sdedr:define-refinement-placement "Ref2" "RefinementDefinition_interface" "Refino2")

(sdedr:define-refeval-window "Refino3" "Rectangle"
(position (- (/ L 2)) (- (+ (/ toxb 2) tsi) 0.01) 0)
(position (/ L 2) (+ (+ (/ toxb 2) tsi) 0.01) 0))
(sdedr:define-refinement-placement "Ref3" "RefinementDefinition_interface" "Refino3")

(sdedr:define-refeval-window "Refino4" "Rectangle"
(position (- (/ L 2)) (- (/ toxb 2) 0.01) 0)
(position (/ L 2) (+ (/ toxb 2) 0.01) 0))
(sdedr:define-refinement-placement "Ref4" "RefinementDefinition_interface" "Refino4")

(sdedr:define-refinement-size "RefinementDefinition_fontedreno"
(/ Lfonte 20) (/ tsi 10) (/ Lfonte 40) (/ tsi 20) )
(sdedr:define-refinement-region "RefinementPlacement_fonte" "RefinementDefinition_fontedreno"
"region_fonte" )

(sdedr:define-refinement-size "RefinementDefinition_fontedreno"
(/ Lfonte 20) (/ tsi 10) (/ Lfonte 40) (/ tsi 20) )
(sdedr:define-refinement-region "RefinementPlacement_dreno" "RefinementDefinition_fontedreno"
"region_dreno" )

(sdedr:define-refinement-size "RefinementDefinition_LHD"
(/ L 20) (/ tsi 10) (/ L 40) (/ tsi 20) )
(sdedr:define-refinement-region "RefinementPlacement_LHD" "RefinementDefinition_LHD" "LHD" )

(sdedr:define-refinement-size "RefinementDefinition_LLD"
(/ L 20) (/ tsi 10) (/ L 40) (/ tsi 20) )
(sdedr:define-refinement-region "RefinementPlacement_LLD" "RefinementDefinition_LLD" "LLD" )

(sdedr:define-refinement-size "RefinementDefinition_oxporta"
(/ L 10) (/ tox 1) (/ L 20) (/ tox 2) )
(sdedr:define-refinement-region "RefinementPlacement_oxporta" "RefinementDefinition_oxporta"
"region_oxporta" )


(sdedr:define-refinement-size "RefinementDefinition_corpo"

(/ (+ L (* Lfonte 2)) 20) (/ toxb 10) (/ (+ L (* Lfonte 2)) 40) (/ toxb 20))
(sdedr:define-refinement-region "RefinementPlacement_corpo" "RefinementDefinition_corpo" "region_corpo" )

(sde:set-meshing-command "snmesh -a -c boxmethod") (sdedr:append-cmd-file "")

(sde:save-model "GC_L_@L@_Lld_@Lld@_Nhd_@Nahd@")
(sde:build-mesh "snmesh" "-a -c boxmethod" "GC_L_@L@_Lld_@Lld@_Nhd_@Nahd@")

"Meshing successful"
```

APÊNDICE B – ARQUIVO DE SIMULAÇÃO GC SOI - CURVA I_D x V_G

Exemplo de arquivo de simulação numérica de um transistor de canal gradual SOI, utilizando o simulador Sentaurus da Synopsys, para curva I_DxV_G com V_D=50mV.

```
Device GC {
	Electrode{
		{Name="fonte_1" Voltage=0.000 DistResist=5e-7}
	{Name="dreno_1" Voltage=0.00 DistResist=5e-7}
	{Name="porta" Voltage=0.00 Material="PolySi"(N)}
	{Name="corpo" Voltage=0.00 workfunction=4.95}
	}
	File {
		* input files:
		Grid = " GC_L_@L@_Lld_@Lld@_Nhd_@Nahd@_msh.tdr"
		Doping =" GC_L_@L@_Lld_@Lld@_Nhd_@Nahd@_msh.tdr"
		Parameter="models.par"
	}
	Physics(
		MaterialInterface="Silicon/Oxide") {
		charge(Conc=5e+10)
		}
	Physics {
		Mobility(PhuMob
			Enormal
			HighFieldSaturation
			DopingDependence)
		Recombination(SRH(DopingDep) Auger Avalanche)
		EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
		Temperature=300
	}
}

System {
	Vsource_pset Vg (a 0) {dc=0}
	Vsource_pset Vd (d 0) {dc=0}
	GC gc( "fonte_1"=c "dreno_1"=d "porta"=a "corpo"=c )
	Plot "IdxVgt1V_Vd50mV_GCSOI_ldL@ldL@_L@L@.txt" (v(a c) v(d c) i(gc d))
	Set (c=0)
	}

File{
	* output files:
	Plot = "IdxVg_Vd50mV_GCSOI_ldL@ldL@_L@L@_des.tdr"
	Current = "IdxVg_Vd50mV_GCSOI_ldL@ldL@_L@L@_des.plt"
	Output = "IdxVg_Vd50mV_GCSOI_ldL@ldL@_L@L@_des.log"
}
Plot {
	eDensity hDensity eCurrent hCurrent
	Potential SpaceCharge ElectricField
	eMobility hMobility eVelocity hVelocity
	Doping DonorConcentration AcceptorConcentration
}
Math {
	#Extrapolate
	RelErrControl
	Digits=4
	Notdamped=50
	iterations=20
	NoCheckTransientError
	#Method=ils
```

```
        ExtendedPrecision
        Method= Blocked
        SubMethod= ILS(set=12)
        ILSrc = "set(12){
        iterative(gmres(100), tolrel=1e-9, maxit=200);
        preconditioning(ilut(0.00001,-1),left);
        ordering ( symmetric=nd, nonsymmetric=mpsilst );
        options( compact=yes, linscale=0, refineresidual=20, verbose=1);
        };"
        Number_of_Threads = 2
        Wallclock

}

Solve {
        #--initial solution:
        Poisson
        Coupled{Poisson Electron hole}
        Quasistationary(Maxstep= 0.1 Minstep=1e-6
                Goal{Parameter=Vd.dc Value=0.05})
        {Coupled{Poisson Electron hole}}
        Quasistationary(Maxstep= 0.1 Minstep=1e-6
                Goal{Parameter=Vg.dc Value=-0.5})
        {Coupled{Poisson Electron hole}}
        #--ramp gate:
        Quasistationary(Maxstep= 0.01 Minstep=1e-6
                Goal{Parameter=Vg.dc Value=3})
        {Coupled{Poisson Electron hole}CurrentPlot (Time=(range=(0 1) intervals=350))}
}
```

APÊNDICE C – ARQUIVO DE SIMULAÇÃO GC SOI - CURVA I_D x V_D

Exemplo de arquivo de simulação numérica de um transistor de canal gradual SOI, utilizando o simulador Sentaurus da Synopsys, para curva I_D x V_D com V_{GT} variável.

```
Device GC {
        Electrode{
                {Name="fonte_1" Voltage=0.000 DistResist=5e-7}
        {Name="dreno_1" Voltage=0.00 DistResist=5e-7}
        {Name="porta" Voltage=0.00 Material="PolySi"(N)}
        {Name="corpo" Voltage=0.00 workfunction=4.95}
        }
        File {
                * input files:
                Grid = " GC_L_@L@_Lld_@Lld@_Nhd_@Nahd@_msh.tdr"
                Doping =" GC_L_@L@_Lld_@Lld@_Nhd_@Nahd@_msh.tdr"
                Parameter="models.par"
        }
        Physics(
                MaterialInterface="Silicon/Oxide") {
                charge(Conc=5e+10)
                }
        Physics {
                Mobility(PhuMob
                        Enormal
                        HighFieldSaturation
                        DopingDependence)
                Recombination(SRH(DopingDep) Auger Avalanche)
                EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
                Temperature=300
        }
}

System {
        Vsource_pset Vg (a 0) {dc=0}
        Vsource_pset Vd (d 0) {dc=0}
        GC gc( "fonte_1"=c "dreno_1"=d "porta"=a "corpo"=c )
        Plot "IdxVgt1V_Vd50mV_GCSOI_ldL@ldL@_L@L@.txt" (v(a c) v(d c) i(gc d))
        Set (c=0)
        }

File{
        * output files:
        Plot = "IdxVd_Vgt_@Vgt@_GCSOI_ldL@ldL@_L@L@_des.tdr"
        Current = " IdxVd_Vgt_@Vgt@_GCSOI_ldL@ldL@_L@L@_des.plt"
        Output = " IdxVd_Vgt_@Vgt@_GCSOI_ldL@ldL@_L@L@_des.log"
}
Plot {
        eDensity hDensity eCurrent hCurrent
        Potential SpaceCharge ElectricField
        eMobility hMobility eVelocity hVelocity
        Doping DonorConcentration AcceptorConcentration
}
Math {
        #Extrapolate
        RelErrControl
        Digits=4
        Notdamped=50
        iterations=20
        NoCheckTransientError
        #Method=ils
        ExtendedPrecision
        Method= Blocked
```

```
        SubMethod= ILS(set=12)
        ILSrc = "set(12){
        iterative(gmres(100), tolrel=1e-9, maxit=200);
        preconditioning(ilut(0.00001,-1),left);
        ordering ( symmetric=nd, nonsymmetric=mpsilst );
        options( compact=yes, linscale=0, refineresidual=20, verbose=1);
        };"
        Number_of_Threads = 2
        Wallclock

}

Solve {
        #--initial solution:
        Poisson
        Coupled{Poisson Electron hole}
        Quasistationary(Maxstep= 0.1 Minstep=1e-6
                Goal{Parameter=Vg.dc Value=@Vgt@})
        {Coupled{Poisson Electron hole}}

        Quasistationary(Maxstep= 0.01 Minstep=1e-6
                Goal{Parameter=Vd.dc Value=3})
        {Coupled{Poisson Electron hole}CurrentPlot (Time=(range=(0 1) intervals=300))}
}
```

APÊNDICE D – ARQUIVO DE PARÂMETROS DE AJUSTE DAS SIMULAÇÕES

Arquivo “models.par” para ajuste das simulações numéricas com os resultados experimentais.

```
Material = "Silicon" {
PhuMob:
{ * Philips Unified Mobility Model:
mumax_As = 1.100e+03 # [cm^2/Vs]
}

EnormalDependence
{ * mu_Enorm^(-1) = mu_ac^(-1) + mu_sr^(-1)  with:
  * mu_ac = B / Enorm + C (T/T0)^(-k) ((N+N2)/N0)^lambda / Enorm^(1/3)
  * mu_sr^-1 = Enorm^(A+alpha*n/(N+N1)^nu) / delta + Enorm^3 / eta
  * EnormalDependence is added with factor exp(-l/l_crit), where l is
  * the distance to the nearest point of semiconductor/insulator interface.
  * Factor is equal to 1 if l_crit > 100.
            B = 1.0000e+07 ,   9.9250e+06 # [cm/s]
            C = 3.7000e+02 ,   2.9470e+03 # [cm^(5/3)/(V^(2/3)s)]
}

HighFieldDependence:
{ * Caughey-Thomas model:
  * mu_highfield = ( (alpha+1)*mu_lowfield ) /
  *       ( alpha + ( 1 + ( (alpha+1)*mu_lowfield*E/vsat)^beta )^(1/beta) )
  * beta = beta0 (T/T0)^betaexp.
            beta0     = 1.5 ,   1.213    # [1]
            betaexp = 0.66 , 0.17 # [1]
            alpha     = 0.0000e+00 ,   0.0000e+00 # [1]
}

vanOverstraetendeMan * Impact Ionization:
{ * G_impact = alpha_n n v_drift_n  +  alpha_p p v_drift_p
  * with alpha = gamma a  exp(-b gamma/E) for E<E0 (low) and E>E0 (high)
  *  with gamma = tanh(hbarOmega/(2kT0)) / tanh(hbarOmega/(2kT))
            a(low) = 2.0000e+06 ,   1.5820e+06 # [1/cm]
            a(high)  = 2.0000e+06 ,   6.7100e+05 # [1/cm]
            b(low)   = 2.5000e+06 ,   2.0360e+06 # [V/cm]
            b(high)  = 2.5000e+06 ,   1.6930e+06 # [V/cm]
            E0 = 4.0000e+05 ,   4.0000e+05 # [V/cm]
            hbarOmega = 0.063 , 0.063    # [eV]
}
}
```

APÊNDICE E - SIMULAÇÃO DO TRANSISTOR SOI MOSFET NO ICAP4

Exemplo de arquivo de simulação SPICE no ICAP4 de um transistor SOI com L=2µm e W=20µm utilizando o modelo BSIMSOI v3.2.

```
*******************************************************************************
CURVA ID X VG
VDS 1 0 0.05
V0 1 2 0V
* DC: fonte variÃ¡vel (.DC)
VGS 3 0 DC
M1 2 3 0 0 NBSOI32 L=2e-6 W=20e-6
*******************************************************************************
.MODEL NBSOI32 NMOS (LEVEL=10 SOIMOD=2 mtrlmod=1 mobmod=2 tox=31e-9 tbox=390e-9 tsi=80e-9
nch=5.6e16 u0=6.09808e-2 tnom=27 rsh=20 vth0=0.8076 ua=4.84555e-9 ub=4.42665e-18 vsat=1.65e5
+nfactor=1.10 uc=0 a0=0 pclm=0.1)
*******************************************************************************
.CONTROL
OP
SHOW ALL
.ENDC
.DC VGS -0.2 3 0.01
.PRINT DC I(V0) V(VGS)
.PLOT DC I(V0) V(VGS)
.END
```

APÊNDICE F – ARTIGO PUBLICADO

As atividades desenvolvidas permitiram a publicação de um artigo em periódico internacional, *Qualis A4,* publicado no mês de agosto de 2020.

Acesso disponível em :< https://doi.org/10.29292/jics.v15i2.188>.

Analysis of Mobility in Graded-Channel SOI Transistors aiming at Circuit Simulation

Lucas M. B. da Silva[1], Bruna Cardoso Paz[2], Michelly de Souza[1]

[1]*Department of Electrical Engineering, Centro Universitário FEI, São Bernardo do Campo, Brazil*
[2]*CEA, Leti, Grenoble, France*
e-mail: lmota@fei.edu.br

***Abstract*— This work presents an analysis of the behavior of the effective mobility of graded-channel FD SOI transistors using an Y-Function-based technique. Low field mobility, linear and quadratic attenuation factors were extracted from two-dimensional numerical simulations. The influence of the length of both channel regions over these parameters was analyzed. The parameters extracted from experimental data were used in a SPICE simulator, showing that it is possible to simulated GC SOI MOSFET using a regular SOI MOSFET model, by adjusting its parameters. This approach presents a percentage error smaller than 7.91% for low V_{DS}.**

Index Terms — Effective mobility, SOI, Graded-Channel transistors, Y-Function, SPICE simulation.

I. INTRODUCTION

Graded-Channel (GC) SOI MOSFET is an asymmetric channel transistor that has been proposed and demonstrated to improve SOI analog characteristics [1, 2]. Using a simple mask arrangement, the device channel presents two regions with different doping concentrations, a highly doped (HD) one near the source, with length L_{HD}, which is responsible for fixing the device overall threshold voltage (V_{th}), and a lightly doped (LD) one at the drain side, with length L_{LD} and reduced threshold voltage. Figure 1 presents a schematic representation of this device. By reducing the doping concentration near the drain, the electric field is substantially diminished, reducing the impact ionization. It has been shown that fully depleted (FD) SOI GC nMOSFETs provides larger transconductance (g_m) and reduced output conductance (g_D), being very attractive for analog applications [3, 4].

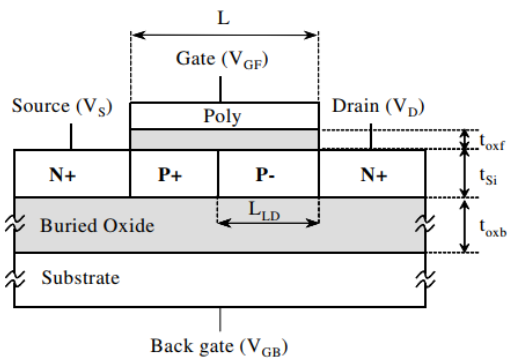


Fig.1 Cross-section of a GC SOI nMOSFET.

Analytical models that describe electrical characteristics of the devices are necessary to allow simulations required for the design of analog circuits. An analytical model has been proposed for GC SOI MOSFET [5] and considers the asymmetric channel transistor as a shorter one, given by HD region, whose drain voltage is modulated by LD region.

Although it has shown good agreement with experimental measurements, this model is not available in commercial circuit simulators. However, several models for SOI

transistors can be found in simulators libraries.

In this work, the effective mobility of GC SOI nMOSFETs is analyzed. The low-field carrier mobility and two mobility degradation coefficients are extracted and used as adjusting parameters in order to adapt available SOI MOSFET models to simulate this asymmetric channel transistor.

II. NUMERICAL SIMULATIONS

In order to study the behavior of the effective mobility of GC FD SOI nMOSFETs, Sentaurus TCAD simulations were performed [6]. All simulated devices present silicon film thickness t_{Si} = 80 nm, gate oxide thickness t_{oxf} = 31 nm, buried oxide thickness t_{oxb}= 390 nm, highly doped region doping $N_{A,HD}=5.6\times10^{16}$ cm^{-3} and lightly doped region doping $N_{A,LD}=10^{15}$ cm^{-3} [7]. Transistors with channel width (W) of 1 µm and different channel lengths (L) and L_{LD}/L ratios were simulated, using model parameters adjusted to experimental data as in [8, 9].

The simulated curves of drain current (I_{DS}) and transconductance (g_m) as function of gate-to-source voltage drop (V_{GS}) are exhibited in Figure 2, for different GC SOI transistors with L=2 µm, at drain voltage (V_{DS}) of 50 mV. It can be observed a raise of drain current level and transconductance with L_{LD}/L ratio increase. In accordance with the literature, the maximum transconductance of GC SOI MOSFETs increases with L_{LD}/L increase [1, 2, 5].

However, for larger gate voltages, gm curves become close to that of a uniformly doped transistor with the same total length (L). This characteristic is usually attributed to the dependence of effective channel length on applied voltages presented by GC transistors. For V_{GS} below V_{th}, LD region is already in strong inversion regime and the GC transistor acts as a shorter device (with effective channel length L_{eff} close to L_{HD}). In this situation, there is a large difference between the electron concentration in the inversion layer at the HD and LD regions. However, as V_{GS} becomes larger than V_{th}, the electron concentration in the surface of both GC SOI channel regions becomes similar, and the effective channel length of the transistor tends to L as shown in [10], reducing gm, but still with larger current. As can be seen in Figure 2, the increase of L_{LD}/L ratio results in larger I_{DS}, due to L_{eff} decrease.

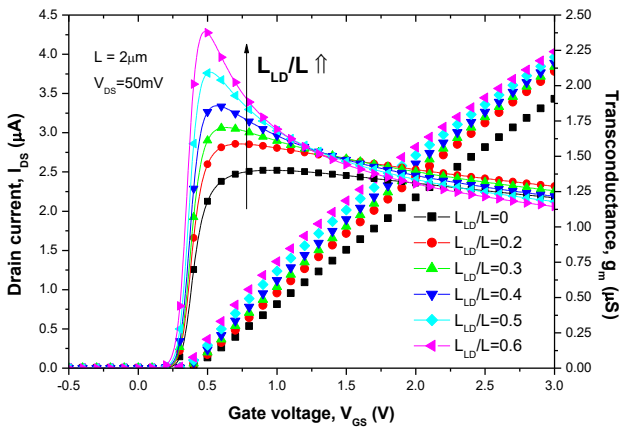


Fig. 2 Simulated curves of I_{DS} vs. V_{GS} and g_m vs. V_{GS} for GCSOI nMOSFETs with L= 2 µm and V_{DS}=50 mV.

Another way to understand this behavior would be to consider the transistors channel length fixed and equal to its total mask length ($L=L_{HD}+L_{LD}$), but with low-field mobility and degradation increasing with L_{LD}/L. Therefore, with the aim of analyzing the effective mobility of GC SOI with different channel lengths and lightly doped region channel lengths, the Y-Function method [11] has been used to obtain the low-field mobility (μ_0), and the linear and quadratic attenuation factors θ_1 and θ_2, respectively. Then, the effective mobility (μ_{eff}) is modeled by eq. (1) [11, 12], where $V_{GT} = V_{GS} - V_{th}$.

$$\mu_{eff} = \frac{\mu_0}{1+\theta_1 V_{GT}+\theta_2 V_{GT}^2} \qquad (1)$$

According to [13], θ_1 accounts for phonon and Coulomb scattering mechanisms, while θ_2 would consider surface roughness of the channel-silicon oxide interface. However, not only the effects of mobility scattering mechanisms are comprised in the attenuation

factors, since the series resistance is also included in θ_1 [11, 12].

Figure 3 presents the low-field mobility as a function of L_{LD}/L ratio extracted from I_{DS} vs V_{GS} curves simulated at V_{DS} = 50 mV, of GC transistors with total length of 1 µm, 2 µm and 4 µm. Note that L_{LD}/L = 0 represents a conventional uniformly doped transistor. As presented in these results, low field mobility increases with L_{LD}/L. These results could be associated to a lower phonon and impurity scattering in the lightly doped region compared to the highly doped one. Therefore, as LD region presents larger mobility, the increase of its length with the L_{LD}/L ratio contributes to the increase of the overall mobility of GC transistor. Also, one can note a small variation of the mobility with respect to the channel length. This might indicate that for a given technology, GC mobility depends on the relation between HD and LD lengths and not on the total L.

Extracted linear and quadratic attenuation

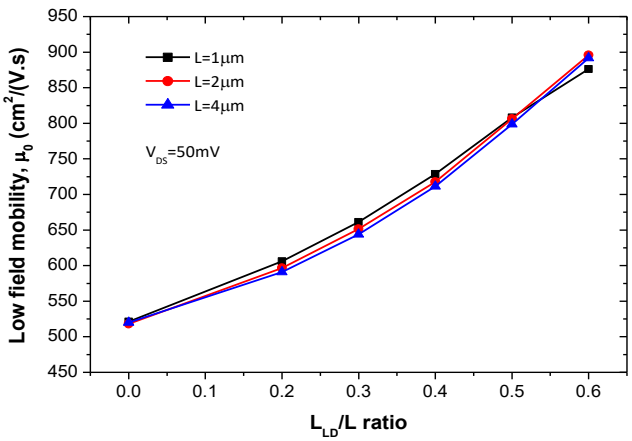


Fig. 3 Extracted low field mobility as a function of L_{LD}/L ratio for different total channel lengths.

factors are presented in Figure 4 as a function of L_{LD}/L ratio for L ranging from 0.4 µm to 4 µm. As one can see while the linear attenuation factor θ_1 increases with L_{LD}/L, the quadratic attenuation factor θ_2 decreases, even becoming negative with the raise of L_{LD}/L ratio. In addition, θ_1 and θ_2 are dependent of the total channel length L. As L decreases for the same L_{LD}/L ratio, θ_1 becomes higher and θ_2 get closer to zero, so that for short channel lengths the degradation on transconductance is high. Whereas for long channel lengths, the more negative θ_2 cancels part of the θ_1 effects what makes the degradation in this case, lower.

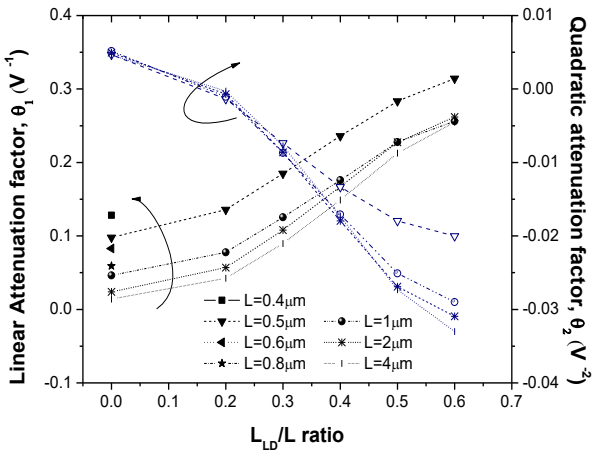


Fig. 4 Extracted linear and quadratic attenuation factors as a function of L_{LD}/L ratio for GC transistors with different total channel lengths.

Observing the transconductance curves and considering the direct relation between gm and µeff, it is possible to see that the mobility degradation increases as L_{LD}/L ratio increases, specially right after gm peak. In this region, with low V_{GT}, the predominant degradation coefficient is θ_1. Its increase might be related to the series resistance. The increase of L_{LD} length would contribute to increase the resistance, making the linear attenuation factor θ_1 larger. For uniformly doped transistor, an increase of θ_1 is observed for short-channel devices, whereas it is less dependent on L for longer transistors, as in Figure 4. For GC transistors, θ_1 increases with L_{HD} decrease (L_{LD}/L increase). However, comparing a GC and a uniformly doped transistor with L = L_{HD}, larger θ_1 is seen for the GC device, indicating that not only the HD region impacts the effective mobility of the overall structure. Then, the GC MOSFET could be understood as a shorter transistor given by HD region.

On the other hand, the increase of LD region length has shown to promote the reduction of θ_2, that has resulted in negative values for L_{LD}/L > 0.2. Even though a negative mobility degradation factor might

sound unphysical, theoretical works predicted that θ_2 may be negative [12] for transistors with low doping levels. In this case, the negative θ_2 acts to compensate the increase of θ_1. In fact, as can be seen from the g_m vs V_{GS} curves, as gate voltage is increased, mobility degradation is attenuated, and this attenuation is larger as L_{LD}/L is raised. It has been observed that it is not possible to reproduce I-V curves with the simple mobility model, where $\theta_2 = 0$.

The reduction of of mobility degradation

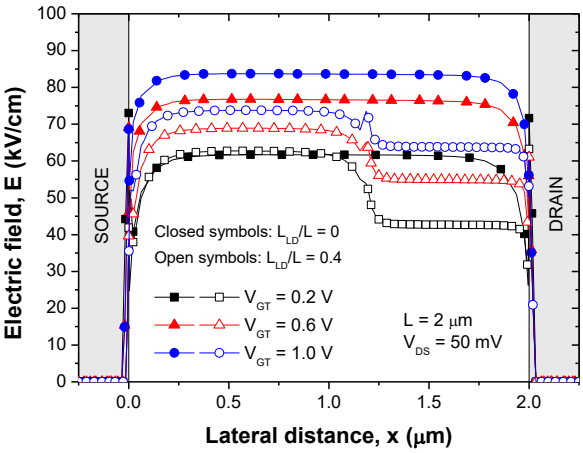


Fig. 5 Electric field along the channel length, extracted from numerical simulations of curves of GC SOI with L = 2μm, $L_{LD}/L = 0$

in GC SOI transistors is related to the smaller electric field in comparison to uniformly doped one. The reduction of electric field can be seen in Figure 5, that presents the electric field as a function of lateral distance extracted from the simulations, for uniformly doped and a GC SOI with $L_{LD}/L = 0.4$, both with L = 2 μm, at 5 nm below the gate oxide at different V_{GT} values. The reduction of electric field has shown to increase with L_{LD}/L, and results in smaller mobility degradation in GC transistor in comparison to the uniformly doped one with same total length.

The results presented so far were obtained for fixed L, and then L_{HD} and L_{LD} were varied at the same time. To explore the influence of HD and LD region lengths on the low-field mobility and its degradation factor, simulations were performed with fixed L_{HD} and different L_{LD}, and with fixed L_{LD} and different L_{HD}. Figures 6 and 7 exhibits the transconductance as function of gate voltage for GC transistors with L_{HD} = 0.5 μm and L_{LD} = 0.5 μm, respectively. In both cases, the other channel region has been varied from 250 nm to 1.5 μm, resulting in total length ranging from 0.75 μm to 2 μm. Table I presents the simulated length and resulting L_{LD}/L, as well as the V_{th} extracted using Y-function.

As expected, when HD region has been

Table 1 – Dimensions of simulated GC SOI transistors and extracted threshold voltage.

L_{HD} [μm]	L_{LD} [μm]	L [μm]	L_{LD} / L	V_{th} [mV]
0.50	0.25	0.75	0.33	318
	0.50	1.00	0.50	298
	0.75	1.25	0.60	284
	1.00	1.50	0.67	269
	1.25	1.75	0.71	278
	1.50	2.00	0.75	271
0.25	0.50	0.75	0.67	170
0.50		1.00	0.50	298
0.75		1.25	0.40	339
1.00		1.50	0.33	356
1.25		1.75	0.28	367
1.50		2.00	0.25	374

fixed, V_{th} is barely affected by LD region change. A small reduction (less than 50 mV) is observed when increasing L_{LD} from 0.25 to 1.5 μm, due to the increase of resistance. However, L_{HD} reduction led to the occurrence of short-channel effect, reducing V_{th}, also seen through the displacement of g_m curves in Figure 6. By observing the curves presented in Figure 6 and 7, one can note that the increase of L_{LD} causes larger mobility degradation than the increase of L_{HD}.

The extracted values of μ_0 mobility are presented in Figure 8 as function of HD and LD region lengths for fixed L_{LD} and L_{HD} respectively. The mobility increases as L_{LD} becomes longer for fixed L_{HD}. It is related to the larger mobility observed when doping concentration is reduced. Therefore, by having most of the total channel length lightly doped, the resulting μ_0 increases (black squares). On the contrary, when L_{LD} is fixed

and L_{HD} is increased (red stars), a reduction of μ_0 is observed, which agrees with the hypothesis that the overall μ_0 results from the combination of μ_0 of both regions, and weighted by their lengths. Similar approach has been obtained in [14]. The influence of L_{LD} increases is more pronounced than L_{HD} increase. While μ_0 has increased more than 70% when L_{LD} increased from 0.25 to 1.5 µm, the reduction due to L_{HD} increase was about 30%.

Figure 9 presents the mobility attenuation

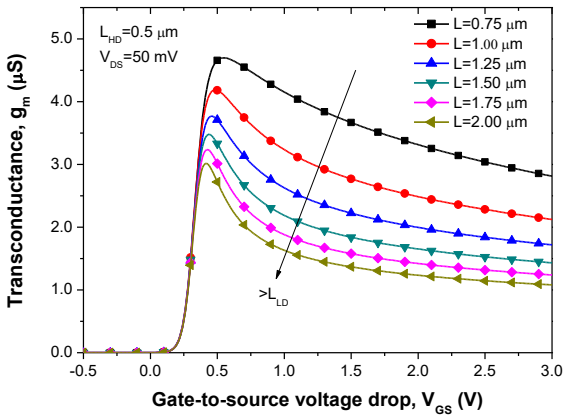


Fig. 6 Simulated curves of g_m vs. V_{GS} for GC SOI transistors with fixed L_{HD} = 0.5µm and different total channel lengths, V_{DS} = 50 mV.

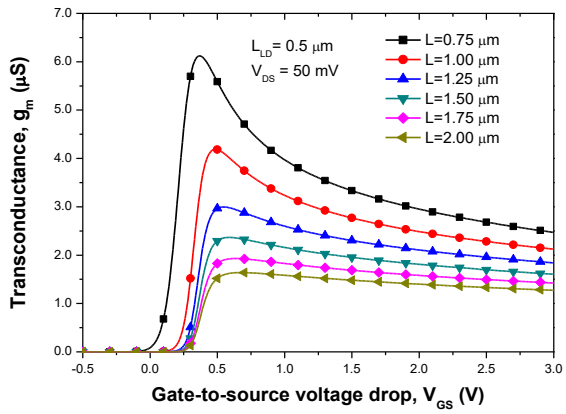


Fig. 7 Simulated curves of g_m vs. V_{GS} for GC SOI transistors with fixed L_{LD} = 0.5µm and different total channel lengths, V_{DS} = 50 mV.

factors, θ_1 and θ_2 as a function of L_{LD} (A) and L_{HD} (B). It can be seen that as the overall μ_0 increases, θ_1 also increases, both with L_{LD} increase or L_{HD} reduction. As θ_1 increases, θ_2 becomes negative and with higher absolute value, in order to attenuate the high degradation observed at high V_{GT}. As for the mobility, the LD region length seems to have higher influence on the overall effective mobility of GC transistors.

III. EXPERIMENTAL MEASUREMENTS AND SPICE SIMULATION VALIDATION

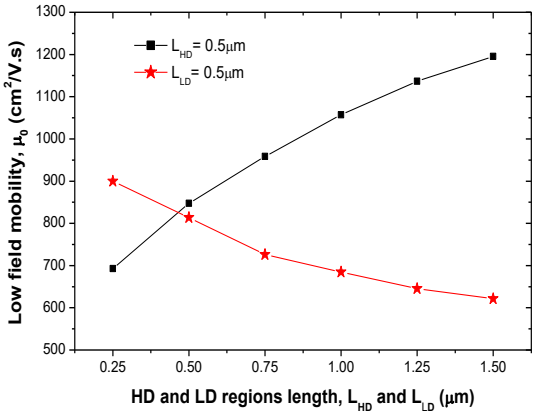


Fig. 8 Low field mobility as a function of L_{LD} and L_{HD} channel length for fixed L_{HD}= 0.5µm and L_{LD}= 0.5µm.

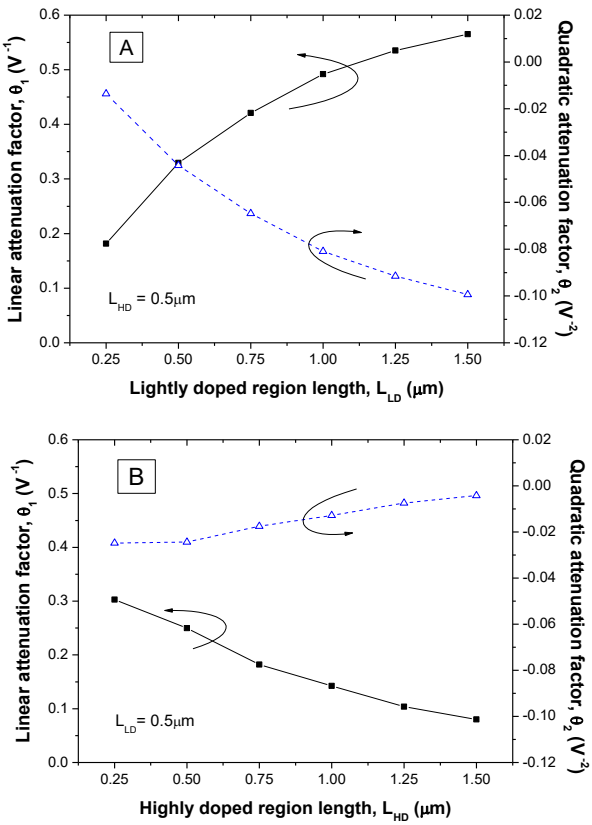


Fig. 9 Linear and quadratic attenuation factors (θ_1 and θ_2) as a function of L_{LD} for a fixed L_{HD}= 0.5µm (A) and as a function of L_{HD} for a fixed L_{LD}= 0.5µm (B) .

Graded-Channel SOI nMOSFETs were fabricated using FD SOI technology from UCLouvain, featuring the same technological parameters used in the simulations [7], channel width (W) of 20 µm, and channel length L = 1 µm and 2 µm, and different L_{LD}/L ratios. The effective L_{LD}/L ratios were extracted as shown in [1, 2].

Figure 10 presents the extracted low-field mobility as a function of L_{LD}/L ratio. As predicted from simulations, both the increase of L_{LD} and decrease L_{HD} contribute to increase μ_0. Also, even changing the total length, μ_0 is slighted affected.

The mobility attenuation factors are presented in Figure 11 for L = 1 µm (A) and L = 2 µm (B), showing the same tendency of numerical simulations.

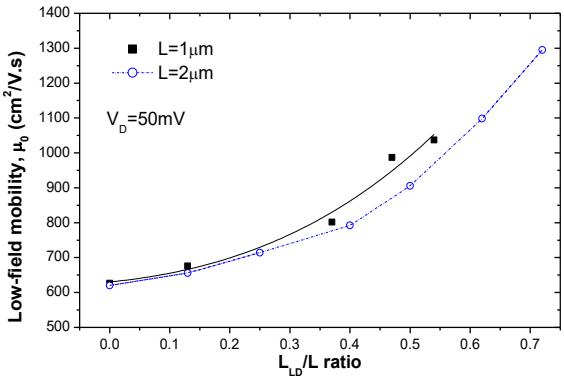


Fig. 10 - Low field mobility as a function of L_{LD}/L extracted from experimental measurements of GC transistors with L= 1 µm and L= 2 µm.

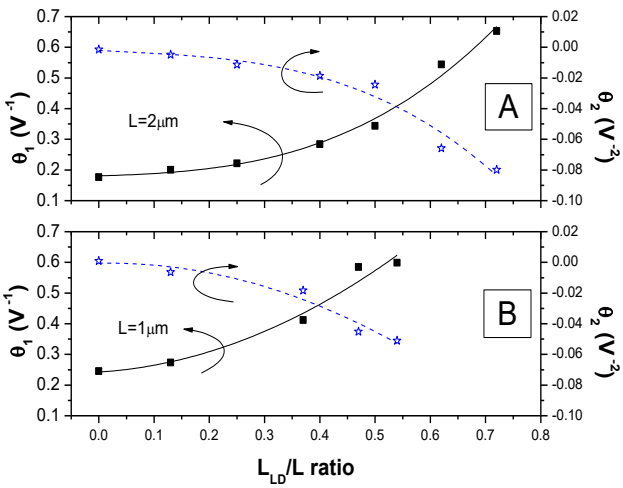


Fig. 11 - Linear and quadratic attenuation factors as a function of L_{LD}/L ratio extracted from experimental measurements of graded-channel transistors with L= 2µm (A) and L= 1µm (B).

Aiming at validating the proposal of simulating GC SOI MOSFETs using a regular SOI model with adjusted parameters, the extracted values of low-field mobility and attenuation factors were used to obtain I_{DS} vs V_{GS} curves with a SPICE simulator. Simulator ICAP4 [15] has been used and simulations were performed with BSIM SOI v3.2 model [16], which uses linear and quadratic mobility attenuation factors to obtain the effective mobility.

Figure 12 presents the comparison of experimental data and SPICE simulations of I_{DS} and g_m curves as a function of V_{GS} for GC SOI nMOSFET with L = 1 and 2 µm and different L_{LD}/L ratios, with V_{DS} = 50 mV. The obtained results show that the simulated curves have a good agreement with experimental results for both L values.

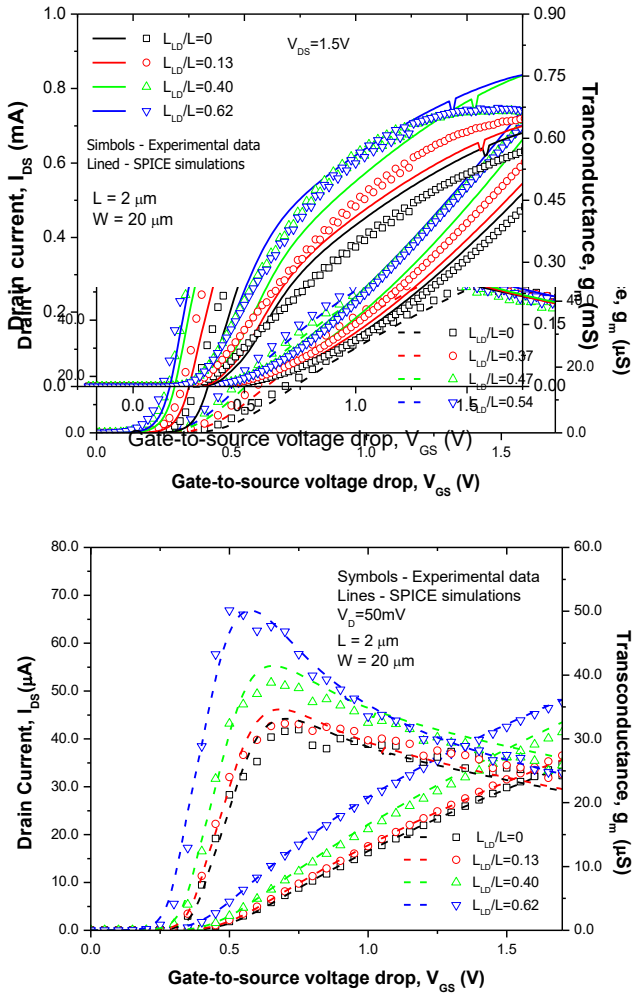


Fig.12 – Comparison of drain current and transconductance curves obtained through analytical simulations and experimental measurements for GC SOI nMOSFETs with L= 1 and 2 μm, at V_{DS} = 50 mV.

However, as most analog circuits operate in saturation, at higher V_{DS} values, simulations were also performed for the GC SOI nMOSFETs with L = 2 μm at V_{DS} = 1.5 V. The results are presented in Figure 13 and has shown a good fitting in saturation region, that is the region of interest. It is worth mentioning that apart from technological and geometrical characteristics, only the following parameters were adjusted: μ_0, θ_1 and θ_2.

IV. CONCLUSIONS

In this paper, the mobility of graded-channel SOI transistors was investigated. By using two-dimensional numerical simulations, drain current curves of transistors with different total channel length and L_{LD}/L ratios were obtained. It has been observed that the simple mobility degradation model, with only linear attenuation factor is not capable of describing GC SOI I-V curves. The low-field mobility showed a great dependence of L_{LD}/L ratio, increasing with the increase of lightly doped region length. Also, transistors with larger L_{LD}/L ratios present large mobility degradation after the maximum transconductance value, which is attenuated for higher gate voltages, due to its reduced electric field. In order to reproduce analytically this behavior, the quadratic attenuation factor θ_2 has shown to present negative values. By using the extracted low-field mobility and degradation factors from experimental GCSOI, an analytical model of uniformly doped SOI MOSFET has been used in a SPICE simulator and was able to reproduce the experimental data with a percentage error smaller than 7.91% for low V_{DS} and 15% for high V_{DS} after transconductance peak, whereas in [5] it has a 6.8% of error, what validates this simulation strategy from the mobility point of view.

ACKNOWLEDGEMENTS

This study was supported by CNPq grants #311466/2016-8 and #427975/2016-6. Authors would like to acknowledge Prof. Denis Flandre, from UCLouvain for providing the experimental samples.

REFERENCES

[1] M. A. Pavanello, J. A. Martino, V. Dessard, D. Flandre, Analog performance and application of graded-channel fully depleted SOI MOSFETs, Solid-State Electronics. 44, p. 1219-1222, 2000.

[2] R. Assalti, M. A. Pavanello, M. de Souza and D. Flandre, "Technological parameters scaling influence on the analog performance of Graded-Channel SOI nMOSFET transistors," 2014 International Caribbean Conference on Devices, Circuits and Systems (ICCDCS), Playa del Carmen, pp. 1-6, 2014.

[3] M. Emam, P. Sakalas, D. Vanhoenacker-Janvier, J. P. Raskin, T. C. Lim, F. Danneville, Experimental Investigation of RF Noise Performance Improvement in Graded Channel MOSFETs, T-ED. 56 , p. 1516-1522, 2009.

[4] M. de Souza, B. C. Paz, D. Flandre, M. A. Pavanello. Asymmetric channel doping profile and temperature reduction influence on the performance of current mirrors implemented with FD SOI nMOSFETs. Microelectronics and Reliability, p. 848-855, 2013.

[5] M. de Souza, M. A. Pavanello, B. Iñiguez, D. Flandre. A Charge-Based Continuous Model for Submicron Graded-Channel nMOSFET for Analog Circuit Simulation. Solid-State Electronics, v. 49, n.10, p. 1683-1692, 2005.

[6] Sentaurus Device User Guide, Version K-2015.06., Synopsys, 2015.

[7] D. Flandre, et al. Solid-State Electronics, 45, p. 451, 2001.

[8] R. Assalti, D. Flandre, M. de Souza. Influence of Geometrical Parameters on the DC Analog Behavior of the Asymmetric Self-Cascode FD SOI nMOSFETs. Journal of Integrated Circuits and Systems, v. 13, p. 1-7, 2018.

[9] C. R. Alves, M. d. Souza and D. Flandre, Numerical Simulation and Analysis of Transistor Channel Length and Doping Mismatching in GC SOI nMOSFETs Analog Figures of Merit, 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro), Bento Gonçalves, p. 1-4, 2018.

[10] A. Cerdeira, M. A. Alemán, M. A. Pavanello, J. A. Martino, L. Vancaillie, D. Flandre, Advantages of the Graded-Channel SOI FD MOSFET for Application as a Quasi-Linear Resistor, IEEE Transactions on Electron Devices, vol. 52, n. 5, pp. 967–972, 2005.

[11] J.-B. Henry, A. Cros, Q. Rafhay, J. Rosa and G. Ghibaudo, New Y-function based MOSFET parameter extraction method from weak to strong inversion range, Solid-State Electronics, v.123, pp.84-88, 2016.

[12] G. Reichert, T.Ouisse, Relationship between empirical and theoretical mobility models in silicon inversion layers, IEEE Transactions on Electron Devices, vo..43, no.9, September, 1996, pp. 1394-1398.

[13] S.C. Sun and J. D. Plummer. Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces. IEEE Transactions on Electron Devices, vo.27, no.8, 1980, pp. 1497-1508.

[14] S. P. Gimenez, M. A. Pavanello, J. A. Martino. A simple analytical model of Graded-Channel SOI nMOSFET Transconductance. In: Microelectronics Technology and Devices 2002. Electrochemical Society Proceedings Volume 2002-8, ECS Transactions., 2002. v. 2002-8. p. 45-54.

[15] ICAP4 User Manual, v.8.x.11, Intusoft, 2016.

[16] BSIMSOI v3.2 MOSFET Model User's Manual.