CENTRO UNIVERSITÁRIO FEI
NATASHA CRISTINE CEZARINO MERZBAHCER

ANÁLISE DA DENSIDADE DE CARGA DE INVERSÃO NA CONDIÇÃO DE LIMIAR, EM FUNÇÃO DA TEMPERATURA, EM UTBB SOI MOSFETS

São Bernardo do Campo
2019

NATASHA CRISTINE CEZARINO MERZBAHCER

ANÁLISE DA DENSIDADE DE CARGA DE INVERSÃO NA CONDIÇÃO DE LIMIAR, EM FUNÇÃO DA TEMPERATURA, EM UTBB SOI MOSFETS

Dissertação apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica. Orientado pelo Prof. Dr. Renato Giacomini.

São Bernardo do Campo

2019

Cristine Cezarino Merzbahcer, Natasha .
Análise da densidade de carga de inversão na condição de limiar, em função da temperatura, em UTBB SOI MOSFETS / Natasha Cristine Cezarino Merzbahcer. São Bernardo do Campo, 2019.
97 p. : il.

Dissertação - Centro Universitário FEI.
Orientador: Prof. Dr. Renato Camargo Giacomini.
Coorientadora: Prof.ª Dra. Arianne Soares do Nascimento Pereira.

1. Densidade de carga de inversão. 2. Temperatura. 3. UTBB SOI MOSFETs. 4. Simulações numéricas. I. Camargo Giacomini, Renato, orient. II. Título.

centro universitário FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Mestrado

PGE-10

Aluno: Natasha Cristine Cezarino Merzbahcer **Matrícula:** 117310-3

Título do Trabalho: Análise da densidade de carga de inversão na condição de limiar, em função da temperatura, em utbb soi mosfets.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Renato Camargo Giacomini

Data da realização da defesa: 30/09/2019

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA	
Prof. Dr. Renato Camargo Giacomini	Ass.:
Profª Drª Michelly de Souza	Ass.:
Profª Drª Maria Glória Caño de Andrade	Ass.:

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA DISSERTAÇÃO

APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha mãe, minha avó e meu irmão, que estiveram presentes em cada conquista de minha vida.

AGRADECIMENTOS

Agradeço ao meu orientador Prof. Dr. Renato C. Giacomini por me incentivar e acreditar no meu potencial, além de transmitir tantos conhecimentos a mim.

À Profª. Dra. Arianne S. N. Pereira por todo empenho em me auxiliar com seu vasto conhecimento na área de microeletrônica e por tudo que pude aprender.

À Profª. Dra. Milene Galeti, por ter me orientado e incentivado no começo de minha vida acadêmica, auxiliando e transferindo inúmeros conhecimentos ao longo dos dois anos e meio de trabalho junto à Iniciação Científica.

Aos professores Michelly de Souza e Rudolf Bühler pelos sábios conselhos dados a mim no exame de qualificação, os quais tornaram meu trabalho mais rico em detalhes e contribuíram para que o mesmo alcançasse o nível de excelência almejado. À professora Maria Glória Caño de Andrade pelos sábios conselhos dados a mim em minha defesa para que meu trabalho atingisse um nível de excelência memorável.

Aos professores Renato Machado, Rodrigo Trevisoli Doria, Aparecido Nicollet, Michele Rodrigues e Daniela Caluscio por me auxiliarem tantas vezes em diversos momentos de dúvidas e questionamentos ao longo destes anos todos.

À amiga Samanta Stuani por sempre acreditar no meu potencial e ter me apoiado desde o início de minha vida acadêmica, me incentivando e motivando para um futuro promissor. Às amigas Adriana Ramos, Dreycer Medeiros, Alessandra Bransford e ao Prof. Dr. Carlos Thomaz pelo apoio durante o curso de pós-graduação.

À minha mãe, minha avó e meu irmão, que sempre estiveram presentes em minha vida, respeitando minhas escolhas e me apoiando em todas elas, desde o início de minha profissão quando decidi me tornar Engenheira até a escolha de uma vida acadêmica baseada em muito estudo e dedicação.

Aos amigos: Kimon S. Pediatidakis, Diego Soleira, Henrique C. Finazzi, Vitor Hugo Ferreira, Guilherme Barbella, Leandro Arcanjo, Diogo Santos, Jéssica L. M. Alves, Amanda Reis, Juliana Tonasso e Leilson J. Araújo por me incentivarem e me apoiarem desde a graduação para que seguisse a vida acadêmica e sempre desejarem o meu melhor.

Aos amigos: Renan F. Martucci, Fernando O. Dainese, Victor Varela, Felipe F. Tucciarelli, Edson Rodrigues, Filipe C. Feitosa, Gabriel Prado, Alex Reimberg, Egon Galembeck e Flávio Bergamaschi por estarem presentes nos momentos mais difíceis de meu curso de pós-graduação me apoiando e motivando sempre.

Ao Centro Universitário FEI por ceder meu espaço de trabalho e ser um ambiente tão agradável no que se diz respeito ao desenvolvimento de pesquisas.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES) – Código de Financiamento 001 e com o apoio do Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq).

A tantas outras pessoas que não me foram possíveis citar aqui, mas que fizeram total diferença em minha vida.

“Treine enquanto eles dormem, estude enquanto eles se divertem, persista enquanto eles descansam, e então, viva o que eles sonham.”

Provérbio japonês

RESUMO

Para suprir a crescente demanda de velocidade, desempenho e baixo consumo, a indústria de circuitos integrados tem se desenvolvido de forma agressiva nos últimos anos, consolidando a tecnologia CMOS como fator essencial para o avanço tecnológico desses dispositivos, onde a base já foi o transistor MOSFET.

A tecnologia SOI (*Silicon-On-Insulator*) surgiu como uma alternativa para a redução das capacitâncias parasitárias de fonte e dreno, imunidade à radiação, operação em altas temperaturas e uma melhor inclinação de sublimiar.

O transistor SOI UTBB (*Ultra-Thin Body and Buried oxide*), com corpo e óxido enterrado ultrafinos, é atualmente considerado como uma das opções possíveis para nós tecnológicos abaixo de 20 nm.

Isso foi possível pois tornou-se viável alcançar baixas espessuras de óxido enterrado, por sua ótima integração entre os circuitos e por sua menor resistência térmica do óxido enterrado mais fino, bem como ao seu melhor controle eletrostático. Porém, a constante miniaturização nas dimensões físicas dos transistores faz com que estes sofram com os efeitos de canal curto (*Short Channel Effects* – SCE).

Neste trabalho, é realizado um estudo sobre a densidade de carga de inversão na condição de limiar para temperaturas na faixa de 300 a 425K. Estudar a influência da temperatura em UTBBs é importante pois, estes dispositivos podem atingir temperaturas elevadas em condições normais de operação.

O estudo é baseado na comparação de valores extraídos de simulações numéricas com modelos analíticos consolidados na literatura. Os resultados obtidos são analisados criticamente de forma a obter um modelo para a carga de inversão que tenha uma boa relação entre a precisão e a simplicidade do mesmo.

Palavras-chave: Densidade de carga de inversão. Temperatura. UTBB SOI MOSFETs. Simulações numéricas.

ABSTRACT

To meet the increasing for speed, performance and low power consumption, the integrated circuit industry has aggressively developed in recent years and has consolidated CMOS technology as an essential factor for the technological advancement of these devices, based on the MOSFET transistor.

The SOI (Silicon-On-Insulator) technology has emerged as an alternative for the parasitic source and drain capacitances reduction, radiation immunity, high temperature operation and sharper subthreshold slope.

The UTBB (Ultra-Thin Body and Buried Oxide) SOI transistor, with thin body and buried oxide is nowadays considered as the possible options for technological nodes below 20 nm, to be possible achieve low buried oxide thicknesses, the good integration of circuits and due to your better electrostatic control. However, the continuous miniaturization in physical dimensions make it suffer with (SCE) Short Channel Effects.

In this work is realized a study about the inversion charge density in threshold condition for temperatures between 300 and 425 K. Study the influence of temperature in UTBBs is important because it can achieve elevated temperatures in normal operation conditions. The study is based in comparison between extracted values of numerical simulations and analytical models previously studied. The results are analyzed to obtain a model for inversion charge density that has good relation between precision and simplicity.

Keywords: Inversion charge density. Temperature. MOSFETs UTBB SOI. Numerical simulations.

LISTA DE ILUSTRAÇÕES

Figura 1 - Comparação das tecnologias *Bulk* e SOI MOSFET 12
Figura 2 - Evolução da tecnologia SOI MOSFET para UTBB SOI MOSFET 13
Figura 3 - Escalamento dos transistores SOI convencionais em relação ao UTBB. 13
Figura 4 - Estrutura SOI 17
Figura 5 - Diagrama de bandas de energia de um transistor PDSOI 18
Figura 6 - Diagrama de bandas de energia de um transistor FDSOI 19
Figura 7 - Estrutura UTBB com *Ground plane* 20
Figura 8 - Gráfico de diferentes tensões de limiar atingidas 24
Figura 9 - Associação de capacitâncias de um 26
Figura 10 - Associação de Capacitâncias dos 26
Figura 11 - Concentração de elétrons em função da espessura de silício 28
Figura 12 - Curva $I_D x V_G$ que representa a inclinação de sublimiar 29
Figura 13 - Curvas $I_D x V_D$ e $I_D x V_G$ representando as regiões de operação de um transistor 31
Figura 14 - Perfil de carga em: (a) MOS convencional de canal longo e canal curto e (b) FDSOI de canal longo e canal curto 33
Figura 15 - Redução da tensão de limiar com os SCE 34
Figura 16 - Representação do DIBL em dispositivos de canal longo e canal curto 35
Figura 17 - Perfil da concentração de elétrons em função de t_{Si} 36
Figura 18 - Direção da formação do canal no transistor 38
Figura 19 - Diagrama de bandas de energia no 40
Figura 20 - V_{TH} em função da temperatura em transistores *Bulk* e SOI 47
Figura 21 - Inclinação de sublimiar em função da temperatura 48
Figura 22 - Gráficos da mobilidade do elétron e da lacuna no silício para 50
Figura 23 - Estrutura de um UTBB SOI MOSFET 52
Figura 24 - Estrutura UTBB simulada 53
Figura 25 - Representação do método de extração da 54
Figura 26 - Resultado da concentração de elétrons 55
Figura 27 - Concentração de elétrons total do canal mostrada pelo MATLAB 57
Figura 28 - Representação do canal para extração de Y_{MEAN} 58
Figura 29 - Perfil da concentração em função de t_{Si} 58
Figura 30 - Representação do canal para extração do potencial elétrico 59
Figura 31 - Potencial elétrico em função do comprimento de canal 60
Figura 32 - gm/I_{DS} em função da tensão de porta 61

Figura 33 - Curvas $I_D x V_G$ simuladas em função da temperatura 62
Figura 34 - Valores de V_{TH} simulados em função da temperatura 63
Figura 35 - Valores de Q_{TH} extraídos em função da temperatura 64
Figura 36 - Y_{MEAN} em função de T para várias posições de x ao longo de t_{Si} 65
Figura 37 - Potencial em função de T para diferentes profundidades 66
Figura 38 - Fator de corpo do UTBB em função da temperatura 67
Figura 39 - Comparação dos valores de Q_{TH} simulados e de Fasarakis 68
Figura 40 - Comparação dos valores de Q_{TH} simulados e de Hiblot 69
Figura 41 - Comparação dos valores de Q_{TH} simulados e de Rudenko 70
Figura 42 - Comparação de Q_{TH} simulado em relação aos modelos analíticos 72

LISTA DE ABREVIATURAS

BOX	*Buried oxide* - Óxido enterrado
CMOS	*Complementary Metal Oxide Silicon* - Complementar Metal Óxido Semicondutor
déc	década
$depl_2$	Segunda interface em depleção
DIBL	*Drain Induced Barrier Lowering*
FDSOI	*Fully Depleted* SOI - SOI completamente depletado
GP	*Ground plane* - Plano de terra
HVT	*High* Vt - Tensão de limiar alta
inv_2	Segunda interface em inversão
acc_2	Segunda interface em acumulação
LVT	*Low* Vt - Tensão de limiar baixa
MOSFET	*Metal Oxide Silicon Field Effect Transistor* - Transistor de efeito de campo
NFDSOI	*Near Fully depleted* - SOI quase totalmente depletado
PDSOI	*Partially depleted* - SOI parcialmente depletado
SCE	*Short Channel Effects* - Efeitos de canal curto
SOI	*Silicon On Insulator* - Silício sobre isolante
SVT	*Standard* Vt - Tensão de limiar padrão
UTBB	*Ultra-Thin Body and Buried oxide* - Corpo e óxido enterrado ultrafino

LISTA DE SÍMBOLOS

C_{Box}	Capacitância do óxido enterrado [F]
C_{ox}	Capacitância do óxido por unidade de área [F/cm^2]
Q_S	Carga do substrato [C]
Q_{SS}	Carga total na superfície do silício [C]
Q_{inv}	Carga de inversão [C]
Q_{ox}	Cargas no óxido [C]
V_{BS}	Tensão do substrato [V]
V_{FB}	Tensão de Faixa Plana [V]
V_{G1}	Tensão da primeira porta [V]
V_{G2}	Tensão da segunda porta [V]
t_{ox}	Espessura do óxido de porta [nm]
v_{bi}	Potencial interno de uma junção PN [V]
x_d	Profundidade de depleção [nm]
C_{Si}	Capacitância do silício [F]
$d_{máx}$	Máxima largura de depleção [nm]
E_C	Nível de energia da banda de condução [eV]
E_F	Nível de fermi [eV]
E_i	Nível de energia intrínseco [eV]
E_V	Nível de energia da banda de valência [eV]
g	Degeneração de vale
gm	Transcondutância [A/V]
h	Constante de Planck
I_{DS}	Corrente entre dreno e fonte [A]
I_{DSAT}	Corrente de dreno em saturação [A]
k	Constante de Boltzman
K	Kelvin
L	Comprimento [nm]
n	Fator de corpo
N_A	Concentração de portadores aceitadores [cm^{-3}]
N_D	Concentração de dopantes doadores [cm^{-3}]
n_i	Concentração intrínseca dos portadores [cm^{-3}]
ºC	Graus Celsius

q	Carga elementar do elétron [C]
Q_{Depl}	Carga de depleção [C]
Q_{Si}	Carga no silício [C]
Q_{TH}	Densidade de carga de inversão no limiar [C/cm^2]
S	Inclinação de sublimiar [mV/V]
Si	Silício
SiO_2	Óxido de silício
T	Temperatura
t_{BOX}	Espessura do Óxido Enterrado [nm]
t_{ox}	Espessura do óxido na primeira interface [nm]
t_{Si}	Espessura do filme de silício [nm]
V_D	Tensão de dreno [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_G	Tensão de porta [V]
V_{GS}	Tensão entre porta e fonte [V]
V_S	Tensão de fonte [V]
V_{TH}	Tensão de limiar [V]
W	Largura do canal [nm]
Y_{MEAN}	Ponto médio da concentração de elétrons no canal [nm]
ε_{Si}	Permissividade do silício [F/cm]
ε_{ox}	Permissividade do óxido [F/cm]
$\emptyset_F$	Potencial de Fermi [V]
$\emptyset_{Fp}$	Potencial de Fermi do silício tipo P [V]
$\emptyset_{MS}$	Diferença de função trabalho entre o metal e o semicondutor [V]
$\emptyset_S$	Potencial de superfície [V]
$\emptyset_{S1}$	Potencial de superfície na primeira interface [V]
$\emptyset_{S2}$	Potencial de superfície na segunda interface [V]
$\emptyset_{Si}$	Potencial do silício [V]
$\emptyset_t$	Potencial térmico [V]
γ	Constante de efeito de corpo
λ	Comprimento natural do canal [nm]
μ_n	Mobilidade dos portadores doadores [cm^2/V.s]
μ	Mobilidade [cm^2/V.s]

SUMÁRIO

1 INTRODUÇÃO 11

2 CONCEITOS FUNDAMENTAIS 15

2.1 TECNOLOGIA SOI 15

2.1.1 Estrutura SOI 16

2.2 TECNOLOGIA UTBB SOI 19

2.3 PARÂMETROS ELÉTRICOS 21

2.3.1 Tensão de limiar 21

2.3.1.1 Tensão de limiar em transistores SOI convencionais *21*

2.3.1.2 Tensão de limiar em transistores UTBB *23*

2.3.2 Efeito de corpo e fator de corpo 24

2.3.2.1 Efeito de Corpo em Transistores de tecnologia SOI *24*

2.3.2.2 Fator de Corpo em Transistores de tecnologia SOI *25*

2.3.3 Inclinação de Sublimiar (S) 29

2.3.4 Corrente de dreno (I_{DS}) 31

2.3.5 Efeitos de canal curto 32

2.3.6 Efeitos quânticos 35

2.3.6.1 Inversão de volume *35*

2.3.6.2 Efeitos quânticos na tensão de limiar *36*

3 DENSIDADE DE CARGA DE INVERSÃO 37

3.1 FORMAÇÃO DO CANAL 37

3.1.1 Regime de acumulação 38

3.1.2 Regime de depleção 38

3.1.3 Regime de inversão 39

3.2 MODELOS DE CARGA DE INVERSÃO 41

3.2.1 Modelo de Fasarakis 41

3.2.2 Modelo de Hiblot 42

3.2.3 Modelo de Rudenko 44

3.3 INFLUÊNCIA DA TEMPERATURA 45

3.3.1 Corrente de fuga 46

3.3.2 Tensão de limiar 47

3.3.3 Inclinação de sublimiar 47

3.3.4 Mobilidade 48

4 METODOLOGIA E DESENVOLVIMENTO 50
4.1 SIMULAÇÃO 50
4.1.1 Simulador numérico de dispositivos ATLAS 50
4.1.1.1 Características da simulação *51*
4.1.1.2 Características do dispositivo simulado *51*
4.2 EXTRAÇÃO DE PARÂMETROS 53
4.2.1 Extração da tensão de limiar 53
4.2.2 Extração da densidade de carga de inversão 54
4.2.3 Extração da posição vertical do canal de inversão (Y_{MEAN}) 57
4.2.4 Extração do potencial elétrico 59
4.2.5 Extração do fator de corpo e inclinação de sublimiar 60
5 RESULTADOS OBTIDOS E DISCUSSÕES 62
5.1 TENSÃO DE LIMIAR 62
5.2 DENSIDADE DE CARGA DE INVERSÃO 64
5.3 POSIÇÃO VERTICAL DO CANAL DE INVERSÃO (Y_{MEAN}) 65
5.4 POTENCIAL ELÉTRICO 65
5.5 FATOR DE CORPO 66
5.6 IMPLEMENTAÇÃO DOS MODELOS DE CARGA DE INVERSÃO 67
5.6.1 Implementação do modelo de Fasarakis 67
5.6.2 Implementação do modelo de Hiblot 68
5.6.3 Implementação do modelo de Rudenko 69
5.7 DISCUSSÕES 71
6 CONCLUSÕES 74
REFERÊNCIAS 75
APÊNDICE A 81
APÊNDICE B 84
APÊNDICE C 89

1 INTRODUÇÃO

A indústria de circuitos integrados tem consolidado a tecnologia *Complementary Metal Oxide Semiconductor* - Complementar Metal Óxido Semicondutor (CMOS) em sua produção no mercado devido ao seu alto desempenho elétrico e densidade de integração. Essa tecnologia tem evoluído segundo a tendência da Lei de Moore (1), em que o número de transistores em um circuito integrado deve dobrar a cada dezoito meses. O processo no qual as dimensões físicas dos transistores devem ser reduzidas a cada nova geração tecnológica e quais são os limites dessas reduções é conhecido como escalamento.

Entretanto, com a diminuição das dimensões dos transistores, originaram-se os chamados efeitos de canal curto *Short Channel Effects* (SCE), em consequência da redução do comprimento do seu canal, parte do controle das cargas presentes no canal do dispositivo pelo eletrodo de porta é perdido, influenciando no seu funcionamento e degradando as suas características elétricas (2).

Além disso pode ocorrer o surgimento de efeitos parasitários oriundos da capacitância entre fonte e dreno, causando anomalias na inclinação de sublimiar devido ao aumento do potencial de corpo, que pode ativar o transistor bipolar parasitário inerente à estrutura MOS, além da redução da tensão de ruptura devido aos menores campos elétricos da estrutura SOI se comparados com a estrutura convencional (3).

Objetivando diminuir tais efeitos, melhorar a imunidade à radiação, operar em altas temperaturas, aumentar a transcondutância e ter uma melhor inclinação de sublimiar, a indústria começou a investir na chamada tecnologia Silício Sobre Isolante *Silicon-On-Insulator* (SOI).

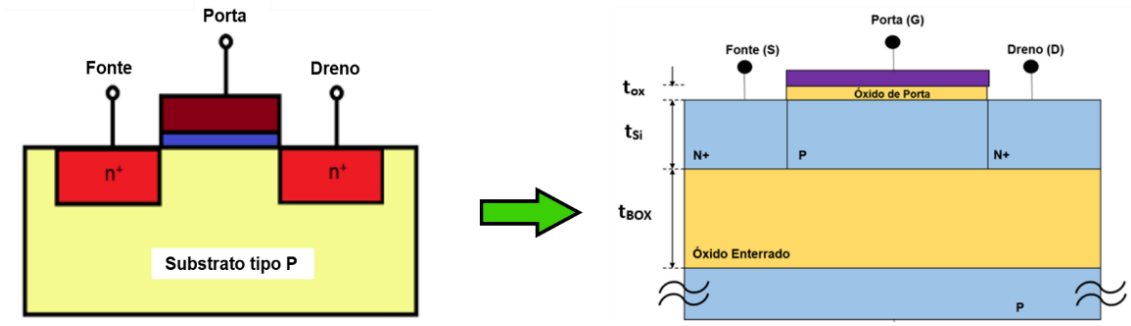
Nesta tecnologia, a fabricação dos transistores e dos circuitos é desenvolvida em um processo onde uma camada de silício fina é colocada sobre uma camada de isolante, o chamado óxido enterrado *Buried Oxide* (BOX), resultando assim na isolação elétrica entre a região ativa do transistor e o substrato (3), (4).

Com o auxílio desta tecnologia, estes dispositivos apresentam um melhor controle dos portadores elétricos da região ativa pelo eletrodo de porta, por haver ali um melhor acoplamento elétrico. Desta forma, os transistores fabricados em tecnologia SOI estão menos susceptíveis aos efeitos de canal curto e radiação devido a sua menor região ativa no momento da geração de pares elétron-lacuna, proporcionando um escalamento muito maior do que o limite existente nos transistores convencionais (3), (4).

Na Figura 1 é apresentada uma comparação entre as estruturas das tecnologias *Bulk* e SOI MOSFET, nas quais é possível notar a evolução da tecnologia a partir do uso do óxido

enterrado (t_{BOX}) e do surgimento de outras duas interfaces na estrutura (silício/óxido enterrado e óxido enterrado/substrato).

Figura 1 - Comparação das tecnologias *Bulk* e SOI MOSFET



Fonte: Autor

Para comprimentos de canal abaixo de 100 nm, apenas a redução das dimensões dos transistores segundo a regra do escalamento não foi suficiente para garantir a melhoria de desempenho dos dispositivos a cada nova geração tecnológica (5, 6, 7). Devido a isso, a indústria investiu na utilização de transistores com canal tensionado (*strained silicon*) e com outros materiais de dielétricos de porta (*high-k*) (8, 9, 10).

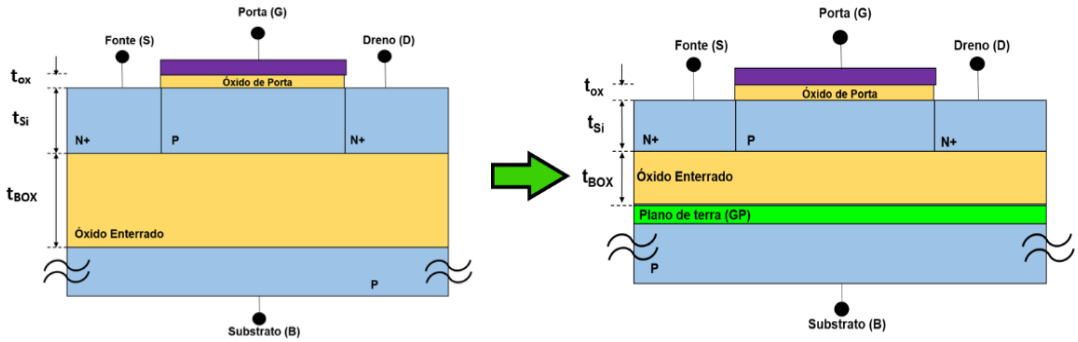
Para melhorar o controle eletrostático nos dispositivos, surgiram também os transistores de múltiplas portas (*Multiple Gate*). Estes dispositivos possuem mais de um plano para a condução de corrente elétrica.

No entanto quando se trata do fator da imunidade aos efeitos de canal curto, existem os dispositivos que permitem o escalamento para tecnologias abaixo de 10 nm, chamados de SOI de corpo e óxido enterrado ultrafinos *Ultra-Thin Body and Buried oxide* (UTBB).

Neste caso, essas dimensões podem ser alcançadas devido às baixas espessuras de óxido enterrado, e não apenas do óxido de porta e da camada de silício como nos transistores SOI totalmente depletados *Fully Depleted* SOI (FDSOI) (10).

A Figura 2 mostra a evolução da tecnologia SOI convencional para a tecnologia SOI UTBB, na qual é possível notar uma menor espessura da camada de silício (t_{Si}), uma menor espessura de óxido enterrado (t_{BOX}) e o surgimento do plano de terra (*ground plane*), o qual torna possível nesse tipo de transistor, haver três tipos de tensão de limiar (V_{TH}).

Figura 2 - Evolução da tecnologia SOI MOSFET para UTBB SOI MOSFET

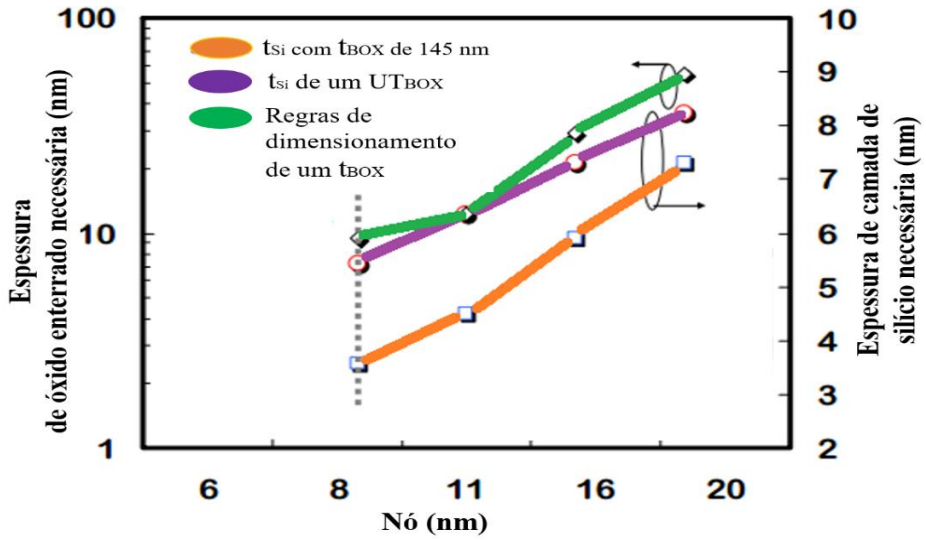


Fonte: Autor

De acordo com os estudos realizados em (8), os transistores UTBB FDSOI tem sofrido com o escalamento da espessura do corpo e do óxido enterrado. Com isso vem ocorrendo comportamentos um tanto quanto anômalos, como por exemplo, a mudança nas figuras de mérito de sistemas de radiofrequência analógicos, ou então o aumento da transcondutância em pequenos sinais e da transcondutância de saída, ambas com relação à frequência devido ao efeito de corpo e autoaquecimento (8), (9).

A Figura 3 apresenta o escalamento de transistores SOI, considerando que o DIBL seja menor do que 100 mV/V (11) como critério, onde t_{Si} é a espessura da camada de silício e t_{BOX} é a espessura do óxido enterrado. Pode-se observar que para alcançar o nó tecnológico de 8 nm sem a redução da espessura do óxido enterrado, seria necessária a redução de t_{Si} até 3 nm, enquanto que ao reduzir t_{BOX} juntamente com t_{Si}, que é o caso dos UTBBs, o mesmo critério pode ser atendido com um t_{Si} = 5 nm (9).

Figura 3 - Escalamento dos transistores SOI convencionais em relação ao UTBB.



Fonte: Autor "Adaptado de" (9)

Foi proposta uma equação para a variação de DIBL com a temperatura em UTBBs (11), por meio da melhoria do modelo proposto por Fasarakis *et al* em (11). Com o objetivo de adequar o modelo de Fasarakis para uma ampla faixa de temperatura, a proposta foi incorporar ao modelo original, presente em (11), a densidade de carga de inversão na condição de limiar (Q_{TH}) dependente da temperatura.

Ao introduzir os valores extraídos de Q_{TH} baseados em parâmetros físicos e geométricos no modelo de Fasarakis, há uma maior precisão da variação do DIBL com a temperatura. No entanto, os valores de Q_{TH} são extraídos de simulações, fazendo com que o modelo melhorado não seja tão prático.

Portanto, como continuidade do estudo realizado em (11), é feita uma análise profunda sobre a densidade de cargas de inversão em relação os modelos da literatura com o objetivo de verificar qual deles é o mais adequado para modelar estas cargas.

Neste trabalho, é proposto o estudo e a análise da densidade de carga de inversão na condição de limiar, verificando a influência da temperatura para uma faixa entre 300 a 425 K em parâmetros físicos como a concentração de elétrons e o potencial, bem como seu efeito na distribuição de cargas.

É importante analisar a influência da temperatura em UTBBs mesmo que as aplicações sejam em temperatura ambiente, já que estes podem sofrer auto-aquecimento e atingir temperaturas de de cerca de dezenas de graus celsius em uma condição normal de operação (12, 13).

O estudo é baseado em valores extraídos de simulações numéricas e em modelos analíticos já existentes para outros dispositivos. Os valores extraídos das simulações são comparados posteriormente com os valores calculados através dos modelos analíticos, todos estes dados são baseados em dimensões de transistores UTBBs fabricados pela ST Microelectronics (14) reportados na literatura. Os resultados são analisados criticamente de forma a obter um modelo de densidade de carga de inversão que engloba simplicidade e precisão.

2 CONCEITOS FUNDAMENTAIS

Nesta seção serão apresentados conceitos fundamentais referentes aos transistores SOI (*Silicon On Insulator* – Silício sobre isolante) MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*) (15) e aos transistores UTBB (*Ultra Thin Body and Buried Oxide* – Corpo e óxido enterrado ultrafinos) SOI, cuja tecnologia vem sendo amplamente utilizada nos últimos anos na indústria de semicondutores.

2.1 TECNOLOGIA SOI

Os dispositivos MOSFETs trazem um desafio na tecnologia SOI, no que se refere em produzir uma lâmina com uma camada fina de silício monocristalino sobre uma camada de óxido de silício (SiO_2), também chamado de óxido enterrado (BOX), sendo este óxido, necessário sobre toda a lâmina para que haja a isolação elétrica entre a região ativa do transistor e o substrato.

Além disso, esta camada de silício tem que ser criada sobre uma camada de óxido amorfo com ótima qualidade, para que não haja tensão mecânica ou quaisquer defeitos ativos (15), (16). São conhecidas diversas formas para obtenção dos substratos SOI que foram desenvolvidas usando diferentes princípios, tais como técnicas heteroepitaxiais e homoepitaxiais, técnicas de recristalização de polisilício, síntese de isolantes enterrados por feixe de íons, transferência de camadas, entre outras (17).

Em relação à comparação dos processos de fabricação de transistores em tecnologia SOI e tecnologia convencional, é importante salientar algumas características relevantes. Na tecnologia SOI ocorre ausência de cavidades e ela possui uma menor complexidade ao fabricar dispositivos de camada fina. Com isso não se tornam necessárias as implantações *anti-punchthrough*, o perfil de dopagem da região ativa é definido em apenas uma única implantação iônica rasa e finalmente, essa tecnologia possui um menor número de etapas fotolitográficas em seu processo de fabricação (17).

Uma característica relevante em relação a dispositivos é a isolação empregada nestes processos. As técnicas utilizadas são importantes pois com isso ocorre a separação das regiões entre os dispositivos e entre as cavidades, o que evita a presença de transistores parasitas na estrutura.

A tecnologia MOS convencional tem a isolação entre os dispositivos feita através de junções reversamente polarizadas, além de ser necessário um óxido de isolação entre os dispositivos. Já os transistores MOS em tecnologia SOI são dieletricamente isolados entre si,

diminuindo a estrutura do tiristor parasitário (*latch-up*), presente na tecnologia convencional (18).

Algumas formas de separar as regiões de silício ativas nos transistores podem ser citadas, dentre elas: LOCOS (*Local Isolation of Silicon*), *Recessed* LOCOS, MESA, MESA Oxidada e STI (*Shallow Trench Isolation*). Todas essas técnicas são simplificadas pelo uso da lâmina SOI, pois o isolamento intrínseco entre os dispositivos é promovido pelo óxido enterrado (BOX) (19).

O fato de existir um menor número de junções, faz com que sejam reduzidas significativamente as capacitâncias parasitárias, causando assim uma maior velocidade nos circuitos em tecnologia SOI, tornando-os mais rápidos. Outra vantagem dessa tecnologia é o fato de ela ser mais imune à radiação por ter um menor volume da região ativa disponível no momento da geração dos pares elétron-lacuna pela passagem das partículas ionizantes (20).

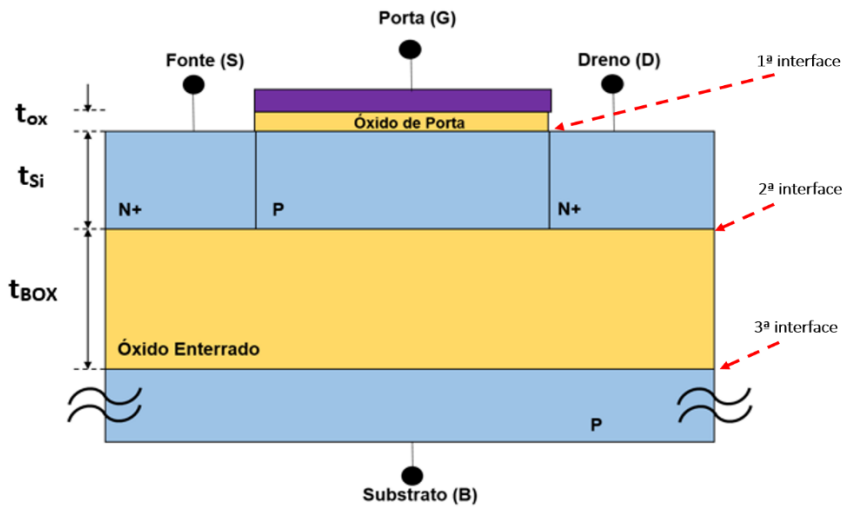
2.1.1 Estrutura SOI

Os transistores SOI planares são assim denominados pelo fato de terem apenas um plano de condução de corrente elétrica. A Figura 4 ilustra o corte transversal de uma estrutura SOI nMOSFET.

Nela pode-se observar a espessura do óxido de porta (t_{ox}), a espessura do filme de silício (t_{Si}), a espessura do óxido enterrado (t_{Box}) e as três interfaces de silício/óxido de silício (Si/SiO_2), além dos terminais de Porta (*Gate* - G), Fonte (*Source* - S), Dreno (*Drain* - D) e Substrato (*Substrate* - B) (21).

A região ativa do transistor encontra-se no filme de silício entre a primeira e a segunda interfaces, esta é a região onde ocorre a condução de corrente elétrica e onde há uma influência direta no funcionamento do dispositivo.

Figura 4 - Estrutura SOI



Fonte: Autor

O funcionamento destes transistores depende da espessura da camada de silício, da concentração de dopantes presente na região do canal e da temperatura em que os mesmos se encontram. Tais fatores estão ligados à máxima profundidade da região de depleção ($d_{máx}$), expressa pela equação 1 (22):

$$d_{máx} = \sqrt{\frac{4.\varepsilon_{Si}.\emptyset_{Fp}}{q.N_A}}, \text{ sendo } \emptyset_{Fp} = \frac{k.T}{q}.\ln\left(\frac{N_A}{n_i}\right) \quad (1)$$

onde ε_{Si} é a permissividade do silício, $\emptyset_{Fp}$ é o potencial de Fermi do silício tipo P, q é a carga elementar do elétron, N_A é a concentração de dopantes aceitadores no canal (para um transistor nMOSFET), n_i é a concentração intrínseca dos portadores, k é a constante de Boltzman e T é a temperatura absoluta.

A distinção entre dispositivos Parcialmente Depletados *Partially Depleted* (PDSOI), Totalmente Depletados *Fully Depleted* (FDSOI) e Quase Totalmente Depletados *Near Fully Depleted* (NFDSOI) é feita com relação à espessura da camada de silício (t_{Si}) e a máxima largura de depleção ($d_{máx}$) (23).

Quando a espessura da camada de silício é maior do que duas vezes a largura máxima de depleção ($t_{Si} > 2.d_{máx}$) denomina-se que o transistor é Parcialmente Depletado (PDSOI). Desta forma não há interação entre as regiões de depleção da primeira e da segunda interfaces, ou seja, há uma região neutra entre as regiões. Caso esta região seja ligada por um contato de

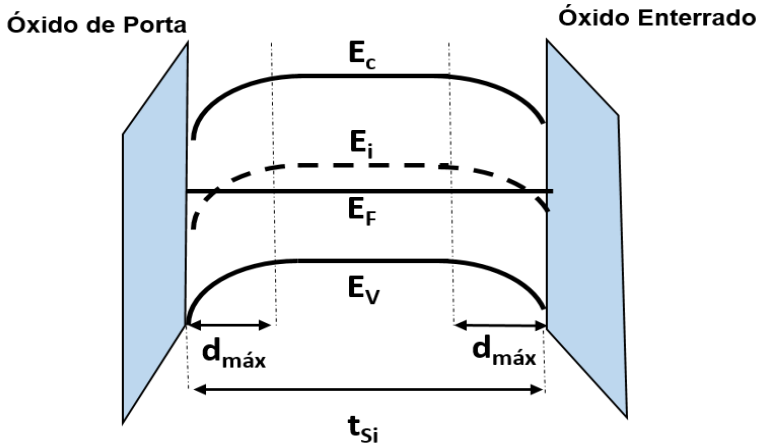
corpo, faz com que o dispositivo se comporte como um transistor MOS convencional (*bulk*) (23).

A Figura 5 ilustra o diagrama de bandas de energia de um dispositivo PDSOI. Sendo E_C o nível de energia mínimo da banda de condução, E_i o nível de energia intrínseco, E_F o nível de fermi e E_V o nível de energia máximo da banda de valência (24).

Este diagrama mostra a diferença existente entre os níveis de energia de condução e de valência de um determinado material. Neste caso observa-se um diagrama de dois capacitores MOS formados pela primeira e pela segunda interface, sendo respectivamente o capacitor de porta e o capacitor formado pela estrutura substrato/óxido enterrado/silício (24).

O fato do transistor ser do tipo PDSOI faz com que haja uma região linear no diagrama pois ali não ocorre interação entre as regiões de depleção da primeira e da segunda interfaces (24).

Figura 5 - Diagrama de bandas de energia de um transistor PDSOI



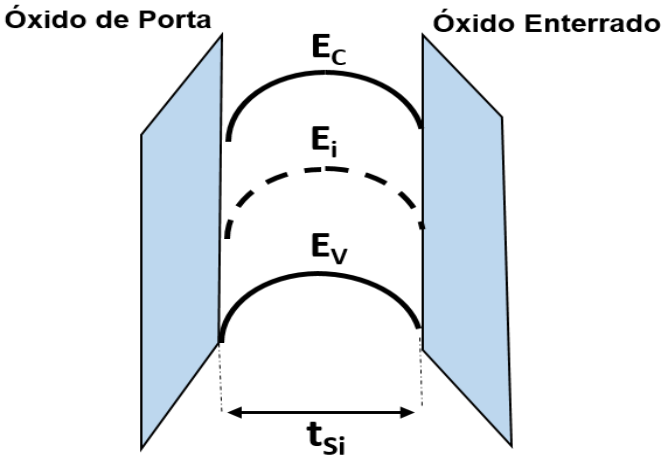
Fonte: Autor "Adaptado de" (24)

Se a espessura do silício é menor do que a máxima largura de depleção ($t_{Si} < d_{máx}$) dizemos que o transistor é Totalmente Depletado (FDSOI). Essa definição é devido ao fato da camada de silício ficar completamente depletada ao polarizar o dispositivo na tensão de limiar ($V_{GS} = V_{TH}$).

Na Figura 6 é representado o diagrama de bandas de energia de um FDSOI, onde observa-se um encurvamento maior dos níveis de energia e uma maior aproximação entre as duas interfaces pois o fato dele ser totalmente depletado faz com que haja uma região onde ocorre a interação entre as regiões de depleção da primeira e da segunda interfaces (25).

Esses dispositivos costumam apresentar as melhores características elétricas entre os SOI MOSFETs, tais como maior mobilidade (μ), menor inclinação de sublimiar (*S*), maior corrente de saturação (I_{DSAT}), maior imunidade aos efeitos de canal curto (SCE – *Short Channel Effect*), entre outros (25).

Figura 6 - Diagrama de bandas de energia de um transistor FDSOI



Fonte: Autor "Adaptado de" (24)

Quando a espessura da camada de silício encontra-se em um estado intermediário, ou seja, maior do que a máxima largura de depleção e menor do que duas vezes esta mesma largura ($d_{máx} < t_{Si} < 2.d_{máx}$), a camada de silício poderá ou não ficar completamente depletada, dependendo da tensão aplicada ao substrato. Em tais condições o transistor é chamado de Quase Totalmente Depletado (NFDSOI) (25).

2.2 TECNOLOGIA UTBB SOI

Os dispositivos fabricados em tecnologia UTBB SOI possuem características bastante atrativas quando nos referimos aos efeitos de canal curto (26), devido à sua fina camada de silício e de óxido enterrado e também através da redução do acoplamento capacitivo entre fonte e dreno com o canal.

Quando utilizamos UTBBs é possível implementar circuitos de baixa potência e alto desempenho elétrico em uma mesma lâmina de circuito integrado. Essa alternativa se torna real devido a possibilidade de utilizar a polarização do substrato como forma de melhorar estas características.

Além das diversas tensões de limiar que podem ser alcançadas, através de diferentes polarizações da segunda interface do dispositivo (27), sendo elas de diferentes tipos devido ao

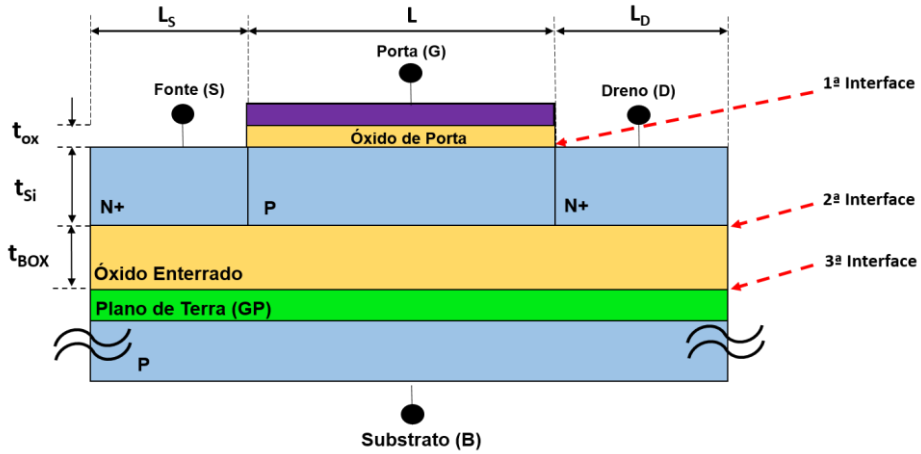
tipo de dopante que é utilizado na região logo abaixo da região do óxido enterrado e da polarização que é aplicada ao substrato (V_{BS}) (28), à esta região dá-se o nome de plano de terra (*Ground Plane* – GP).

Em relação à estrutura, os UTBBs possuem uma espessura de óxido enterrado (t_{BOX}) variando entre 10 e 30 nm e a espessura da camada de silício em torno de 7 a 10 nm. Sabe-se que, para a atuação da polarização do substrato ser efetiva, a dimensão do óxido enterrado deve ser igual ou menor do que 10 nm, pois desta forma ela permite um melhor acoplamento do canal pela tensão do substrato (29).

O processo para obtenção do óxido enterrado ultrafino é iniciado com uma lâmina SOI de óxido espesso e este óxido enterrado vai sendo afinado por meio de uma decomposição em um ambiente com argônio e um recozimento de oxigênio (29).

A Figura 7 mostra a estrutura UTBB, onde t_{ox}, t_{Si} e t_{BOX} são respectivamente as espessuras: do óxido de porta, da camada de silício e do óxido enterrado. Além de sua região ativa, as duas interfaces (óxido de porta/silício e silício/óxido enterrado), a região de substrato, os terminais de fonte, dreno e porta e por fim, o plano de terra que está localizado logo abaixo do óxido enterrado.

Figura 7 - Estrutura UTBB com *Ground plane*



Fonte: Autor

Da mesma forma que ocorre a depleção do silício na primeira e segunda interfaces de um transistor SOI convencional, isso também acontece na interface óxido/substrato, o que faz com que a espessura efetiva do isolante enterrado seja maior no caso desta interface estar na região de depleção. Com isso, a espessura máxima desta camada de depleção pode ser minimizada pela dopagem da região logo abaixo do óxido enterrado (29).

Os UTBBs possuem vantagens em relação à redução da camada de silício e ao óxido enterrado, como um maior acoplamento capacitivo da porta e do substrato no canal, e como consequência, uma maior influência da tensão aplicada nesse contato, resultando em um melhor controle eletrostático do dispositivo. Tais aspectos são importantes pois normalmente são necessários em aplicações de memórias RAM e para ter menor susceptibilidade aos efeitos de canal curto (*Short Channel Effects* - SCE) (29).

Existem outras vantagens importantes a serem destacadas, como por exemplo o melhor controle da tensão de limiar pelo substrato, uma menor resistência térmica do óxido enterrado, uma menor corrente de fuga pelas junções, tem a possibilidade de operar com menores tensões de alimentação e finalmente, possui uma melhor eficiência na potência em aplicações de alta frequência (29).

2.3 PARÂMETROS ELÉTRICOS

A seguir são apresentados alguns parâmetros relevantes para o funcionamento e entendimento dos transistores MOS em tecnologia SOI convencional e UTBB SOI.

2.3.1 Tensão de limiar

Nesta seção é mostrada a definição de tensão de limiar para os transistores SOI convencionais e para os UTBBs.

2.3.1.1 Tensão de limiar em transistores SOI convencionais

A tensão de limiar (V_{TH}) de um dispositivo MOS é definida como sendo a tensão mínima aplicada ao terminal de porta (V_{GS}) para que haja a formação de uma região de inversão e consequentemente um canal de condução de corrente elétrica entre os terminais de dreno e fonte (I_{DS}).

Em um transistor SOI parcialmente depletado, como não há interação entre as regiões de depleção, a tensão de limiar é definida como sendo igual à de um MOS convencional (30), dada pela equação 2:

$$V_{TH} = \frac{q.N_A.d_{máx}}{C_{ox}} + V_{FB} + 2.\emptyset_{Fp} \quad (2)$$

onde C_{ox} é a capacitância do óxido de porta por unidade de área dada por 3:

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{3}$$

onde ε_{ox} representa a permissividade do óxido e t_{ox} a espessura do óxido de porta.
V_{FB} é a tensão de faixa plana dada por 4:

$$V_{FB} = -\frac{Q_{SS}}{C_{ox}} + \emptyset_{MS} \tag{4}$$

$\emptyset_{MS}$ representa a diferença de função trabalho entre o metal do terminal de porta e o semicondutor e Q_{SS} é a carga total na superfície do silício (31).

Quando analisamos um transistor do tipo FDSOI, em que há interação entre as cargas de depleção da primeira e da segunda interfaces, sabe-se que a tensão de limiar pode ser obtida pelo modelo de Lim e Fossum (31). Tal modelo demonstra que as tensões de porta e de substrato são dependentes dos potenciais de superfície na primeira e na segunda interfaces ($\emptyset_{S1}$, e $\emptyset_{S2}$ respectivamente) (31). A relação descrita acima é representada pelas equações 5 e 6:

$$V_{G1} = \emptyset_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right).\emptyset_{S1} - \frac{C_{Si}}{C_{ox1}}.\emptyset_{S2} - \frac{(0{,}5.q.N_A.d_{máx} + Q_{inv1})}{C_{ox1}} \tag{5}$$

$$V_{G2} = \emptyset_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right).\emptyset_{S2} - \frac{C_{Si}}{C_{ox2}}.\emptyset_{S1} - \frac{(0{,}5.q.N_A.d_{máx} + Q_{S2})}{C_{ox2}} \tag{6}$$

onde Q_{ox1} e Q_{ox2} representam respectivamente as cargas no óxido de porta e as cargas no óxido enterrado, Q_{inv1} é a carga de inversão na primeira interface, Q_{S2} representa a carga numa possível inversão do substrato ($Q_{S2} < 0$) ou uma possível acumulação inversa ($Q_{S2} > 0$) e C_{Si} representa a capacitância do silício (31).

Para que se tenha uma expressão da tensão de limiar da primeira interface (V_{TH1}) é necessário adotar que $\emptyset_{S1} = 2.\emptyset_F$ e que a carga de inversão é zero (Q_{INV}=0). No entanto, o valor de $\emptyset_{S2}$ irá depender da condição da segunda interface, ou seja, inversão, acumulação ou depleção (31).

No caso da segunda interface encontrar-se em inversão ($\emptyset_{S2} = 2.\emptyset_F$), temos que:

$$V_{TH1,inv2} = \emptyset_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2.\emptyset_F - \frac{0{,}5.(q.N_A.d_{máx})}{C_{ox1}} \tag{7}$$

Estando a segunda interface em acumulação ($\emptyset_{S2} = 0$), sabe-se que:

$$V_{TH1,acc2} = \emptyset_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{Ox1}}\right).2.\emptyset_F - \frac{0,5.(q.N_A.d_{máx})}{C_{ox1}} \quad (8)$$

Por fim, quando a segunda interface estiver em depleção a tensão de limiar irá depender do potencial aplicado ao terminal de substrato correspondente à segunda interface, conforme a expressão 9 à seguir:

$$V_{TH1,Depl2} = V_{TH1,acc2} - \frac{C_{Si}.C_{Ox2}}{C_{Ox1}.(C_{Si}+C_{Ox2})}(V_{G2} - V_{G2,acc2}) \quad (9)$$

A expressões que foram apresentadas somente serão válidas quando as espessuras de acumulação e inversão são muito menores que t_{Si} (31).

2.3.1.2 Tensão de limiar em transistores UTBB

Os transistores UTBB são capazes de operar com três opções de tensão de limiar devido à diferentes polarizações feitas no substrato e diferentes dopagens no plano de terra. As três opções de V_{TH} são chamados de V_{TH} baixo *Low* V_{TH} (LVT), V_{TH} padrão *Standard* V_{TH} (SVT) e V_{TH} alto *High* V_{TH} (HVT) (32).

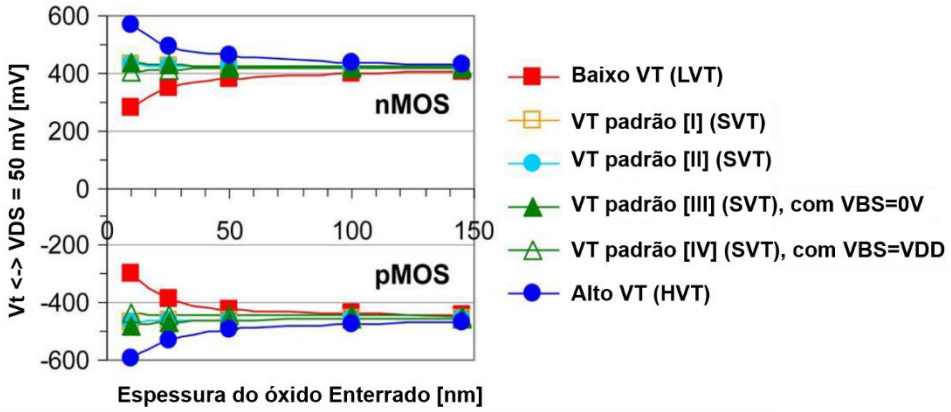
Neste caso, a tensão de limiar do dispositivo é ajustada pelo controle eletrostático entre o óxido enterrado/plano de terra e a segunda interface. Esse ajuste depende do tipo de plano de terra e da tensão aplicada no substrato (V_{GB}) (32).

Altos valores de V_{TH} são baseados em um tipo de dopantes do plano de terra contrário ao tipo de dopantes da fonte e dreno, além de uma tensão V_{GB} igual à tensão no terminal de fonte (V_{GS}). Baixos valores de V_{TH} se baseiam em uma dopagem de plano de terra similar à dopagem de fonte e dreno e uma tensão de substrato igual à tensão de alimentação (V_{GB}=V_{DD}). Finalmente, os valores padrão podem ser alcançados por meio de três opções diferentes: planos de terra similares com V_{GB}=0, planos de terra opostos com V_{GB}=V_{DD} e sem a implementação do plano de terra (32).

Essa capacidade tem o objetivo de aumentar a velocidade dos circuitos mas sempre mantendo um baixo consumo de potência. Normalmente os valores de alto V_{TH} são utilizados para manter uma baixa corrente de fuga no dispositivo e os valores de baixo V_{TH} são usados para aumentar a velocidade do mesmo (32).

A Figura 8 mostra o gráfico da tensão de limiar V_{TH} em função da espessura do óxido enterrado (t_{BOX}) para transistores do tipo N e do tipo P (33). Pode-se observar que a diferença mais aparente ocorre para espessuras de BOX menores do que 30 nm.

Figura 8 - Gráfico de diferentes tensões de limiar atingidas



Fonte: Autor "Adaptado de" (33)

2.3.2 Efeito de corpo e fator de corpo

Na seção a seguir será mostrada a definição do efeito de corpo para transistores SOI convencionais e para UTBBs.

2.3.2.1 Efeito de Corpo em Transistores de tecnologia SOI

Em um transistor do tipo *Bulk*, o efeito de corpo é definido como sendo a dependência da tensão de limiar com a polarização de substrato (34). Quando o substrato é polarizado, a tensão de limiar é definida pela equação 10:

$$V_{TH}(V_{BS}) = \frac{\sqrt{2.q.\varepsilon_{Si}.N_A.(2\phi_F+|V_{BS}|)}}{C_{Ox}} + 2\phi_F + V_{FB} \tag{10}$$

onde V_{BS} é a tensão aplicada ao substrato. Ao subtrairmos as expressões que definem $V_{TH}(V_{BS})$ e $V_{TH}(V_{BS}=0)$ temos que:

$$V_{TH}(V_{BS}) - V_{TH}(V_{BS}=0) = \gamma(\sqrt{(2\phi_F + |V_{BS}|)} - \sqrt{2\phi_F}) \tag{11}$$

onde γ é definida como sendo a constante de efeito de corpo, tal constante é calculada pela expressão 12:

$$\gamma = \frac{\sqrt{2.q.\varepsilon_{Si}.N_A}}{C_{Ox}} \tag{12}$$

Geralmente o valor desta constante varia entre 0,3 até 1,0 $V^{1/2}$ (34).

Nos transistores do tipo SOI parcialmente depletados (PDSOI) com contato de corpo, o efeito de corpo é similarmente definido como sendo a dependência da tensão de limiar com a polarização da segunda interface e é idêntico ao transistor *Bulk* (35), portanto é definido como na equação 12. Caso não ocorra o contato de corpo, o potencial de corpo será determinado por efeitos capacitivos e correntes através das junções PN, como por exemplo o efeito bipolar parasitário com corpo flutuante (35).

Em transistores do tipo FDSOI, o efeito de corpo (dependência de V_{TH1} com V_{G2}) pode ser determinado como sendo a derivada das expressões que definem $V_{TH1,acc2}$, $V_{TH1,inv2}$, $V_{TH1,Depl2}$ em relação à V_{G2}, como proposto a seguir, respectivamente em 13, 14, 15:

$$\frac{d(V_{TH1,acc2})}{dV_{G2}} = 0 \tag{13}$$

$$\frac{d(V_{TH1,inv2})}{dV_{G2}} = 0 \tag{14}$$

$$\frac{d(V_{TH1,depl2})}{dV_{G2}} = -\frac{C_{Si}.C_{BOX}}{C_{ox}.(C_{Si}+C_{BOX})} = \frac{-\varepsilon_{Si}.C_{BOX}}{C_{ox}.(t_{Si}.C_{BOX}+\varepsilon_{Si})} = \gamma \tag{15}$$

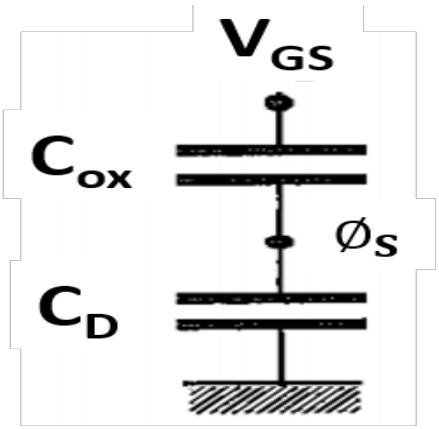
O fator γ nos transistores SOI é adimensional, tendo apenas sentido análogo ao da tecnologia MOS convencional.

2.3.2.2 Fator de Corpo em Transistores de tecnologia SOI

O fator de corpo é a grandeza que representa o acoplamento capacitivo entre as regiões de porta, a primeira interface e o substrato, podendo ser representada pela associação de capacitores ilustrada na Figura 9, no caso de transistores *Bulk*, onde V_{GS} é a tensão de porta,

C_{OX} é a capacitância do óxido de porta, $Ø_S$ é o potencial de superfície e C_D é a capacitância de depleção do silício (34, 35).

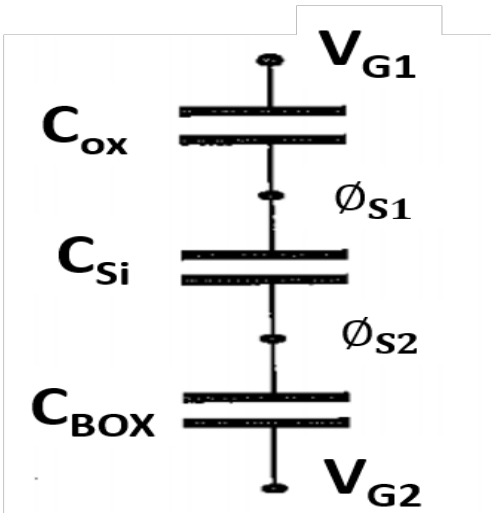
Figura 9 - Associação de capacitâncias de um transistor convencional



Fonte: Autor "Adaptado de" (34).

No caso de transistores em tecnologia SOI o fator de corpo pode ser representado pela associação de capacitâncias que é mostrado na Figura 10, onde $Ø_{S2}$ é o potencial de superfície da segunda interface, C_{BOX} é a capacitância do óxido enterrado e V_{G2} é a tensão aplicada ao terminal de substrato (35).

Figura 10 - Associação de Capacitâncias dos transistores FDSOI



Fonte: Autor "Adaptado de" (34)

O fato de transistores UTBB SOI serem dispositivos totalmente depletados, caracteriza os mesmos a terem um excelente efeito de corpo e consequentemente, um ótimo fator de corpo.

A constante do fator de corpo para um FDSOI com t_{Si} maior do que 20 nm pode ser reescrita, para a primeira interface, e definida segundo as equações 14 e 15 (36):

$$\alpha = \frac{t_{ox}}{t_{BOX}+\left(\frac{\varepsilon_{ox}}{\varepsilon_{Si}}\right).t_{Si}} \tag{14}$$

e

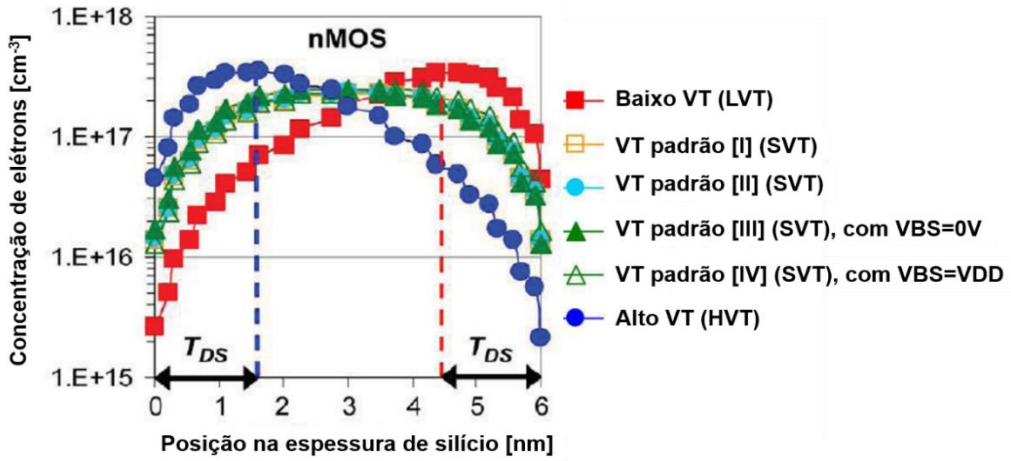
$$\alpha = \frac{t_{ox}+\left(\frac{\varepsilon_{ox}}{\varepsilon_{Si}}\right).t_{Si}}{t_{BOX}} \tag{15}$$

onde ε_{ox} representa a permissividade do óxido.

Como o efeito de corpo define a dependência que o potencial tem na camada de silício ($\emptyset_{Si}$) com a tensão aplicada ao substrato (V_{BS}), e o fator de corpo do dispositivo tem relação com o acoplamento capacitivo presente na estrutura, sabendo que este potencial está diretamente relacionado com a carga presente na camada de silício (Q_{Si}), é possível inferir que o efeito de corpo vai depender da distribuição de cargas ao longo da camada de silício. Com isso, a condução de corrente se inicia pela região da camada de silício com uma maior concentração de portadores, ou seja, um maior valor de Q_{Si} (37).

A Figura 11 mostra a concentração de elétrons em função da posição na espessura de silício de acordo com os diferentes valores da tensão de limiar (alto, baixo e padrão). A distância que existe entre a interface e o ponto de maior concentração de elétrons, também chamado de *dark space* e denotado por $T_{DS,}$ é induzida pelo efeito de confinamento quântico. Desta forma, quando o dispositivo encontra-se na condição de limiar onde V_{GS}=V_{TH}, os transistores com valor de V_{TH} padrão (*Standard* V_{TH}) possuem uma maior concentração de elétrons no centro da camada de silício, região esta onde se formará o canal (37).

Figura 11 - Concentração de elétrons em função da espessura de silício



Fonte: Autor "Adaptado de" (33)

Portanto, a expressão que define o fator de corpo (n) em transistores FDSOI pode ser reescrita para dispositivos UTBB, onde a formação do canal ocorre distante das interfaces como sendo:

$$n = 1 + \frac{t_{ox} + \frac{\varepsilon_{ox}}{\varepsilon_{Si}}(Y_{MEAN})}{t_{BOX} + \frac{\varepsilon_{ox}}{\varepsilon_{Si}}(t_{Si} - Y_{MEAN})} \tag{16}$$

onde $\frac{t_{ox} + \frac{\varepsilon_{ox}}{\varepsilon_{Si}}(Y_{MEAN})}{t_{BOX} + \frac{\varepsilon_{ox}}{\varepsilon_{Si}}(t_{Si} - Y_{MEAN})}$ representa a constante α, vista anteriormente e Y_{MEAN} representa o ponto médio da concentração de elétrons no canal.

Por definição, Y_{MEAN} é a posição vertical da camada de silício onde está localizado o baricentro da carga Q_{Si}, isto é, o ponto médio onde há a maior concentração de elétrons e consequentemente a formação do canal de condução. Matematicamente ele é representado pela equação 17 (10, 11) como:

$$Y_{MEAN} = \frac{\int_0^{tsi}(y.eC)dy}{\int_0^{tsi}(eC)dy} \tag{17}$$

na qual y é a posição vertical ao longo de t_{Si} e eC é a concentração de elétrons no centro do canal.

Cabe ressaltar que Y_{MEAN} pode ser calculado de diferentes formas quando temos diferentes valores de V_{TH}, são eles: $Y_{MEAN} = t_{Si} - T_{DS}$ para transistores LV_{TH}, $Y_{MEAN} = T_{DS}$ para transistores HV_{TH} e $Y_{MEAN} = \frac{t_{Si}}{2}$ para transistores SV_{TH} (37).

2.3.3 Inclinação de Sublimiar (S)

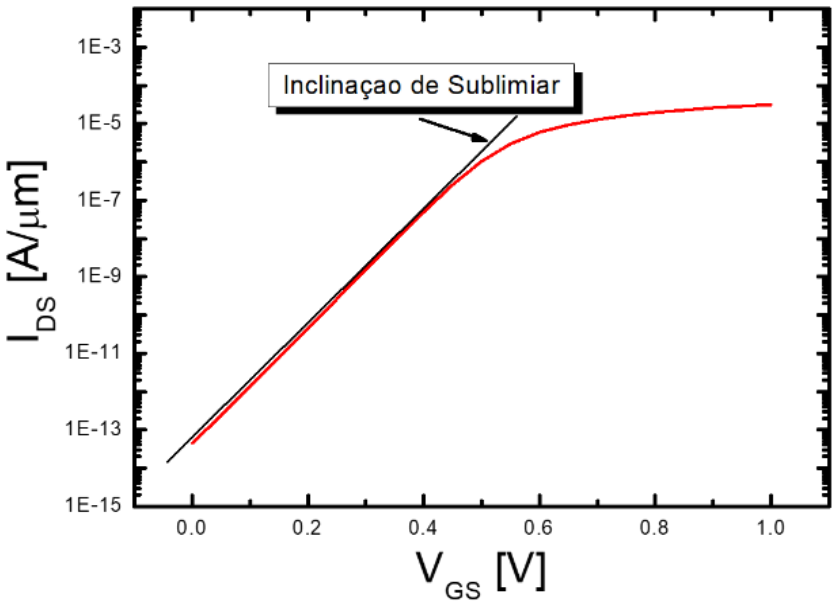
A inclinação de sublimiar pode ser definida como sendo a variação de tensão de porta em relação à variação de corrente, necessária para a passagem do estado desligado para o ligado do transistor.

Matematicamente ela é o inverso da inclinação de uma curva de corrente de dreno em função da tensão de porta (I_{DS}xV_{GS}) quando a mesma se encontra no regime de sublimiar. Normalmente é apresentada em um gráfico semi-logarítmico como pode-se observar através da Figura 12. A definição matemática para calcular a inclinação de sublimiar de um transistor SOI totalmente depletado é representada pela equação 18 (38):

$$S = \frac{k.T}{q} \ln(10) \, . \, n \tag{18}$$

O limite teório da inclinação de sublimiar para um transistor, em temperatura ambiente, é de 60 mV/déc, tal valor é assim representado quando *n* na equação 18 vale 1.

Figura 12 - Curva I_DxV_G que representa a inclinação de sublimiar



Fonte: Autor

Como o fator de corpo depende da constante de efeito de corpo α, esta pode assumir diferentes valores. Em relação a um transistor MOS convencional α é calculado através da equação 19 (38):

$$\alpha_{MOS} = \left(\frac{C_D}{C_{ox}}\right), \text{ na qual } C_D = \left(\frac{\varepsilon_{Si}}{x_{dmáx}}\right) \tag{19}$$

Em transistores FDSOI, α pode ser representado em relação à condição da segunda interface, o mesmo é descrito pela equação 20 para a condição de acumulação (38):

$$\alpha_{SOI,acc2} = \left(\frac{C_{Si}}{C_{ox}}\right) \tag{20}$$

e representado pela equação 21 para a condição de depleção (38):

$$\alpha_{SOI,depl2} = \left(\frac{C_{Si}.C_{BOX}}{C_{ox}(C_{Si}+C_{BOX})}\right) \tag{21}$$

Como o fator de corpo está relacionado com a associação equivalente de capacitâncias do dispositivo, sabe-se que transistores SOI totalmente depletados possuem um menor fator de corpo em relação a transistores convencionais e transistores SOI com a segunda interface em acumulação. Pode-se notar isso através das equações 19, 20 e 21, nas quais é possível perceber que $\alpha_{SOI,depl2} < \alpha_{MOS} < \alpha_{SOI,acc2}$ (38).

Portanto, transistores totalmente depletados apresentam uma menor inclinação de sublimiar. Isso torna os dispositivos FDSOI mais eficientes, pois quanto menor o valor da inclinação de sublimiar, mais eficiente e rápido é o chaveamento do dispositivo a partir do estado desligado até que este atinja o estado ligado (38).

O comportamento da inclinação de sublimiar em transistores UTBB SOI irá depender do acoplamento capacitivo entre a camada de silício e o óxido enterrado por serem dispositivos FDSOI planares, a menos de algumas particularidades (39). Geralmente, pelo fato de UTBBs terem um menor t_{BOX}, eles possuem uma inclinação de sublimiar em torno de 70 mV/déc (39).

2.3.4 Corrente de dreno (I_{DS})

A corrente que flui entre o dreno e a fonte de um transistor PDSOI é idêntica à de um MOS convencional a menos do surgimento de dois efeitos parasitários, o "*kink effect*" que é o efeito de elevação abrupta de I_{DS}, a partir de um dado V_{DS}, e o efeito bipolar, também chamado de "*parasitic bipolar effect*", no qual o transistor bipolar parasitário presente na estrutura MOS causa anomalias na inclinação de sublimiar e redução na tensão de ruptura do transistor (40).

A partir destas considerações, pode-se chegar à equação 22 para a região de operação em triodo e na equação 23 para a região de operação em saturação (41):

$$I_{DS} = \mu_n . C_{ox} . \frac{W}{L} \left[(V_G - V_{TH}) . V_{DS} - n . \left(\frac{{V_{DS}}^2}{2} \right) \right] \tag{22}$$

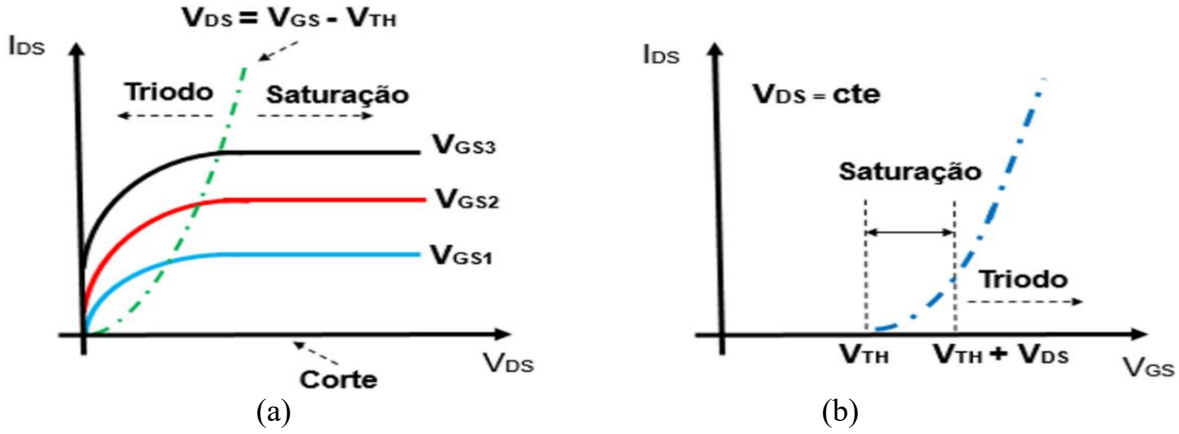
$$I_{DS} = \mu_n . C_{ox} . \frac{W}{L} \left[\frac{(V_G - V_{TH})^2}{2.n} \right] \tag{23}$$

onde μ_n é a mobilidade dos elétrons, W é a largura do canal e L é o comprimento do canal.

A Figura 13 (a) mostra as curvas da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}) com diferentes polarizações de porta para representar deste modo as regiões de operação, (triodo, saturação e corte), do dispositivo.

A curva I_{DS} em função de V_{GS} representada pela Figura 13 (b) mostra as regiões de operação e também ilustra a extração da tensão de limiar (V_{TH}) para um valor constante de V_{DS} (41).

Figura 13 - Curvas I_DxV_D e I_DxV_G representando as regiões de operação de um transistor



Fonte: Autor "Adaptado de" (41)

Para um transistor FDSOI operando na região de triodo, a expressão que rege essa condição é dada também pela equação 22 (41).

Quando a região de operação muda para a saturação, a expressão é um pouco modificada, como pode-se notar através da expressão 24:

$$I_{DS} = \frac{\mu.W.C_{ox}}{L}\frac{(V_{G1}-V_{TH1})^2}{2.(1+\alpha)} \tag{24}$$

Como as expressões da corrente de dreno dependem da condição de polarização da segunda interface, o fator determinante para identificar esta condição é a diferença no fator α, como visto nas equações 20 e 21 (41).

2.3.5 Efeitos de canal curto

Os chamados SCE (*Short Channel Effects*) ou efeitos de canal curto ocorrem nos transistores devido à perda de parte do controle das cargas presentes no canal pelo eletrodo de porta do dispositivo (42).

Quando o comprimento de canal (L) dos transistores é reduzido, ocorre uma aproximação das junções da fonte e do dreno. À medida que essas junções vão se aproximando, as regiões de depleção oriundas das junções fonte-canal e dreno-canal, passam a ocupar uma parte significativa da região de depleção sob a porta. Deste modo, a carga de depleção da região abaixo do canal, que deveria ser integralmente controlada pela porta, passa a ser parcialmente controlada pelas regiões de depleção de fonte e dreno (42).

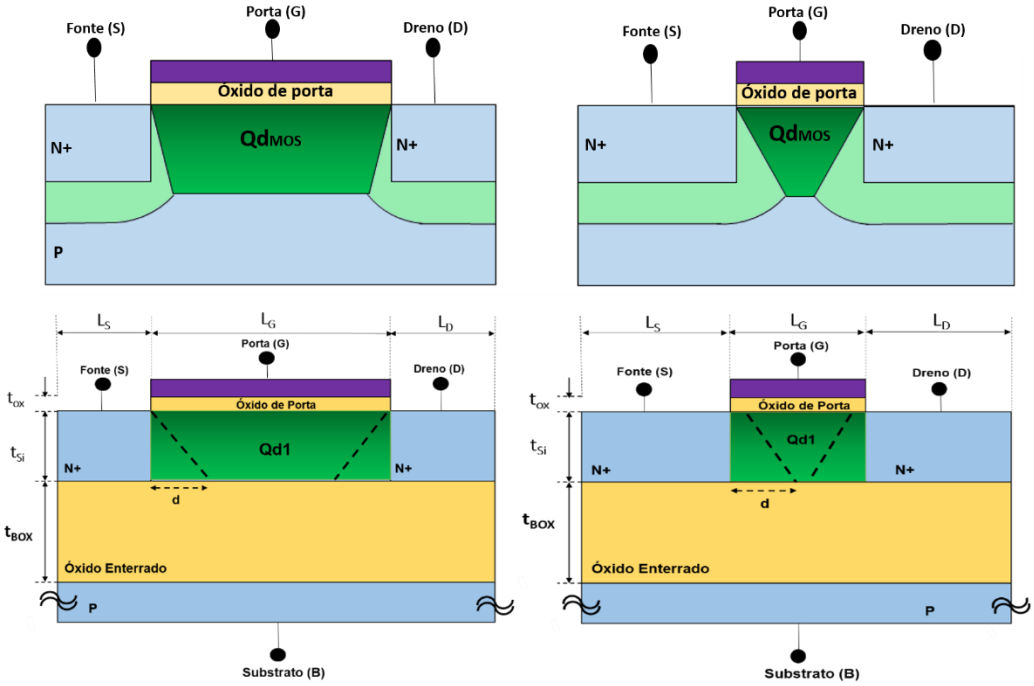
A perda mencionada influencia o bom funcionamento do dispositivo, fazendo com que ocorram efeitos indesejáveis, tal como a redução da tensão de limiar, a corrente de perfuração MOS (*punch-through*) e o surgimento dos chamados elétrons quentes (*hot carriers*), que não são levados em consideração nos modelos que descrevem o comportamento normal dos dispositivos (43).

A partir da equação 2 que define o valor da tensão de limiar, pode-se observar que ela depende diretamente da carga fixa presente no silício, ou seja, da carga de depleção. A carga fixa no silício, ou de depleção, é representada por Q_{d1} na Figura 14 (a) onde representa-se um dispositivo *Bulk* e um dispositivo SOI de canal longo, sendo L_S, L_G e L_D os comprimentos de

fonte, porta e dreno respectivamente, o comprimento de porta é considerado igual ao do canal (43).

Como pode ser observado, a carga sofre pouca influência das regiões de depleção da fonte e do dreno (44). Porém quando diminui-se o comprimento do canal, verifica-se uma maior influência destas regiões na carga controlada pela porta, como é representado através da Figura 14 (b) em dispositivos *Bulk* e SOI de canal curto:

Figura 14 - Perfil de carga em: (a) MOS convencional de canal longo e canal curto e (b) FDSOI de canal longo e canal curto



Fonte: Autor "Adaptado de" (44)

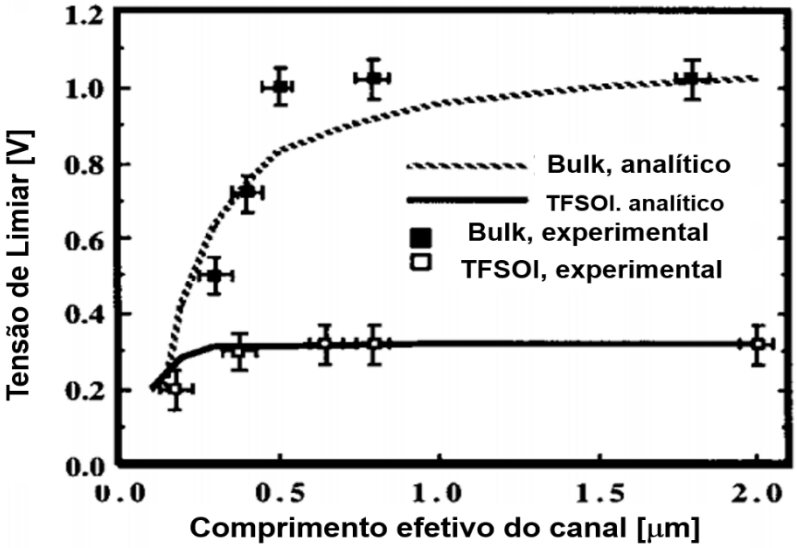
Ao analisar a carga controlada pela porta em um transistor totalmente depletado (FDSOI), obtém-se a expressão 25:

$$Q_D = Q_{Depl,SOI}.\left(1 - \frac{d}{L}\right) \tag{25}$$

onde Q_{Depl} é a carga de depleção de um FDSOI definida por $q.N_A.t_{Si}$. É possível notar que neste tipo de transistor, as cargas controladas pela porta dependem apenas da razão entre d e L, o que torna os dispositivos construídos nesta tecnologia menos susceptíveis aos efeitos de canal curto ao comparar com a tecnologia MOS convencional que depende da profundidade da junção (r_j) e da máxima camada de depleção ($d_{máx}$) (42).

Para exemplificar a redução da tensão de limiar quando dispositivos de diferentes tecnologias sofrem de efeitos de canal curto é mostrada a Figura 15, que representa o gráfico da tensão de limiar em função do comprimento efetivo de canal para diferentes tecnologias MOS, na qual é possível notar que para os transistores FDSOI só ocorre redução em V_{TH} para comprimentos de canal abaixo de 250 nm, já na tecnologia MOSFET convencional essa redução ocorre logo em comprimentos de aproximadamente 400 nm (43).

Figura 15 - Redução da tensão de limiar com os SCE



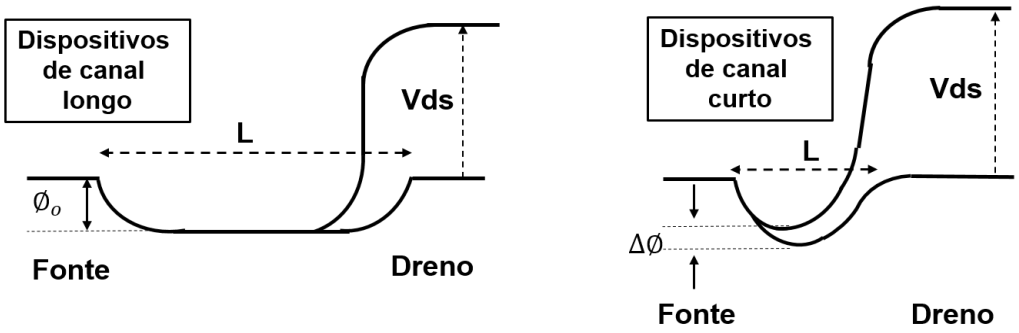
Fonte: Autor "Adaptado de" (44)

Cabe lembrar que estes valores de comprimento de canal nos quais ocorre a redução aqui mencionada são válidos apenas para os dados da figura, de forma a exemplificar os efeitos de canal curto na tensão de limiar e não uma generalização.

Um outro efeito importante que ocorre nos dispositivos em relação a redução do comprimento de canal é o chamado DIBL (*Drain Induced Barrier Lowering*), que é uma redução na barreira de potencial entre o canal e a fonte induzida pelo dreno, ou seja, o quanto a tensão que é aplicada ao dreno pode influenciar a distribuição do potencial na região do canal (44), como pode-se observar na Figura 16.

Quando a tensão aplicada ao dreno é aumentada, as regiões de depleção entre a fonte e o dreno de transistores de canal curto passam a interagir. Desta forma o aumento de V_{DS} pode causar uma redução na barreira de potencial junto à fonte.

Figura 16 - Representação do DIBL em dispositivos de canal longo e canal curto



Fonte: Autor "Adaptado de" (44)

Portanto, a redução na barreira de potencial faz com que a tensão de limiar sofra uma redução com o aumento de V_{DS}, deste modo, transistores SOI totalmente depletados apresentam DIBL reduzido em relação à transistores MOS convencionais (45).

2.3.6 Efeitos quânticos

Para espessuras de camada de silício (t_{Si}) menores do que 10 nm a teoria clássica de transporte de cargas e os modos de operação de dispositivos em tecnologia SOI não são suficientemente precisos. Portanto, devem ser considerados os denominados efeitos quânticos (*Quantum Effects*) ao longo do canal e da profundidade (46).

Os resultados do confinamento de elétrons na formação das subbandas de energia e na distribuição deles no filme de silício podem ser significativamente diferentes do que é previsto na teoria clássica. Em particular, as camadas de inversão não precisam necessariamente estar localizadas na superfície do filme de silício, mas podem ao invés disso, serem encontradas na profundidade total do mesmo, dando origem à inversão de volume (46).

2.3.6.1 Inversão de volume

A inversão de volume é um fenômeno que aparece em filmes muito finos de transistores SOI de múltiplas portas devido ao fato de que os portadores de inversão não estão concentrados próximos à interface do silício/óxido de silício, como é previsto em dispositivos que levam em consideração a física clássica, mas ao invés disso, mais afastado da interface, normalmente próximo ao centro de t_{Si}.

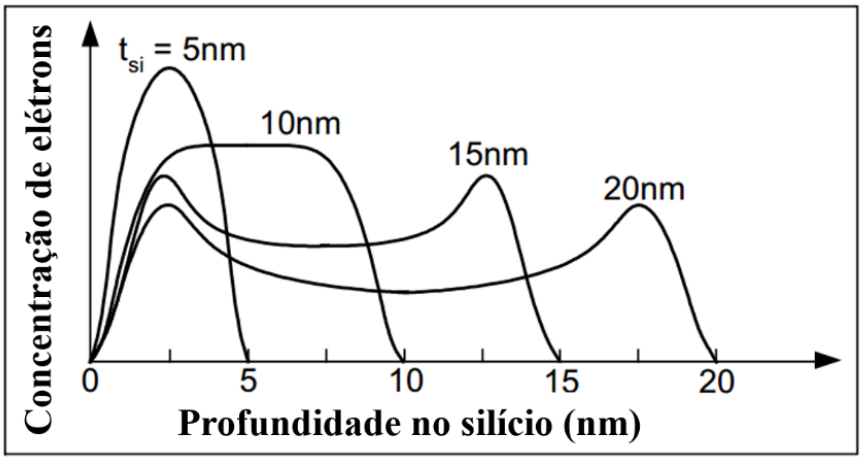
Normalmente o resultado destes efeitos é a alta concentração de elétrons no centro da camada de silício, o que corresponde então à inversão de volume. Uma consequência direta disso é o aumento da mobilidade dos portadores de inversão em dispositivos finos, pois como

a mobilidade depende da rugosidade do material e com o aumento no campo elétrico no centro do canal, ocorre uma facilidade na passagem dos elétrons por ali onde a rugosidade é praticamente nula, aumentando assim a mobilidade dos mesmos (47).

De forma a ilustrar a distribuição da concentração de elétrons ao longo de t_{Si}, tem-se a Figura 17 que mostra o perfil da concentração de elétrons para diferentes valores de espessuras da camada de silício (t_{Si}) num dispositivo de porta dupla (DG – MOSFET).

Pode-se observar, portanto, que para dispositivos ultrafinos, a concentração de elétrons é mais alta no centro de t_{Si} e próxima às regiões de porta no caso de dispositivos de porta dupla, demonstrando assim a necessidade de levar em consideração os efeitos quânticos nos mesmos (48).

Figura 17 - Perfil da concentração de elétrons em função de t_{Si}



Fonte: Autor "Adaptado de" (48)

2.3.6.2 Efeitos quânticos na tensão de limiar

A teoria clássica nos mostra que a tensão de limiar diminui em transistores totalmente depletados quando a espessura do filme de silício é reduzida. Assumindo que a concentração de dopantes N_A é mantida constante, isso ocorre devido à redução da carga de depleção $q.N_A.t_{Si}$. Quando t_{Si} é menor do que 10 nm, no entanto, a carga de depleção é muito pequena e pode normalmente ser desconsiderada. Por esta razão a teoria clássica não se aplica e torna-se necessário levarmos em consideração os efeitos quânticos na tensão de limiar (49).

A primeira contribuição desta teoria não-clássica vem do fato de que a concentração de portadores de inversão precisa ser maior, em relação à teoria clássica, no que se diz respeito a

alcançar a tensão de limiar, portanto o potencial elétrico na camada de silício costuma ser maior do que o já conhecido $(2.\emptyset_F)$ cerca de algumas dezenas de milivolts (50).

A segunda contribuição surge da divisão das bandas de energia em subbandas, o nível de energia mínimo que é preciso na banda de condução aumenta com a redução da espessura da camada de silício. Tal necessidade eleva a tensão de porta necessária para alcançar qualquer concentração de portadores de inversão, o que ocasiona um aumento na tensão de limiar (47, 48, 49, 50).

3 DENSIDADE DE CARGA DE INVERSÃO

Esta seção traz um aspecto importante sobre a base deste trabalho, a definição de densidade de carga de inversão analisada na condição de limiar (Q_{TH}). Além de modelos matemáticos existentes que servirão como base comparativa para futuras análises.

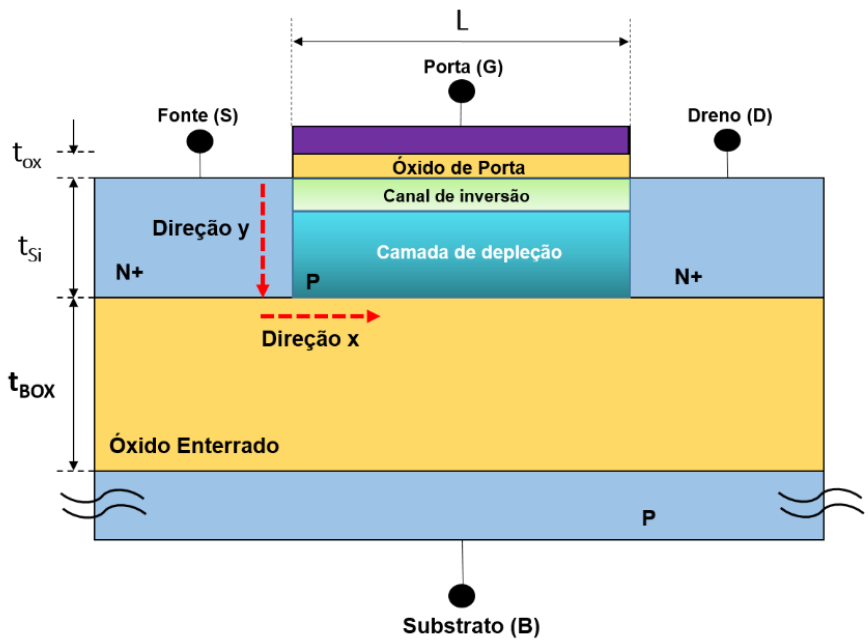
Q_{TH} é definida como sendo a quantidade de cargas presentes no momento em que o canal é formado, quando o transistor opera em regime de inversão e está no limiar da condução de corrente elétrica.

Para entender este aspecto, é essencial entender o processo de funcionamento do transistor, a formação do canal de inversão, bem como as cargas presentes no mesmo sob o regime de inversão do transistor.

3.1 FORMAÇÃO DO CANAL

Na Figura 18 são representadas a região da camada de depleção e do canal de inversão ao longo do comprimento L, nas direções x e y, de um transistor SOI canal N, os terminais de fonte (*source* – S), porta (*gate* – G), dreno (*drain* – D) e substrato (*substrate* – Sub) e o óxido enterrado (BOX). As regiões de fonte e dreno são dopadas com material N e a porta é dopada com material tipo P.

Figura 18 - Direção da formação do canal no transistor



Fonte: Autor

Os regimes básicos que um transistor pode assumir em relação ao seu funcionamento são três: modo acumulação, modo depleção e modo inversão. Os três serão descritos a seguir, salientando que o foco principal para o desenvolvimento desta pesquisa é o modo inversão e que as considerações são válidas para um transistor FDSOI de canal N (51).

3.1.1 Regime de acumulação

Considerando uma polarização negativa sendo aplicada ao eletrodo de metal enquanto o substrato está aterrado, a estrutura se comporta como um capacitor de placas paralelas, onde os dois eletrodos são o silício e o metal e o óxido é o material isolante entre eles.

A aplicação desta polarização traz um aumento de cargas negativas na porta, o que ocasiona uma carga de superfície no metal, localizada na interface entre o metal e o óxido. Tal carga é igual, porém com sinal contrário, e aparece na superfície do silício na interface entre o silício e o óxido. A carga no silício também pode ser considerada uma carga de superfície e sua espessura é de aproximadamente 10 nm, para esta fina camada de lacunas dá-se o nome de camada de acumulação (51).

3.1.2 Regime de depleção

Se uma pequena polarização positiva é aplicada na porta do transistor as lacunas que estão próximas à superfície de silício são repelidas pela porta, pois os dopantes aceitadores não

podem se mover na estrutura de silício, então uma carga negativa aparece embaixo do óxido de porta. Analogamente uma carga positiva de igual magnitude pode ser encontrada no eletrodo de porta na interface entre o metal e o óxido. A carga que está presente na porta é uma carga de superfície, mas a carga que está no silício é carga de depleção que se estende a uma profundidade que não é desprezível no silício (51). A profundidade de depleção é denotada por x_d e calculada conforme a equação 26:

$$x_d = \sqrt{\frac{2.\varepsilon_{Si}.\emptyset_S}{q.N_A}} \tag{26}$$

onde ε_{Si} é a permissividade do silício, $\emptyset_S$ é o potencial elétrico na superfície, q é a carga do elétron e N_A é a concentração de dopantes aceitadores. A carga de depleção é denotada por Q_{Depl}, calculada segundo as equações 7 e 8 já vistas anteriormente (51).

3.1.3 Regime de inversão

Caso seja aplicada uma tensão positiva maior na porta, o potencial de superfície continuará crescendo, a densidade de lacunas próximo à superfície diminui enquanto a densidade de elétrons aumenta, de acordo com as expressões 27 e 28 (52):

$$p(x = 0) = N_A.e^{-\left(\frac{q.\emptyset_S}{k.T}\right)} \tag{27}$$

$$n'(x = 0) = \frac{{n_i}^2}{N_A}.e^{\left(\frac{q.\emptyset_S}{k.T}\right)} \tag{28}$$

onde n' é a densidade de elétrons na banda de condução e p é de lacunas, e é calculada através das equações 29 e 30:

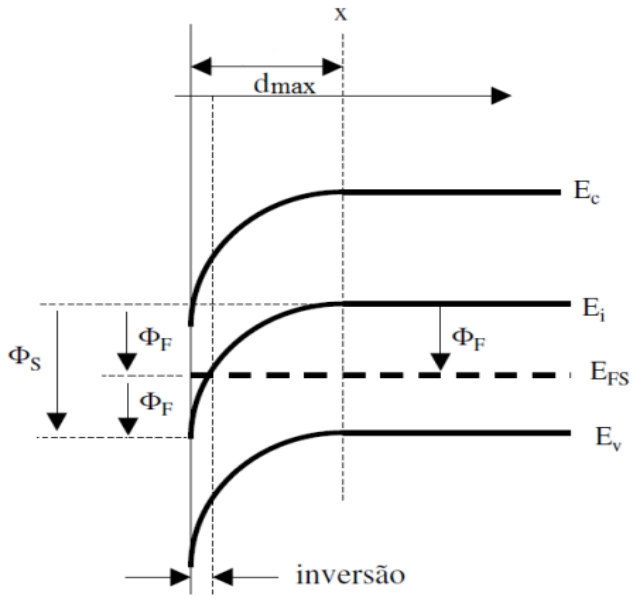
$$n' = n_i.e^{\left(\frac{E_F - E_i}{k.T}\right)} \tag{29}$$

$$p = n_i.e^{\left(\frac{E_i - E_F}{k.T}\right)} \tag{30}$$

onde k é a constante de Boltzman e T é a temperatura.

No caso da tensão de porta continuar crescendo além do aumento da concentração de elétrons na superfície até o momento em que a concentração de elétrons se tornar igual a concentração de dopantes N_A, ou seja, a tensão de porta será igual ou maior do que a tensão de limiar ($V_{GS} \geq V_{TH}$), tal que esta é originalmente a concentração no substrato, isso ocorrerá quando a curvatura do diagrama de bandas de energia na superfície colocar o nível intrínseco a uma distância de $\emptyset_F$ abaixo do nível energético de Fermi, ou seja, a banda de energia curva-se em duas vezes o potencial de fermi, tal que ($\emptyset_S = 2\emptyset_F$), é considerado então que nesta condição o transistor opera em regime de inversão (52), como pode ser observado na Figura 19 (52):

Figura 19 - Diagrama de bandas de energia no regime de inversão



Fonte: Autor "Adaptado de" (55)

Para a condição em que $\emptyset_F \leq \emptyset_S < 2\emptyset_F$, a concentração de elétrons é maior do que a concentração de lacunas, a superfície encontra-se em inversão fraca. Quando tem-se que a concentração de elétrons é muito maior do que duas vezes o potencial de fermi, é dito que o transistor opera em inversão forte ($\emptyset_S \geq 2\emptyset_F$) (52).

No momento em que a camada de inversão é formada no transistor, os elétrons estão ali presentes em grande quantidade, tornando portanto aquela região rica em elétrons que estão localizados, em transistores *bulk* convencionais, na superfície. Porém em transistores UTBB, devido ao seu t_{Si} e óxido enterrado serem ultrafinos, esta camada de inversão é formada, como mencionado anteriormente, numa posição mais próxima à metade da camada de silício, ou seja, no chamado Y_{MEAN} (52)

Quando esta camada se forma, caso ocorra qualquer aumento na tensão de porta (V_{GS}), sabe-se que a concentração dos elétrons na camada irá aumentar e uma grande quantidade de cargas será produzida, à estas cargas dá-se o nome de carga de inversão. Tais cargas são o foco principal deste trabalho, analisando assim, no limiar da inversão do canal onde (V_{GS}=V_{TH}), modelos analíticos e verificando qual o mais preciso para calcular a densidade destas cargas e analisando o comportamento delas em relação ao aumento da temperatura (52).

3.2 MODELOS DE CARGA DE INVERSÃO

Nesta seção serão mostrados alguns modelos de densidade de carga de inversão estudados, que servirão como base para as análises e adaptações mostradas mais adiante na seção de resultados. Cada modelo possui uma definição para a condição de limiar, sendo esta condição mencionada conforme a apresentação dos mesmos.

3.2.1 Modelo de Fasarakis

O modelo de Fasarakis (53) é um modelo de tensão de limiar (V_{TH}) para transistores MOSFETs UTBB que leva em consideração o efeito da polarização do substrato e que mostra o cálculo de DIBL como podendo ser feito através da diferença entre a tensão de limiar para tensões de dreno alta e baixa (V_D alto e V_D baixo).

Fasarakis define a condição de limiar como sendo aquela em que a tensão de porta V_{GS} é tal que, há uma mínima densidade de portadores de inversão para alcançar um determinado valor para que o estado ligado seja atingido, ou seja, quando o potencial de superfície é igual a duas vezes o potencial de fermi ($\emptyset_S = 2.\emptyset_F$). Segundo os estudos de Fasarakis, essa definição da condição de limiar é mais aplicável à este tipo de transistor, quando a extração de V_{TH} é feita através do método da corrente constante, comumente usado para extrair DIBL (53).

A equação que o modelo utiliza para a previsão da tensão de limiar, considerando a tensão de substrato igual a zero é dada por 31:

$$V_{TH} = V_{FB} + A_f \emptyset_t ln\left(\frac{Q_{TH}N_A}{n_i^2 t_{Si}}\right) - B_f\left[v_{bi} - \emptyset_t ln\left(\frac{Q_{TH}N_A}{n_i^2 t_{Si}}\right)\right]^{\frac{1}{2}}\left[v_{bi} + V_D - \emptyset_t ln\left(\frac{Q_{TH}N_A}{n_i^2 t_{Si}}\right)\right]^{\frac{1}{2}} \quad (31)$$

onde V_{FB} representa a tensão de faixa plana, $\emptyset_t$ é o potencial térmico definido como sendo $\left(\frac{k.T}{q}\right)$, v_{bi} é o potencial interno da junção e A_f e B_f são parâmetros dependentes das dimensões dos transistores definidos por 32 e 33 (53):

$$A_f = 8.e^{\left(\frac{2.L}{\lambda}\right)}.\sinh^2\left(\frac{L}{2.\lambda}\right).\frac{\left[1+\cosh\left(\frac{L}{\lambda}\right)\right]^{-2}}{\alpha.\left(e^{\frac{L}{\lambda}}-1\right)^4} \tag{32}$$

$$B_f = \frac{2.e^{\frac{L}{2.\lambda}}.\left(e^{\frac{L}{\lambda}}+1\right)}{\alpha.\left(e^{\frac{L}{\lambda}}-1\right)^2} \tag{33}$$

sendo α a constante de efeito de corpo e calculada segundo a equação 34:

$$\alpha = \frac{\varepsilon_{Si}.t_{Box}+\varepsilon_{Ox}.(t_{Si}-Y_{MEAN})}{\varepsilon_{Si}.(t_{Ox}+t_{Box})+\varepsilon_{Ox}.t_{Si}} \tag{34}$$

onde λ é o comprimento natural definido para um transistor FDSOI como sendo:

$$\lambda = \sqrt{\left(\frac{\varepsilon_{Si}}{\varepsilon_{Ox}}\right).t_{Ox}.t_{Si}} \tag{35}$$

Como o trabalho é baseado em um transistor UTBB, este comprimento é adaptado para o modelo através da consideração da influência do óxido enterrado e de Y_{MEAN}.

Por fim, o modelo traz uma equação que modela a carga de inversão na condição de limiar, onde tal condição é mencionada anteriormente, sendo expressa por 36 (53):

$$Q_{TH} = 7.10^{10}\left[1 + 8.V_D\left(\frac{\lambda}{L}\right) + 4.\left(\frac{t_{Ox}}{t_{Box}}\right)\right]^{-2} \tag{36}$$

3.2.2 Modelo de Hiblot

O modelo de Hiblot (54) propõe um modelo analítico de capacitância de porta em transistores de porta dupla (*Double-Gate*) onde há a distribuição de carga de inversão usando uma abordagem variacional para resolver as equações de Poisson-Schrödinger em função da

espessura da camada de silício t_{Si} e a densidade de elétrons, levando em consideração os efeitos quânticos em transistores MOSFETs de porta tripla (*Tri-gate*) (54).

Como o modelo leva em consideração os efeitos quânticos no cálculo da carga de inversão, é necessário compreender a nível energético o comportamento do primeiro nível da banda de energia, também chamado de E_{oT}, o qual é expresso por 37:

$$Eo_T = q.\left[\frac{[2.C_{Ox}.(v_{gs}-\emptyset_{S,inv})]}{2.C_{Si}}\right].\left[\frac{5}{4.\pi^2}+\frac{1}{6}\right] \tag{37}$$

sendo $\emptyset_{S,inv}$ o potencial elétrico entre a camada de inversão e a superfície no regime de inversão, q a carga elementar do elétron, C_{ox} é a capacitância do óxido, v_{gs} é a tensão da porta e C_{Si} é a capacitância do silício. De forma semelhante ao modelo estudado anteriormente, Hiblot pode ser adaptado para a condição de limiar adotando que o potencial entre a superfície e a camada de inversão é praticamente duas vezes o potencial de Fermi (54).

O modelo de capacitância de porta para UTBB SOI MOSFETs é baseado no mesmo método que foi utilizado para os transistores MOSFETs de porta dupla (55) e assumindo que apenas uma única subbanda é ocupada, a densidade de carga de inversão pode ser expressa por 38 (54):

$$Q_{inv} = q.k.T\left(\frac{g.m_{DOS}}{\pi.h^2}\right) ln.\left(1+e^{\left(\frac{q.\phi_{S,inv}-Eo_T}{k.T}\right)}\right) \tag{38}$$

onde g é a degeneração de vale e para este estudo é igual a 1, h é a constante de Planck e m_{DOS} representa a massa efetiva da densidade de estados, a qual o modelo define como sendo um múltiplo de 0,048 da massa do elétron (54).

Finalmente, após algumas simplificações que levam em consideração os parâmetros físicos do material utilizado pelo modelo em sua análise que é o arseneto de índio e gálio ($In_{0.53}Ga_{0.47}As$) e a degeneração de vale nas estatísticas de Fermi-Dirac, a equação que modela a densidade de cargas de inversão neste modelo, considerando os efeitos quânticos, é dada por 39 (54):

$$Q_{thH,T} = \left(\frac{q^2.mr}{\pi.h^2}\right).\left[\emptyset_{S,inv} - \left(\frac{Eo_T}{q}\right)\right] \quad (39)$$

sendo *mr* também um múltiplo de 0,048 da massa do elétron que representa a degeneração de vale.

Como é possível perceber, o modelo depende de forma inversa da temperatura devido ao expoente negativo na equação 38 e de forma direta da tensão de porta, a qual será adotada neste trabalho como sendo igual à tensão de limiar (V_{GS}=V_{TH}), sendo V_{TH} inversamente proporcional à temperatura conforme definições anteriores, portanto, mesmo este modelo levando em consideração os efeitos quânticos, ele é inversamente proporcional à temperatura (54).

3.2.3 Modelo de Rudenko

O modelo proposto no estudo de Rudenko (55) analisa o comportamento do acoplamento de porta em estruturas SOI MOSFETs com filmes de silício e dielétricos de porta ultrafinos, levando em consideração os efeitos quânticos.

Este acoplamento de cargas entre a porta e o substrato é uma propriedade fundamental de qualquer transistor em tecnologia SOI totalmente depletada, o que mostra a dependência das características do dielétrico na interface entre t_{Si}/dielétrico nas cargas da interface oposta e na polarização oposta à porta (55).

De forma tradicional o acoplamento entre porta e substrato para dispositivos em tecnologia SOI é descrito pelo modelo clássico de Lim e Fossum, porém no caso de estruturas SOI com filmes de silício ultrafinos foram observadas algumas diferenças vindas deste modelo.

O modelo de Rudenko analisa o acoplamento de porta em estruturas SOI MOSFETs com filmes de silício e dielétricos ultrafinos, levando em consideração os efeitos quânticos (55).

As características de acoplamento em transistores com estruturas avançadas, como as dependências das tensões na primeira e segunda porta com a tensão aplicada ao substrato, apresentam uma maior inclinação na região linear do que é previsto no modelo de Lim e Fossum (56).

A condição de limiar neste modelo é aquela na qual define-se tensão de limiar através do ponto máximo da segunda derivada da carga de inversão em relação à tensão de porta (d^2Q_{inv} /dV_{GS}^2). Essa definição carateriza uma transição gradual entre a inversão fraca e a inversão forte (56).

Neste estudo, para extrair a tensão de limiar foi utilizado neste estudo o método em que é extraído o valor máximo da derivada da capacitância entre porta e canal (*gate – to – channel capacitance* C_{gc}) em relação à tensão na primeira porta (V_{GS}) de acordo com a variação da tensão no substrato (V_{GB}). Este método de extração, segundo as análises, é praticamente o mesmo do que o da relação transcondutância/corrente (gm/I_{DS}) (56).

Com o objetivo de verificar as diferenças entre os efeitos eletrostáticos e os efeitos quânticos, foi proposto um modelo analítico que leva em consideração esses efeitos. Este modelo teve resultados satisfatórios ao comparar simulações com testes experimentais.

A equação presente no modelo depende do valor do fator de corpo para um transistor FDSOI com a segunda interface em depleção, expresso pela equação 40 que é obtida através da manipulação matemática da equação 16 (55):

$$n'_{FDSOI} = 1 + \frac{1}{C_{Ox}}\left(\frac{C_{Si}.C_{Box}}{(C_{Si}+C_{Box})}\right) \tag{40}$$

onde C_{Box} é a capacitância do óxido enterrado.

Finalmente, a equação matemática que expressa a carga de inversão na condição de limiar (Q_{TH}) para um transistor FDSOI é dada por 41 (55):

$$Q_{TH\ (FDSOI)} = n.\left[\frac{\left(\frac{k*T}{q}\right)*C_{OX}}{2*q}\right] \tag{41}$$

É possível notar que o modelo de Rudenko depende do fator de corpo e da temperatura de forma direta, mostrando assim sua proporcionalidade com essa grandeza, também cabe mencionar que para calcular a carga de inversão é necessário apenas inserir o valor do fator de corpo na equação, o que o torna mais simples em relação à complexidade matemática.

3.3 INFLUÊNCIA DA TEMPERATURA

Os dispositivos e circuitos em tecnologia SOI possuem algumas vantagens, que serão discutidas a seguir, em relação aos dispositivos *Bulk*, no que se diz respeito às aplicações que exigem operação em altas temperaturas, como por exemplo aviação ou automotivas.

As características mais comuns em relação à uma melhor operação em temperaturas acima de 300 ºC são a ausência do tiristor bipolar parasitário ativado termicamente, a redução

da corrente de fuga, e em dispositivos totalmente depletados com camada fina de silício, uma pequena variação da tensão de limiar com a temperatura (3).

3.3.1 Corrente de fuga

Uma das principais causas de falhas em circuitos operando em altas temperaturas é o aumento da corrente de fuga das junções dos dispositivos. Esta corrente é proporcional à área da junção PN, a componente mais importante em um transistor nestas condições pois é oriunda das grandes junções *well* (3). Elas causam a perda da funcionalidade em circuitos CMOS sob temperaturas acima de 180 ºC, porém em circuitos de tecnologia SOI, isso só acontece para temperaturas acima de 300 ºC (3).

A corrente de fuga das regiões PN reversamente polarizadas é dada pela expressão 42:

$$I_{fuga} = q.A\left(\frac{D_n}{\tau_n}\right)^{\frac{1}{2}}.\frac{{n_i}^2}{N_A} + q.A\left(\frac{n_i.W\prime}{\tau_e}\right) \tag{42}$$

onde A é a área da junção, Dn é o coeficiente de difusão dos elétrons, τ_n é o tempo de vida dos elétrons, W' é a largura de depleção e τ_e é o tempo de vida efetivo relacionado com o processo de geração térmica na região de depleção, dado por $\tau_e = \frac{(\tau_n+\tau_p)}{2}$ (3).

A dependência com a temperatura está relacionada com a concentração intrínseca dos portadores, que é expressa segundo a equação 43:

$$n_i = \sqrt{B.T^3.e^{\frac{-E_g}{k.T}}} \tag{43}$$

sendo B uma constante que depende do material e vale $5{,}4.10^{31}$ $K^{-3}.cm^{2/3}$ para o silício e Eg é a energia necessária para que um elétron passe da camada de valência para a camada de condução.

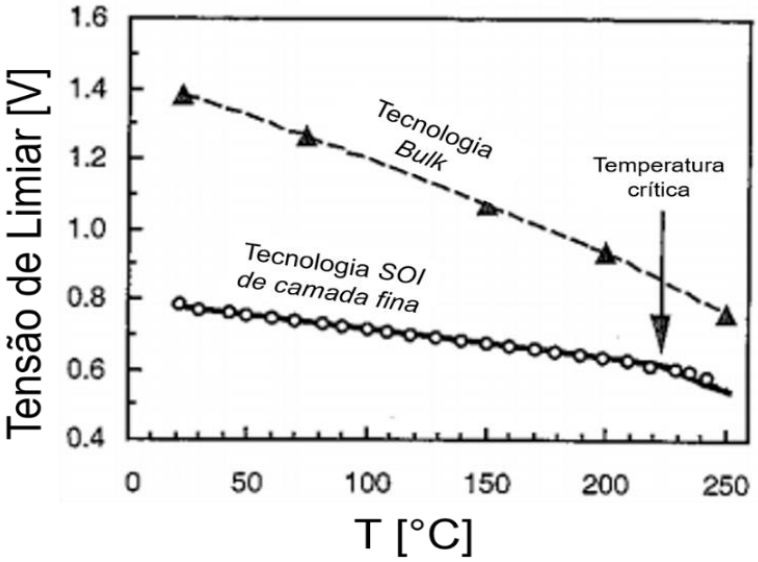
A partir destas condições é possível perceber que a corrente de fuga é diretamente proporcional à área e à n_i^2 no primeiro termo da equação 43 e ao produto da área com a largura de depleção da junção no segundo, isso mostra que ao elevar a temperatura, a corrente aumenta. Além de notar que a geometria da estrutura SOI favorece a uma menor corrente de fuga, devido à sua menor área de junção PN presente nas regiões de fonte e dreno em relação à tecnologia *Bulk* (3).

3.3.2 Tensão de limiar

Segundo as equações 1, 2, 3 e 4, referentes à máxima largura de depleção e à tensão de limiar em transistores *Bulk* e SOI parcialmente depletados, presentes nos ítens 2.1.1 e 2.3.1.1, a tensão de limiar depende do potencial de Fermi ($Ø_F$) e este é inversamente proporcional à concentração intrínseca dos portadores, causando assim uma redução na tensão de limiar de acordo com o aumento da temperatura, além do fato de transistores em tecnologia SOI possuirem uma tensão de limiar menor em relação aos MOSFETs convencionais, como pode ser observado na Figura 20 que mostra a tensão de limiar em função da temperatura para transistores *Bulk* e SOI (3).

Quando a temperatura é elevada em dispositivos com uma fina camada de silício, a concentração intrínseca de portadores aumenta e o potencial de fermi diminui. Isso causa uma diminuição na máxima largura de depleção $d_{máx}$ de tal maneira que o dispositivo não seja mais totalmente depletado acima de uma determinada temperatura crítica (T_k), tal que dmáx se torne muito menor do que t_{Si} efetivo, que é a espessura efetiva vista pelo topo da porta (3).

Figura 20 - V_{TH} em função da temperatura em transistores *Bulk* e SOI



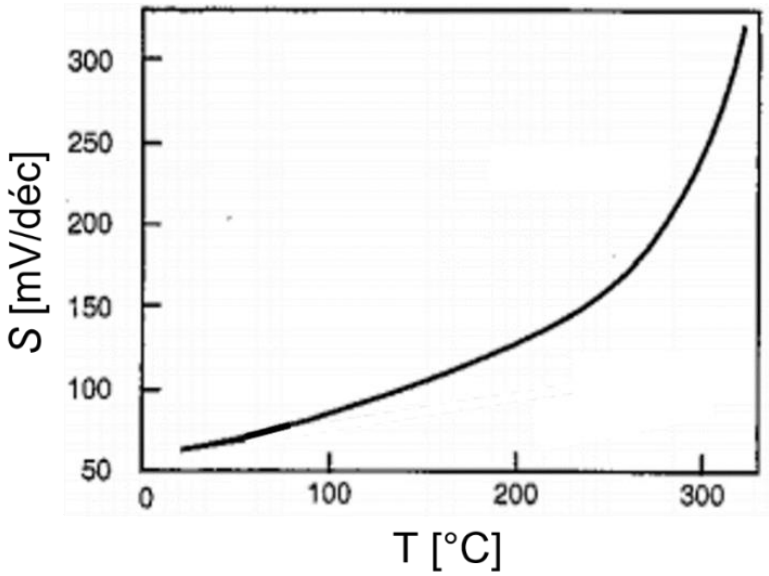
Fonte: Autor "Adaptado de" (3)

3.3.3 Inclinação de sublimiar

Conforme foi observado na seção 2.3.3, a inclinação de sublimiar é diretamente proporcional à temperatura, o que torna essa dependência bastante evidente. Quando o dispositivo é exposto à altas temperaturas, uma dependência não linerar pode ser observada na

Figura 21, que ilustra a inclinação de sublimiar em função da temperatura em um transistor FDSOI para exemplificar os efeitos da elevação da temperatura (3).

Figura 21 - Inclinação de sublimiar em função da temperatura



Fonte: Autor "Adaptado de" (3)

Quando a temperatura é maior do que 200 ºC, a carga devido aos portadores livres intrínsecos não é mais insignificante comparada à carga de depleção abaixo da porta e com isso o potencial de fermi é bastante reduzido, consequentemente, o campo elétrico da superfície diminui e a camada de inversão fraca é aumentada (3). Portanto, estes dois fatores contribuem para elevar a inclinação de sublimiar com os dispositivos operando em altas temperaturas (3).

3.3.4 Mobilidade

Nesta seção serão mencionados aspectos importantes sobre o efeito da alta temperatura na mobilidade dos portadores nos semicondutores.

É sabido que ao aplicar um campo elétrico em um semicondutor as lacunas se movimentam conforme o sentido do campo elétrico, já os elétrons movimentam-se no sentido contrário. Conhecida esta situação, todos os elétrons livres aceleram enquanto o campo elétrico continuar sendo aplicado, o que causa o aparecimento de uma corrente elétrica que cresce continuamente ao longo do tempo. Porém, sabe-se que uma corrente elétrica atinge um determinado valor constante no momento em que o campo é aplicado, indicando que há algum fenômeno que contrapõe a aceleração do elétron pelo campo elétrico, tal fenômeno denomina-se colisão entre portadores de cargas móveis (57).

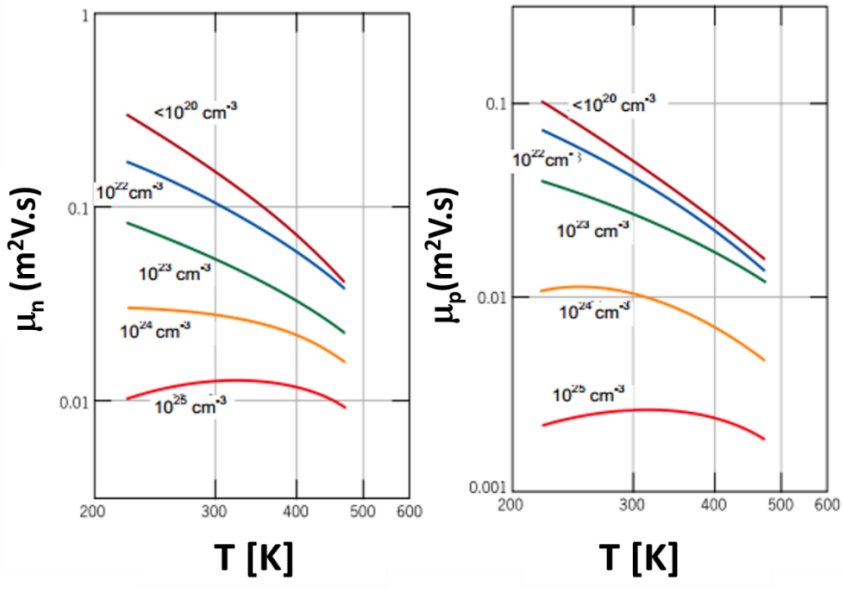
Estas colisões são resultado do espalhamento (scattering) dos elétrons devido as imperfeições existentes na rede cristalina, ou seja, são causadas por perturbações no potencial periódico da rede. O fenômeno de espalhamento é manifestado como uma resistência à passagem de corrente. O parâmetro mais usual para descrever este fenômeno é a mobilidade do portador (μ). Ela é uma indicação da frequência dos eventos de espalhamento (58).

Sabe-se que a energia térmica aumenta com a temperatura, enquanto a energia potencial de uma carga em torno de uma impureza ionizada é independente da temperatura. Desta forma, quanto maior a temperatura, a energia potencial relativa ao íon torna-se desprezível, quando comparada com a energia térmica do portador.

A mobilidade depende diretamente do tempo médio entre colisões dos portadores móveis e é inversamente proporcional a massa efetiva dos portadores. Portanto, como consequência destes efeitos acima mencionados, o portador tende a não sentir mais o efeito da impureza, aumentando, assim, o tempo médio entre as colisões das impurezas, sendo proporcional a $T^{3/2}$ (57, 58).

Na Figura 22, que ilustra as mobilidades do elétron e da lacuna no silício em função da temperatura, é possível observar que, para concentrações de dopantes iguais ou menores que 10^{24} cm^{-3}, tanto a mobilidade dos elétrons quanto das lacunas diminuem de acordo com o aumento da temperatura, pois prevalece o efeito de espalhamento térmico dos portadores. Tanto para elétrons quanto para lacunas, em níveis de dopante menores que 10^{20} cm^{-3}, a dependência da mobilidade em relação à temperatura é independente da concentração de impurezas doadoras ou aceitadoras.

Figura 22 - Gráficos da mobilidade do elétron e da lacuna no silício para diferentes concentrações de impurezas em função da temperatura



Fonte: Autor "Adaptado de" (57, 58)

4 METODOLOGIA E DESENVOLVIMENTO

São abordados os métodos utilizados para o desenvolvimento deste trabalho, tais como simulações e modos de extração de parâmetros importantes para a análise da densidade de cargas de inversão na condição de limiar (Q_{TH}).

4.1 SIMULAÇÃO

Nesta seção estão relacionados tópicos referentes às ferramentas de *software* utilizadas neste trabalho, juntamente com as principais configurações utilizadas.

4.1.1 Simulador numérico de dispositivos ATLAS

O simulador numérico de dispositivos ATLAS (59) é um programa de simulação numérica usado para simular o comportamento de transistores MOS, bipolares, e outros dispositivos semicondutores. Este programa possui modelos bidimensionais e tridimensionais para distribuição do potencial e concentração de portadores, podendo ser usado para prever o comportamento elétrico de um dispositivo para condições arbitrárias de polarização.

O simulador, entre outras, resolve as equações de Poisson e as equações de continuidade de corrente, tanto para elétrons como para lacunas, para analisar o comportamento elétrico destes dispositivos obedecendo a uma grade triangular não uniforme que permite modelar arbitrariamente a geometria dos dispositivos para uma superfície topográfica planar ou não.

Esta grade de nós pode ser refinada automaticamente durante o processo de solução. Nós adicionais e parâmetros como potencial ou concentração de impurezas podem ser inseridos ou variados conforme a especificação do usuário. Esta flexibilidade possibilita a criação de estruturas e dispositivos bastante complexos. Ele incorpora uma série de modelos físicos, incluindo modelos para recombinação, foto-geração, ionização por impacto, estreitamento das bandas de energia, tunelamento, mobilidade e tempo de vida dos portadores. Além de incorporar as estatísticas de Boltzmann e Fermi-Dirac, incluindo a ionização incompleta de impurezas com o objetivo de tornar os resultados mais precisos (59).

4.1.1.1 Características da simulação

Foram realizadas simulações com variação de temperatura desde 300 K até 425 K, as quais estão inclusos os modelos descritos a seguir.

O modelo físico de KLAASSEN que leva em consideração a influência da temperatura numa faixa de trabalho entre 70 K e 500 K, a concentração de dopantes e o espalhamento entre os portadores de carga.

O modelo de mobilidade SHIRAHATA que considera efeitos de *screening* na camada de inversão e a dependência com um campo elétrico perpendicular para óxidos de porta finos.

O modelo SRH (*Shockley – Read – Hall*) para recombinação de portadores com tempo de vida fixo, o modelo BGN para estreitamento da faixa proibida (*bandgap*) o qual leva em consideração as altas dopagens e a aproximação que elas causam entre os extremos das faixas de condução e de valência.

Por fim, o modelo QUANTUM que leva em consideração os efeitos quânticos, visto que o dispositivo é considerado extremamente fino quando fabricado com uma camada de silício (t_{Si}) menor do que 10 nm.

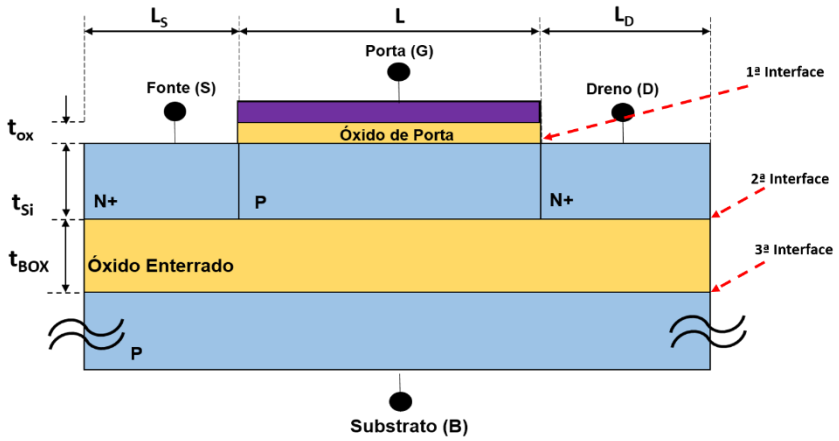
Cabe mencionar que todos os modelos físicos foram utilizados com os valores-padrão iniciais (*default*) dos parâmetros. O arquivo completo com a estrutura simulada em temperatura ambiente encontra-se no APÊNDICE A ao final deste trabalho.

4.1.1.2 Características do dispositivo simulado

Um corte transversal da estrutura do UTBB SOI MOSFET é mostrado na Figura 23, onde t_{ox} representa a espessura do óxido de porta, t_{Si} define a espessura da lâmina de silício, t_{BOX} mostra a espessura do óxido enterrado e neste caso nota-se que o mesmo é mais fino do que o óxido enterrado dos transistores SOI convencionais, V_{GS} é a tensão de porta, V_{BS} é a

tensão no substrato, L_S é o comprimento da região de fonte, L é o comprimento da região de canal e de porta e L_D é o comprimento da região de dreno.

Figura 23 - Estrutura de um UTBB SOI MOSFET



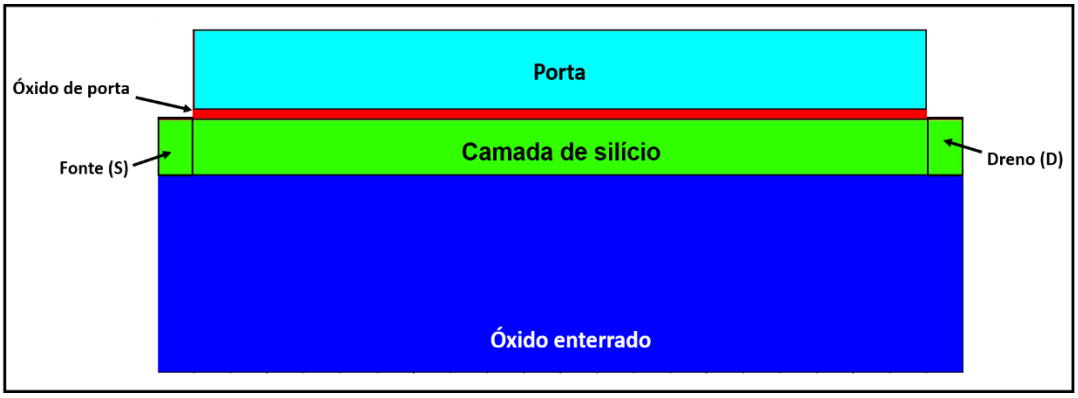
Fonte: Autor

O dispositivo simulado tem as características de nós de 28 nm da ST Microelectronics como é possível verificar a seguir: comprimento de canal variando de 100 até 500 nm, t_{Si} de 7 nm, t_{ox} de 1,3 nm, t_{BOX} de 25 nm, concentração de dopantes no canal (N_A) de 10^{15} cm^{-3}, além da região de fonte e dreno terem a concentração de dopantes (N_D) de 10^{20} cm^{-3}. Cabe mencionar que este dispositivo não tem o contato de ground plane (GP) devido ao fato de que os UTBBs estudados neste trabalho foram baseados em dispositivos com tensão de limiar padrão SV_{TH} (V_{TH} Standard), ou seja, sem a dopagem de plano de terra (GP).

Para esta análise do dispositivo em questão foram realizadas simulações com uma baixa polarização de dreno, adotando V_{DS} = 50 mV e mantendo o substrato em 0V e as tensões de porta variando desde 0 até 1V.

Na Figura 24 é ilustrada a estrutura simulada do dispositivo analisado de acordo com o arquivo de saída (*.str*) do simulador ATLAS, nela podem ser observadas as regiões de porta, fonte, dreno, canal, óxido de porta e o óxido enterrado.

Figura 24 - Estrutura UTBB simulada



Fonte: Autor

4.2 EXTRAÇÃO DE PARÂMETROS

Esta seção é dedicada a explicar como foram extraídos os principais parâmetros elétricos necessários para as análises da densidade de cargas e seus respectivos modelos analíticos. O objetivo é comparar valores simulados em relação à valores calculados analiticamente.

4.2.1 Extração da tensão de limiar

Segundo estudos realizados em (60), há duas maneiras de definir a condição de limiar para um transistor, sendo elas:

a) Através da igualdade entre as correntes de difusão e deriva;

b) Através da relação transcondutância/corrente.

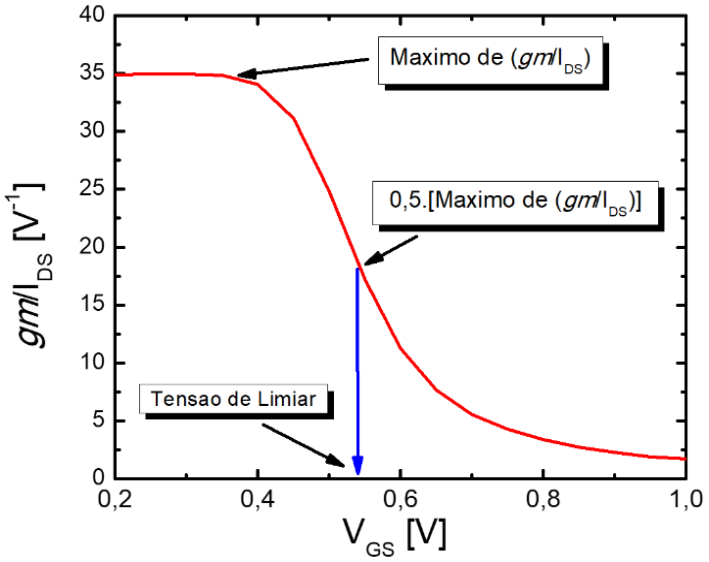
A diferença entre as duas definições é que na primeira, a medida da tensão de limiar depende apenas de como a carga do canal é dependente da tensão de porta (V_{GS}), sendo independente de como a mobilidade varia com o campo elétrico transversal, já na segunda, a medida de V_{TH} é dependente não apenas da variação da carga com V_{GS}, mas também com a dependência da mobilidade em relação ao campo elétrico.

Portanto, desconsiderando a variação de mobilidade dos elétrons, é escolhido o método (½ gm/I_{DS}) devido a sua definição de condição de limiar, na qual define o ponto da metade da curva da máxima relação de gm/I_{DS} correspondente à condição em que a corrente de deriva é igual a corrente de difusão, dessa forma há igualdade entre tais componentes, o que torna esse método bastante útil para extração de V_{TH} em transistores UTBB.

Para as análises que virão a seguir, os arquivos da estrutura foram salvos na condição de limiar (V_{GS}=V_{TH}).

A Figura 25 mostra a curva da derivada de ln de I_{DS} em função da tensão de porta (V_{GS}), da qual é extraída a tensão de limiar e o método utilizado para sua extração, que leva em consideração a metade da relação da transcondutância pela corrente de dreno (½ gm/I_{DS}) (60).

Figura 25 - Representação do método de extração da Tensão de Limiar



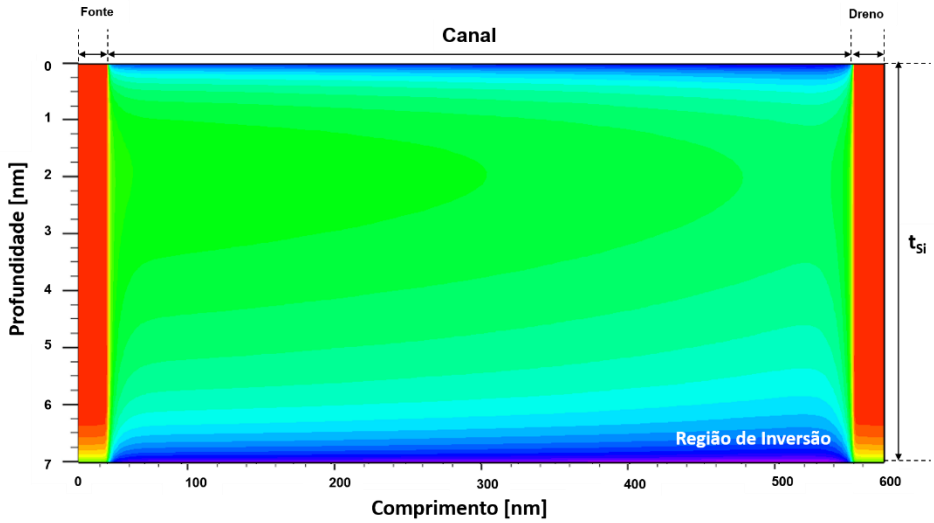
Fonte: Autor

4.2.2 Extração da densidade de carga de inversão

Nesta subseção é mostrado o método de extração da densidade de cargas de inversão feito por meio da extração da concentração de elétrons presente no canal do dispositivo.

A Figura 26 mostra a região ativa do dispositivo UTBB analisado e ilustra a concentração de elétrons presente no canal em duas dimensões, na condição de limiar e em temperatura de 300 K. O transistor analisado possui comprimento de canal de 500 nm e foi simulado com a primeira interface em regime de inversão e a segunda em depleção, na polarização de V_{GS}=V_{TH}, V_{DS} baixo de 50 mV e V_{SUB}= 0 V.

Figura 26 - Resultado da concentração de elétrons



Fonte: Autor

A concentração de elétrons foi utilizada como parâmetro básico para calcular a densidade total de cargas de inversão em t_{Si} e estimar a posição vertical em que o canal de inversão é formado

Com o objetivo de visualizar a distribuição da concentração de elétrons ao longo do canal em relação ao comprimento do mesmo e em relação à profundidade dele (t_{Si}) e saber onde estão localizados os maiores valores de concentração, foi realizado um tratamento de dados no *Software* MATLAB, desta forma foi possível observar de forma ampla a distribuição de cargas de inversão total, obtida através da simulação, no canal do transistor e analisar seu comportamento em relação à temperatura, para que os resultados que servirão como base para as futuras discussões sejam suficientemente válidos.

Chamado de *MATrix LABoratory,* o MATLAB (61) trata-se de um software matemático interativo de alto desempenho voltado para o cálculo numérico. Ele integra análise numérica, cálculo com matrizes, processamento de sinais e construção de gráficos em ambiente fácil de utilizar onde problemas e soluções são expressos através de uma linguagem matemática, ao contrário de uma programação tradicional (62).

Este tratamento de dados extrai os dados dos arquivos de estrutura simulados a partir do MATLAB na condição de limiar e com isso ilustra a distribuição da quantidade total de cargas no canal do UTBB, desde as regiões próximas à fonte e ao dreno, bem como sua distribuição ao longo de t_{Si}.

O código utilizado para este tratamento de dados encontra-se no APÊNDICE B e tem a função de ilustrar o valor total da concentração de elétrons no canal do transistor, bem como

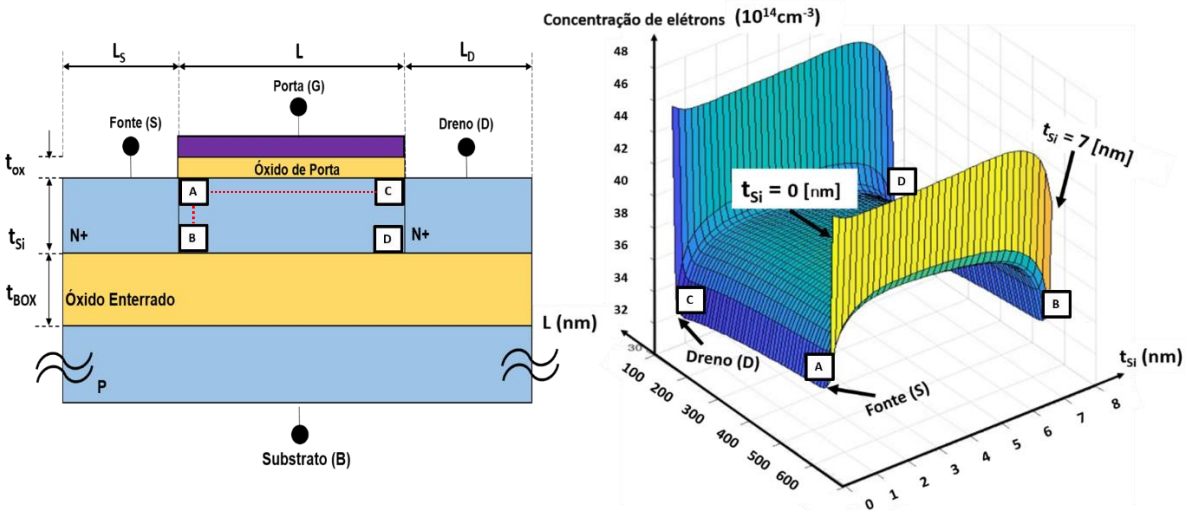
mostrar onde está localizado o valor máximo dessa concentração, realizando estas duas funções através da análise matemática de um arquivo de estrutura (*.str*), para isso ele deve abrir o arquivo de estrutura (*.str*), carregar todos os seus parâmetros, criar tabelas onde serão armazenadas estes parâmetros e em algumas delas armazenar dados referentes à grade da estrutura que foi criada; após isso ele separa as tabelas onde se encontram os dados mais importantes para estimar a concentração de elétrons, faz uma delimitação dos máximos e mínimos e da resolução da grade para que estas informações sejam exibidas em um gráfico em três dimensões que mostra a concentração de elétrons total no canal.

Conhecendo as regiões de maior concentração de elétrons, é possível com o auxílio de um código do simulador ATLAS que encontra-se no APÊNDICE C, calcular a integral de volume para estas regiões e com isso, estabelecer de modo preciso a concentração de elétrons total que está presente no canal de inversão e assim comparar de modo eficaz os dados extraídos com os dados calculados à partir da implementação dos modelos matemáticos estudados.

A Figura 27 mostra a representação da distribuição de cargas ao longo do canal do transistor, bem como na profundidade do mesmo. O eixo Z do gráfico representa a concentração de elétrons, nele é possível observar duas regiões de maior valor, tais regiões representam duas junções do disposivo, neste caso entre fonte e canal e entre canal e dreno. Sabe-se que a quantidade de cargas nestas interfaces costuma ser maior do que em outras regiões do dispositivo.

Os pontos A, B, C e D representam, no gráfico, as regiões que foram escolhidas para analisar a distribuição da concentração de elétrons. Entre os pontos A e B foi feita a análise da distribuição de cargas em relação à profundidade do canal. Nota-se que o segmento de reta $\overline{AB}$ ilustra, como visto na seção 2.3.6.1, uma distribuição de cargas que é maior numa região mais distante da primeira interface, mostrando desta forma uma característica da inversão de volume. Entre os pontos A e C foi realizado o estudo da densidade de cargas em relação ao comprimento.

Figura 27 - Concentração de elétrons total do canal mostrada pelo MATLAB



Fonte: Autor

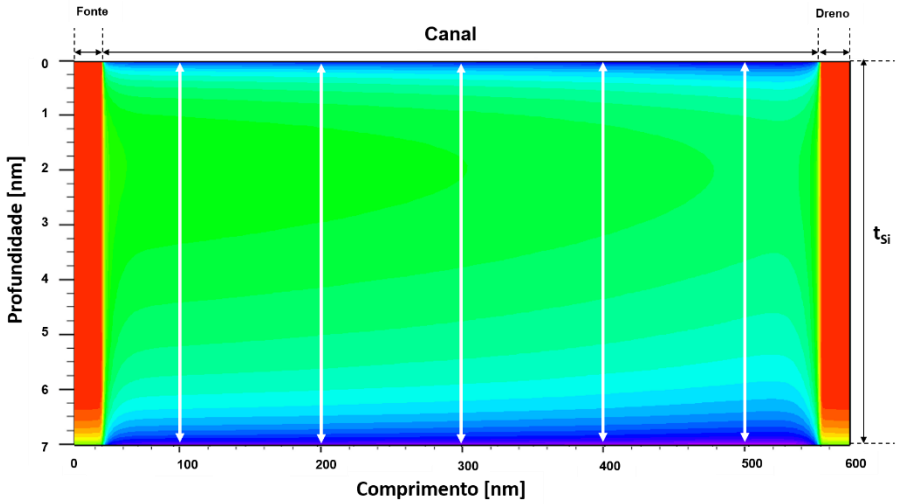
Para conhecer a quantidade total de cargas de inversão na camada de silício é preciso multiplicar o valor encontrado da concentração pela carga do elétron e sabendo que a densidade de carga total é a soma da densidade de cargas fixas com a densidade de cargas de inversão, ao calcular esta diferença o valor da densidade de cargas de inversão é obtido.

Com o objetivo de extrair apenas as cargas de inversão foram desconsideradas as cargas fixas no silício, como mencionado acima. Elas foram representadas pelos máximos valores localizados em y = 0 nm e y = 500 nm, ou seja, as extremidades do canal.

4.2.3 Extração da posição vertical do canal de inversão (Y_{MEAN})

O valor da posição vertical do canal de inversão, denominado neste trabalho por Y_{MEAN}, foi obtido extraindo-se a concentração de elétrons do arquivo de estrutura por meio de cortes feitos em diferentes posições do canal, como pode ser observado pelas linhas verticais na Figura 28.

Figura 28 - Representação do canal para extração de Y_{MEAN}

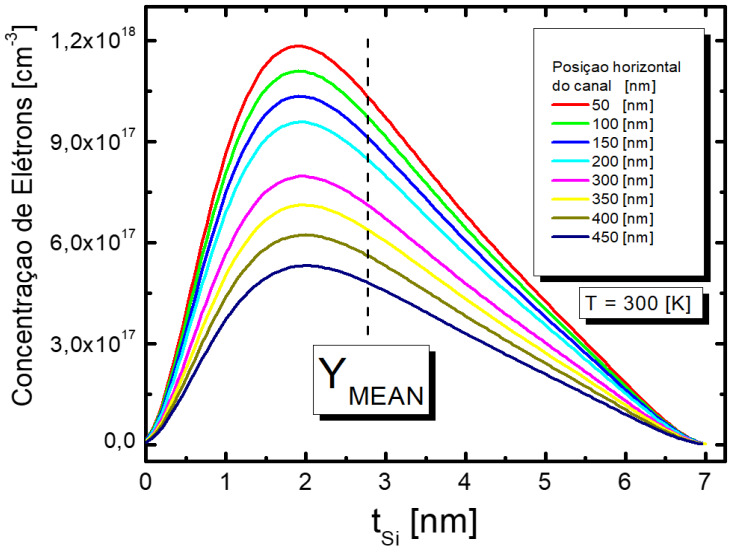


Fonte: Autor

Com o objetivo de adaptar o modelo de Y_{MEAN} anteriormente mencionado para diferentes temperaturas, esta grandeza foi adaptada por meio da extração da concentração de elétrons feita no centro do canal e em diferentes posições ao longo do mesmo.

A extração da concentração pode ser observada através da Figura 29, que representa as curvas da concentração de elétrons em função de t_{Si} com a variação da posição em x ao longo do canal para a temperatura constante de 300 K, além de mostrar onde está localizado o ponto médio da concentração de elétrons na distribuição de cargas (Y_{MEAN}). Pode-se notar que ao se aproximar do dreno, o valor máximo da concentração diminui e seu perfil torna-se mais distribuído ao longo de t_{Si}.

Figura 29 - Perfil da concentração em função de t_{Si}



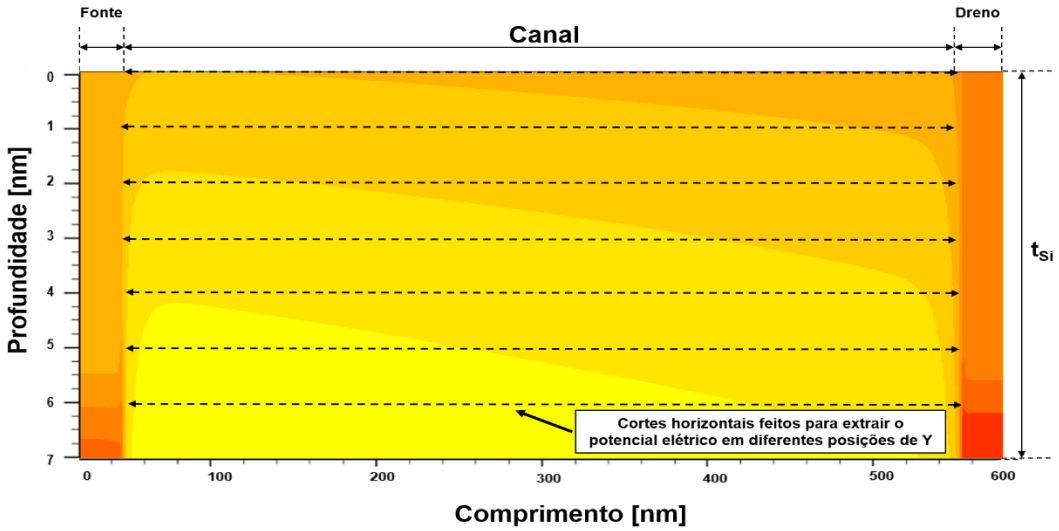
Fonte: Autor

É possível notar também que o maior valor de concentração encontra-se quase próximo ao centro de t_{Si} conforme mostrado na seção 2.3.6, onde são mencionados os efeitos quânticos aos quais o dispositivo é submetido. A concentração de elétrons aumenta de acordo com o incremento da temperatura pois ocorre um aumento na agitação das moléculas da estrutura, o que proporciona à rede cristalina uma maior energia disponível para excitar os elétrons da camada de valência para a camada de condução.

4.2.4 Extração do potencial elétrico

Com o objetivo de analisar a distribuição do potencial elétrico ao longo de t_{Si}, adaptar essa grandeza ao modelo analítico de Hiblot e estudar como a distribuição deste potencial pode ser influenciada pela temperatura, foram feitos cortes horizontais em diferentes posições da profundidade do canal com variação de 1 nm de distância, podendo ser observados na Figura 30:

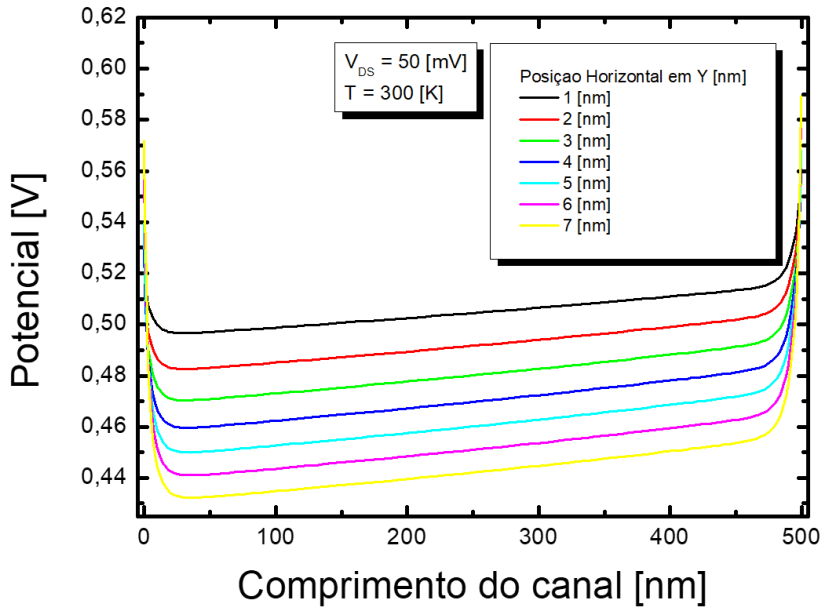
Figura 30 - Representação do canal para extração do potencial elétrico



Fonte: Autor

A Figura 31 mostra o gráfico do potencial elétrico em função do comprimento do canal extraído em diferentes posições de t_{Si} na temperatura de 300 K.

Figura 31 - Potencial elétrico em função do comprimento de canal



Fonte: Autor

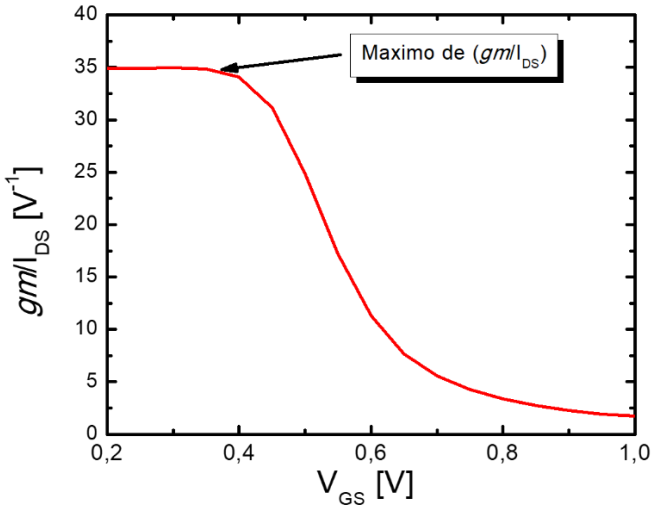
Nota-se que ao nos afastarmos da região de porta o potencial começa a diminuir, se mostrando menor em t_{Si} = 7 nm, o que mostra que o canal de condução deste dispositivo está localizado na região mais próxima entre a superfície e Y_{MEAN}.

4.2.5 Extração do fator de corpo e inclinação de sublimiar

A inclinação de sublimiar e consequentemente o fator de corpo, foram extraídos das simulações numéricas através do máximo valor da transcondutância, de modo semelhante à extração da tensão de limiar como é visto na Figura 25, mostrada anteriormente.

A partir da curva do logarítmo da corrente de dreno em função da tensão de porta ($\ln[I_{DS}]xV_{GS}$), calcula-se a derivada em relação à V_{GS} e plota-se o gráfico deste resultado, como pode ser observado na Figura 32 a seguir:

Figura 32 - gm/I_{DS} em função da tensão de porta



Fonte: Autor

Com este valor é feito um cálculo que o relaciona com a temperatura através do potencial térmico (k.T/q), obtendo assim o valor do fator de corpo, e por fim, com a equação 18 é possível calcular o valor da inclinação de sublimiar.

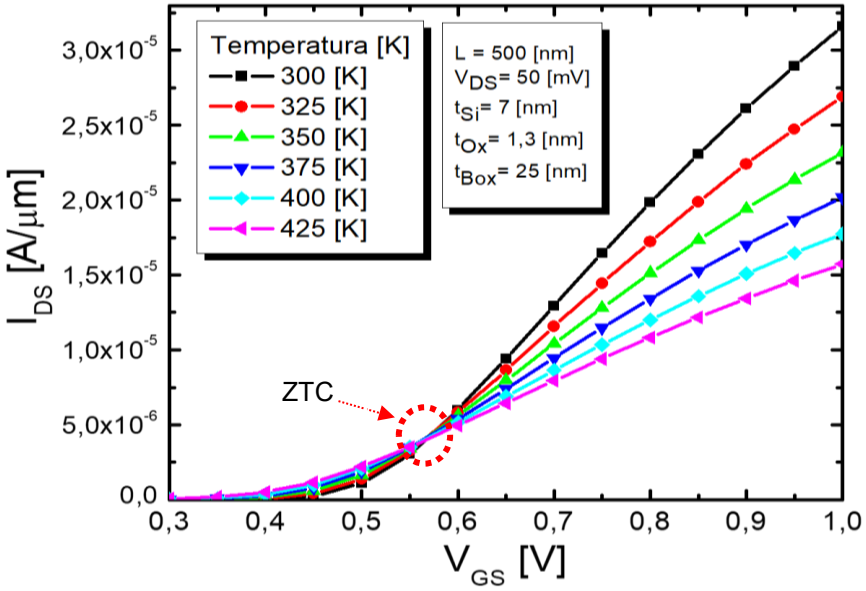
5 RESULTADOS OBTIDOS E DISCUSSÕES

Nesta seção serão mostrados os resultados obtidos ao longo desse trabalho, juntamente com as discussões do mesmo.

5.1 TENSÃO DE LIMIAR

A Figura 33 ilustra as curvas simuladas da corrente de dreno (I_{DS}) em função da tensão entre porta e fonte (V_{GS}) para diferentes temperaturas com o objetivo de extrair a tensão de limiar e o ponto invariante com a temperatura (ZTC - *Zero Temperature Coefficient*), a ser explicado adiante.

Figura 33 - Curvas I_DxV_G simuladas em função da temperatura



Fonte: Autor

Pode ser observado que até um determinado valor de V_{GS}, conforme a temperatura muda, a corrente de dreno também aumenta devido a mudança de V_{TH}. Também é possível notar que conforme há o aumento da temperatura a partir de um certo valor de V_{GS}, a corrente de dreno (I_{DS}) diminui.

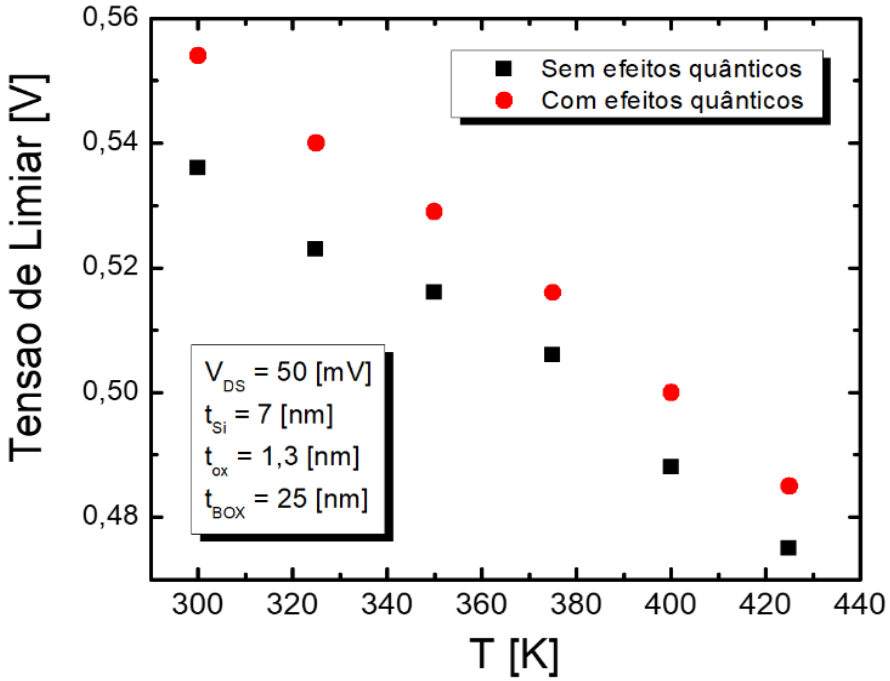
Isto ocorre devido ao fato da corrente depender diretamente da tensão de limiar que por sua vez depende inversamente do potencial de fermi, ou seja, com o aumento da temperatura, o potencial de fermi é reduzido, causando assim uma diminuição na tensão de limiar e consequentemente diminuindo a corrente.

Um outro efeito que ocorre nas curvas é a degradação da mobilidade, o que causa a diminuição de I_{DS} conforme a temperatura é elevada a partir de determinado valor de V_{GS}, como mencionado na seção 3.3.4.

Conhecendo estes dois efeitos acima citados, é possível então notar a presença do ponto invariante com a temperatura, também chamado de ZTC (*Zero Temperature Coefficient*), que representa o ponto de equilíbrio entre os dois efeitos causados pela temperatura nas curvas I_{DS}xV_{GS}.

A Figura 34 mostra as curvas da tensão de limiar obtidas através da simulação em função da temperatura para as simulações sendo feitas com e sem modelo quântico, a fim de verificar os efeitos quânticos na tensão de limiar do dispositivo. Como é possível perceber, os valores de V_{TH} aumentam quando são considerados os efeitos quânticos, como é previsto na seção 2.6.3.2. Os valores de Q_{TH} substituídos na equação 31 para calcular o valor correspondente de Q_{TH} são os que levam em consideração o modelo quântico.

Figura 34 - Valores de V_{TH} simulados em função da temperatura



Fonte: Autor

É possível perceber que ao elevar a temperatura, o valor de V_{TH} é reduzido. A tensão de limiar apresenta este comportamento com a variação de temperatura devido a sua dependência direta com o potencial de fermi ($Ø_F$) e com a concentração intrínseca dos portadores (n_i), que por consequência são inversamente proporcionais à temperatura.

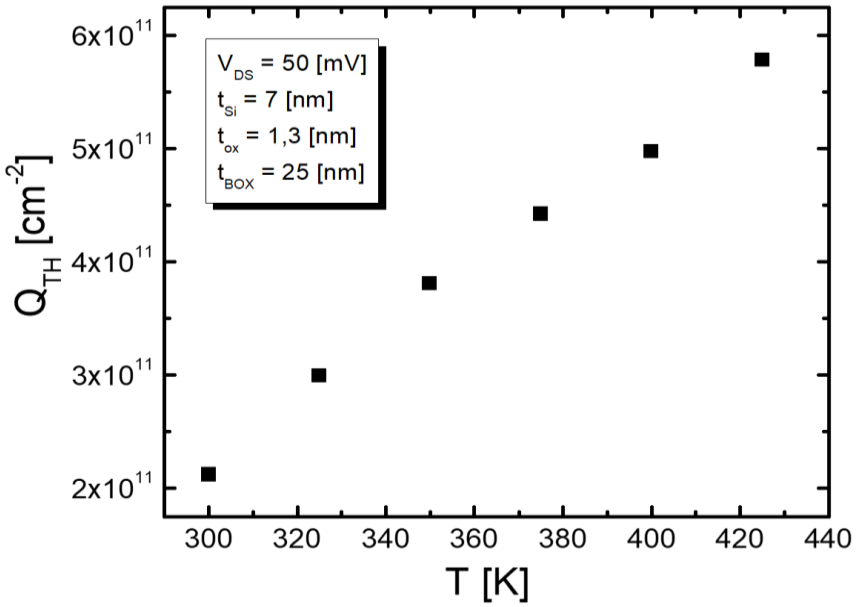
5.2 DENSIDADE DE CARGA DE INVERSÃO

A Figura 35 mostra os valores da densidade de cargas de inversão na condição de limiar (Q_{TH}) extraídos das simulações numéricas realizadas no simulador ATLAS, em função da temperatura, para um comprimento de canal de 500 nm e V_{DS} baixo de 50 mV.

Para obter os valores mostrados neste gráfico, utilizou-se, como mencionado anteriormente, os valores da concentração total de elétrons multiplicados pela carga do elétron e depois descontado destes valores, as cargas fixas e as cargas presentes nas laterais do canal próximo à fonte e ao dreno, obtendo assim o valor da densidade de carga de inversão total.

Tais valores foram tomados como referência para este estudo ao comparar com a adaptação dos modelos de Q_{TH} previamente mencionados.

Figura 35 - Valores de Q_{TH} extraídos em função da temperatura



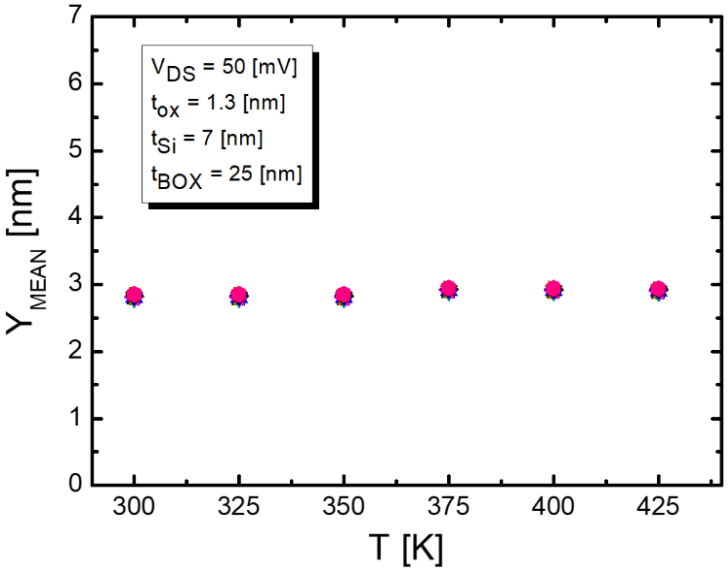
Fonte: Autor

Conforme a temperatura aumenta observa-se um aumento na densidade de cargas de inversão devido a sua dependência direta com a concentração de elétrons, que por consequência aumenta com o aumento da temperatura pois ocorre uma elevação na agitação térmica da rede cristalina, havendo assim maior energia disponível para os elétrons passarem da camada de valência para a camada de condução.

5.3 POSIÇÃO VERTICAL DO CANAL DE INVERSÃO (Y_{MEAN})

Na Figura 36 podemos observar o comportamento de Y_{MEAN} em função da temperatura de acordo com a variação da posição em que foi feito o corte vertical ao longo do canal do UTBB com L de 500 nm e V_{DS} de 50 mV. Nota-se que em praticamente todas as posições do canal o dispositivo apresenta valores de Y_{MEAN} muito semelhantes. Também observa-se que estes valores se mantém praticamente constantes conforme ocorre o aumento da temperatura.

Figura 36 - Y_{MEAN} em função de T para várias posições de x ao longo de t_{Si}



Fonte: Autor

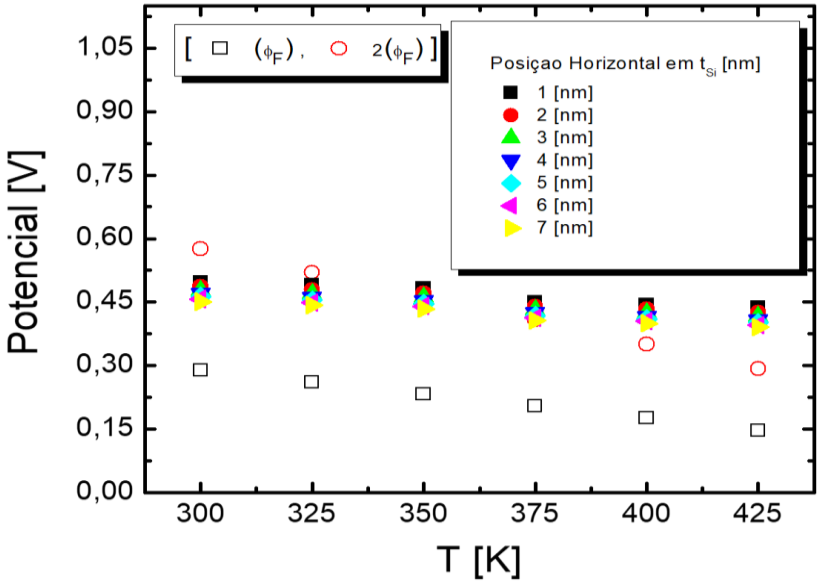
Isso ocorre pelo fato de Y_{MEAN} ser uma posição média que mostra onde está localizada a maior concentração de elétrons no canal, demonstrando assim que em qualquer temperatura ou qualquer posição do canal, a maior concentração de elétrons livres, que por consequência formam o canal de inversão, está praticamente no centro de t_{Si}.

5.4 POTENCIAL ELÉTRICO

A Figura 37 mostra o potencial elétrico em função da temperatura para diferentes posições ao longo de t_{Si}, comparando o potencial nessas posições com o potencial de Fermi e o dobro do potencial de Fermi, esta comparação tem o objetivo de indicar que o dispositivo encontra-se com a primeira interface em inversão, uma vez que os valores estão muito mais próximos de $2\emptyset_F$.

Pode-se observar que a variação na profundidade de t_{Si} não altera significativamente o potencial e que a definição na qual a tensão de limiar é atingida em aproximadamente o dobro do potencial de Fermi é aplicável ao dispositivo UTBB analisado.

Figura 37 - Potencial em função de T para diferentes profundidades de t_{Si}.



Fonte: Autor

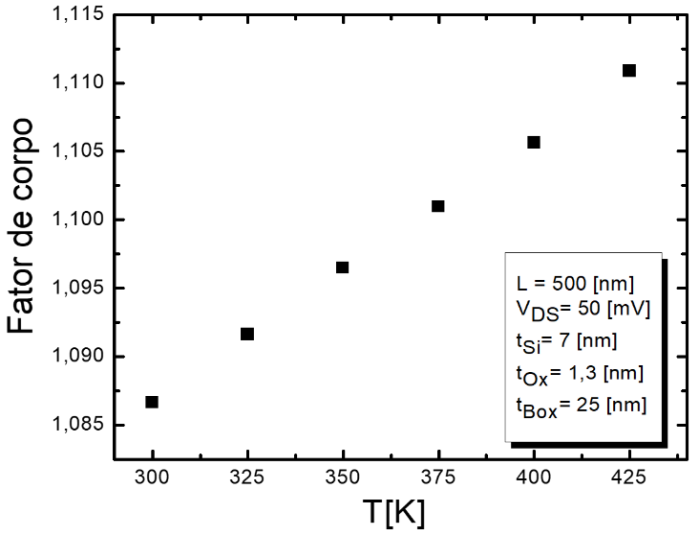
O comportamento observado nas figuras acima pode ser explicado pelo fato do potencial de superfície ($Ø_S$) depender do potencial de fermi ($Ø_F$) que por consequência é inversamente proporcional à temperatura, salientando que a concentração intrínseca de portadores varia mais fortemente em relação à temperatura devido a sua dependência cúbica com a mesma. Nota-se que os potenciais nas diferentes posições ao longo de t_{Si} se mantém próximos à ($2.Ø_F$), demonstrando assim a condição de limiar.

5.5 FATOR DE CORPO

Objetivando implementar o modelo de Rudenko e sabendo que o mesmo é dependente do fator de corpo (*n*), foram extraídos os valores de *n* das simulações usando o máximo da relação gm/I_{DS}, isto é, na região de sublimiar, onde *gm* é a transcondutância e I_{DS} é a corrente de dreno. É sabido que a inclinação de sublimiar (*S*) é diretamente proporcional ao potencial térmico (k.T/q) e por consequência à temperatura.

Na Figura 38, que mostra o comportamento do fator de corpo em função da temperatura para L de 500 nm ocorre um aumento no fator de corpo devido a sua dependência com a inclinação de sublimiar.

Figura 38 - Fator de corpo do UTBB em função da temperatura



Fonte: Autor

5.6 IMPLEMENTAÇÃO DOS MODELOS DE CARGA DE INVERSÃO

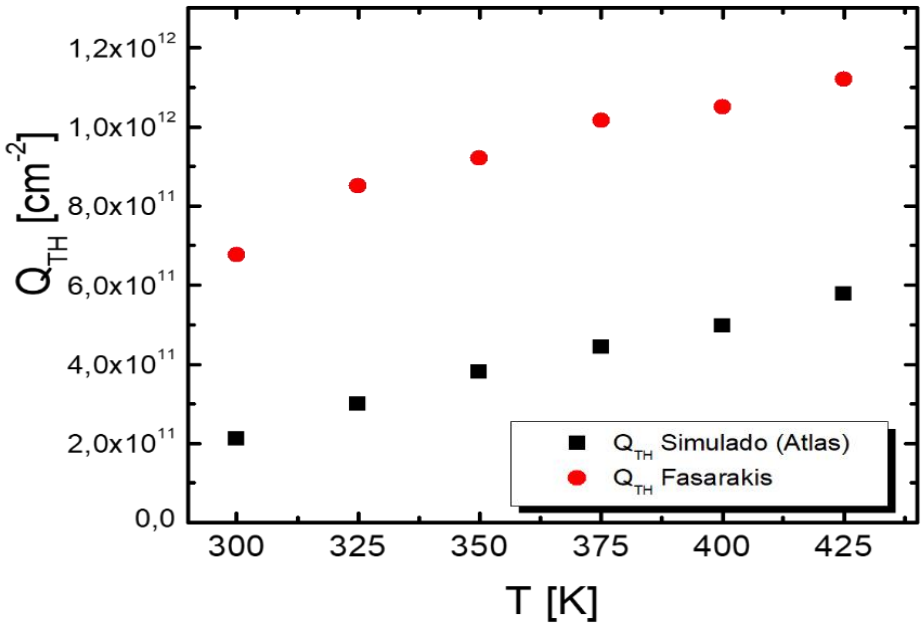
A seguir são mostrados os modelos de cargas de inversão (Q_{TH}) existentes e previamente estudados para a análise e comparação com os valores extraídos da integral de volume mencionada anteriormente.

5.6.1 Implementação do modelo de Fasarakis

O valor de Q_{TH} na equação 31 foi adaptado em (53) para descrever a dependência da tensão de limiar com a temperatura. Uma vez que é conhecida a tensão de limiar do dispositivo para diferentes temperaturas, utiliza-se um valor de densidade de carga de inversão no modelo juntamente com os parâmetros também dependentes de temperatura a fim de que esta carga gere um valor de tensão no modelo que se aproxime quase que cem por cento do valor extraído através do método (½ gm/I_{DS}).

A Figura 39 mostra os valores da densidade de carga de inversão na condição de limiar (Q_{TH}) em função da temperatura e faz uma comparação entre os valores totais extraídos diretamente dos arquivos de simulação, com o auxílio do simulador de dispositivos ATLAS para o cálculo da quantidade total destas cargas, em relação ao modelo de Fasarakis.

Figura 39 - Comparação dos valores de Q_{TH} simulados e de Fasarakis em função da temperatura



Fonte: Autor

Para as temperaturas variando entre 300 e 425 K observou-se um aumento na densidade de cargas de inversão segundo o modelo de Fasarakis como mencionado na equação 31. Isso se deve ao fato de que o modelo demonstra proporcionalidade direta da tensão de limiar com a densidade de carga de inversão, porém é inversamente proporcional à temperatura pelo modelo depender inversamente da concentração intrínseca de portadores.

Portanto, com o aumento da temperatura ocorre o aumento quadrático de n_i, que por consequência reduz a tensão de limiar, o que pode aumentar a carga de inversão, segundo o modelo demonstrado na seção 3.3.1.

O modelo de Fasarakis mostra uma certa distância em relação às ordens de grandeza quando comparados aos valores extraídos da simulação, o que explica isso é a questão do método de extração da tensão de limiar, segundo os estudos feitos neste modelo, tal fato ocorre devido a ele ser mais preciso quando utiliza-se o método da corrente constante para a extração dessa tensão, portanto vai haver uma distância maior em relação as ordens de grandeza pois neste trabalho adotou-se o método (½ gm/I_{DS}).

5.6.2 Implementação do modelo de Hiblot

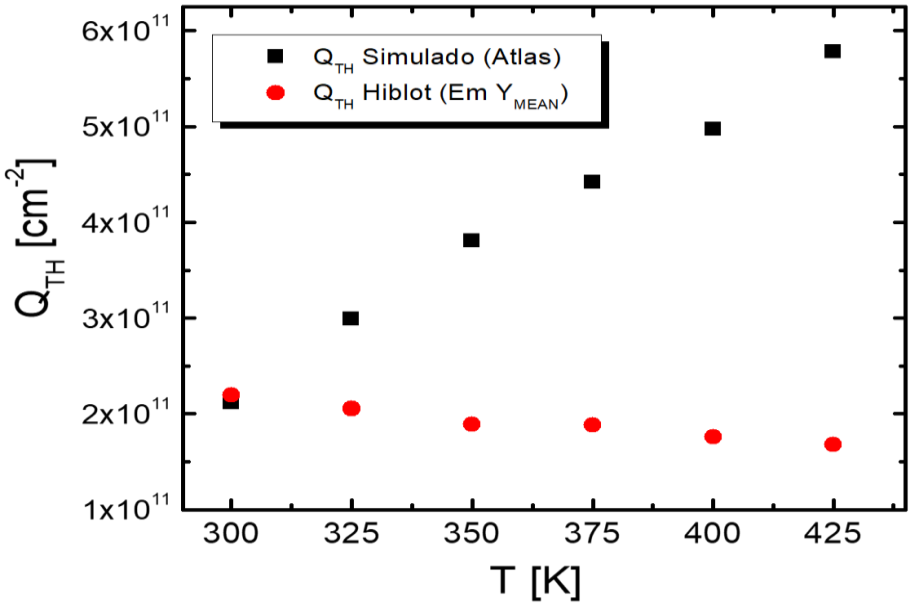
Como o modelo de Hiblot depende diretamente do potencial na região de maior concentração de elétrons, adaptou-se os valores encontrados para os potenciais em Y_{MEAN} ao modelo e obtiveram-se os valores representados pela Figura 40, que mostra os valores da

densidade de cargas de inversão na condição de limiar (Q_{TH}) em função da temperatura e faz uma comparação dos valores totais extraídos diretamente da simulação, de forma semelhante ao modelo de Fasarakis, em relação ao modelo de Hiblot.

Os valores de Q_{TH} baseados neste modelo são apresentados para os potenciais extraídos na posição vertical do canal de inversão (Y_{MEAN}). Como o modelo é diretamente proporcional ao potencial, conforme visto na equação 39, pode-se verificar, portanto, a sua dependência com a temperatura, como visto anteriormente, onde mostra-se as tendências dos potenciais com a elevação da temperatura.

O modelo demonstra ter uma ordem de grandeza próxima aos valores extraídos, porém há uma grande discrepância em relação à tendência com o aumento da temperatura, o que o torna não muito preciso para esta análise.

Figura 40 - Comparação dos valores de Q_{TH} simulados e de Hiblot em função da temperatura



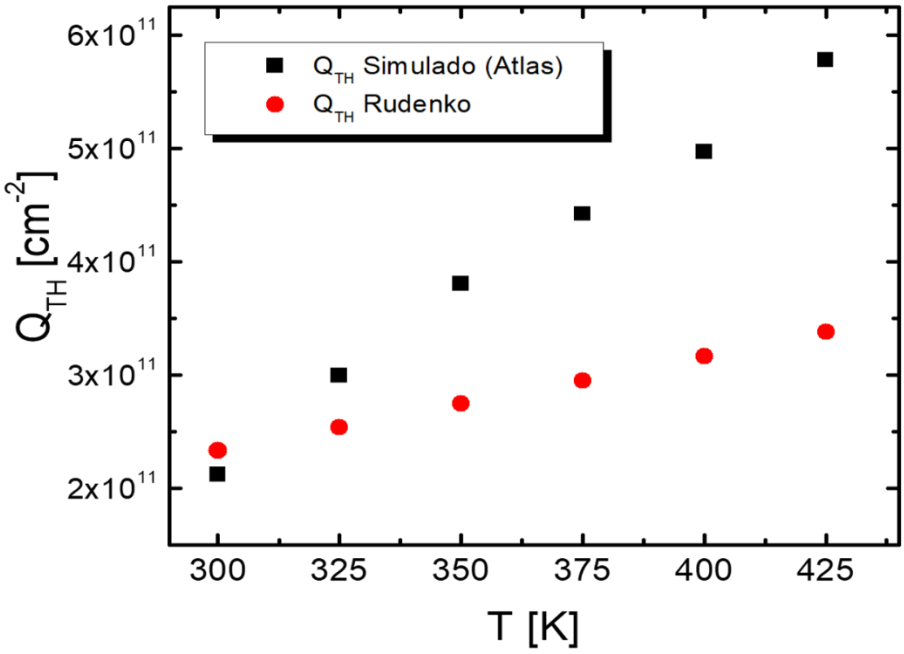
Fonte: Autor

5.6.3 Implementação do modelo de Rudenko

Para adaptar o modelo de Rudenko nesta análise, foram extraídos os valores do fator de corpo do dispositivo pelo método do máximo de gm/I_{DS} e calculados os potenciais térmicos, ambos dependentes da temperatura. Após ter em mãos estes valores, foi calculado através da equação 41 que representa o modelo, os valores da densidade de cargas de inversão na condição de limiar.

A Figura 41 mostra os valores da densidade de cargas de inversão (Q_{TH}) em função da temperatura e compara com os valores totais extraídos por meio da simulação em relação à adaptação do modelo de Rudenko.

Figura 41 - Comparação dos valores de Q_{TH} simulados e de Rudenko em função da temperatura



Fonte: Autor

A implementação do modelo de Rudenko mostra que os valores calculados tem a mesma tendência dos valores que foram extraídos da simulação, obedecendo também a mesma ordem de grandeza, o que reproduz quase que de forma ideal o modelo, como é possível notar, os valores extraídos possuem múltiplos de 10^{11} e o modelo também mostra múltiplos de 10^{11}.

A aproximação que o modelo traz em relação as ordens de grandeza e tendências ocorre pois os estudos realizados por ele demonstram utilizar o mesmo método de extração da tensão de limiar que foi usado neste trabalho, o que promove uma maior precisão nos resultados, comparando aos outros modelos, quando o dispositivo encontra-se em temperatura ambiente, pois o modelo se mostra muito próximo do extraído da simulação para a temperatura de 300 K.

Como foi possível notar, o modelo é, de certa forma, eficaz quando deseja-se calcular a densidade de carga de inversão através de uma equação mais simplificada e que ao mesmo tempo depende fortemente da temperatura, ao invés de extrair dados a partir de uma simulação numérica que por vezes costuma demorar horas para retornar um resultado plausível e ainda ser necessária a adaptação deste resultado para a densidade de cargas de inversão, uma vez que o

resultado da simulação é a concentração de elétrons, tornando o modelo de Rudenko um dos que mais se aproxima do resultado esperado pois este modelo leva em consideração os efeitos quânticos para transistores UTBOX, tendo assim uma menor complexidade matemática e uma maior facilidade de obtenção dos resultados finais.

5.7 DISCUSSÕES

Nesta subseção é feita uma análise comparativa entre os três modelos estudados com relação aos dados extraídos das simulações numéricas bidimensionais, em função do aumento da temperatura.

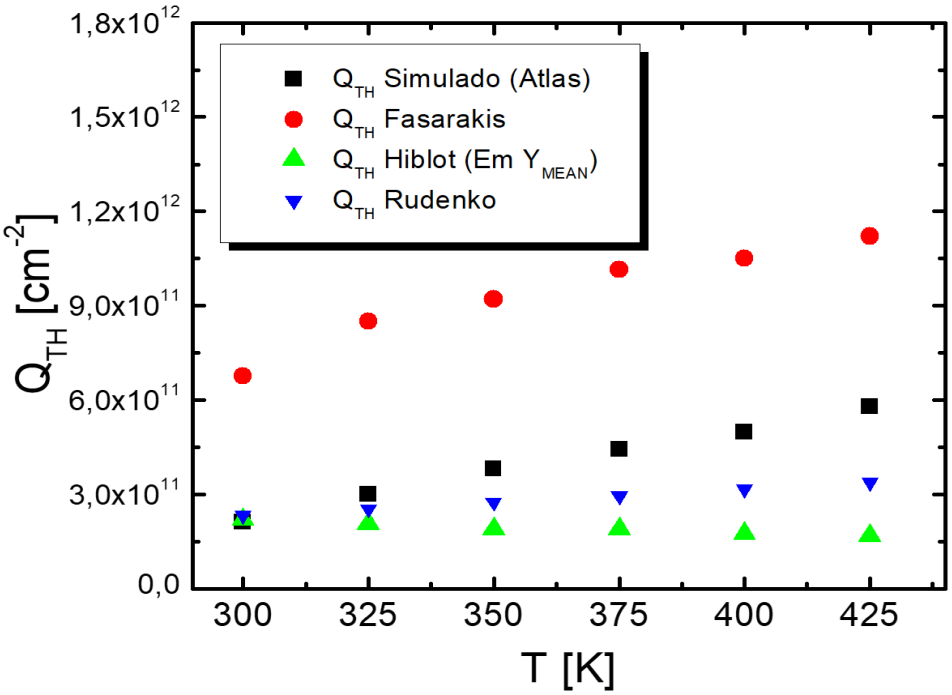
Como base para este estudo foram adotados os valores extraídos do arquivo de estrutura do dispositivo, a partir das simulações em diferentes temperaturas sendo estas variando na faixa de 300 a 425 K.

A análise da influência da temperatura neste trabalho mostrou que para a extração da densidade de carga de inversão no canal, no intervalo entre 350 e 375 K, houve a necessidade de utilizar nas simulações a opção de ionização incompleta *incomplete* em conjunto com os outros modelos mencionados na seção de simulação para que os resultados fossem mais precisos.

Os modelos analíticos de Fasarakis, Hiblot e de Rudenko foram implementados e analisados em relação a dependência com o aumento da temperatura e com os devidos parâmetros aos quais estes modelos são dependentes, como a tensão de limiar, o potencial elétrico na região de maior concentração de elétrons e o fator de corpo. Cada um dos modelos possui uma definição de condição de limiar diferente entre si e por consequência um método de extração de tensão de limiar também diferente, por isso, o método que é escolhido para realizar essa extração é tão importante para a análise comparativa final.

Para comparar os resultados de cada modelo em relação aos dados extraídos das simulações é mostrada a Figura 42, que representa o gráfico dos valores da densidade de carga de inversão em função da temperatura para os três modelos analisados e para os valores que foram simulados e extraídos através do simulador de dispositivos ATLAS.

Figura 42 - Comparação de Q_{TH} simulado em relação aos modelos analíticos analisados



Fonte: Autor

O modelo de Fasarakis apresentou a mesma tendência dos valores extraídos das simulações, porém se mostrou distante dos mesmos quando é comparada a ordem de grandeza dos dois, isso ocorre pois como este modelo depende fortemente da tensão de limiar, o método com que esta tensão é extraída impacta diretamente nos resultados. Visto que este modelo, segundo os estudos, se mostra mais dependente do método da corrente constante, ele não vai se aproximar dos resultados de carga de inversão pois aqui foi adotado outro método de extração, neste caso, (½ gm/I_{DS}), porém este modelo já é valido para transistores UTBB, fazendo com que o modelo de Fasarakis se mostre eficiente em relação validação das equações e possa ter um bom nível de confiabilidade.

O modelo analítico de Hiblot se mostrou inversamente proporcional com relação a dependência da temperatura devido a sua equação depender diretamente do potencial na região de maior concentração de elétrons, o qual diminui com o aumento da temperatura, logo, pode-se notar que o modelo se aproxima dos valores extraídos em relação a ordem de grandeza porém tem tendência contrária, o que o torna não muito preciso para esta análise.

Por fim, o modelo de Rudenko se mostrou fortemente dependente com a temperatura pois dois de seus parâmetros principais dependem diretamente da mesma, são o fator de corpo e o potencial térmico. É possível notar que este modelo descreve de certa maneira a carga de

inversão na condição de limiar, porém é necessário realizar uma adaptação nas equações para transistores UTBB, visto que elas são válidas para transistores UTBOX.

Esta aproximação do modelo de Rudenko em relação aos valores extraídos ocorre pois como mencionado anteriormente, o método de extração da tensão de limiar influencia muito nos resultados finais, e, segundo os estudos deste modelo analítico, utilizou-se o método da transcondutância, coincidente com o método usado neste trabalho, causando assim uma maior aproximação em relação aos valores extraídos.

6 CONCLUSÕES

Esta dissertação de mestrado analisou três modelos distintos de densidade de carga de inversão para transistores UTBB SOI MOSFETs e comparou com valores extraídos de simulações numéricas bidimensionais por meio da implementação destes modelos. Foi analisado também a dependência com a temperatura com o objetivo de encontrar o modelo mais simples e preciso possível para calcular o valor da densidade de carga de inversão.

O primeiro modelo analisado foi o de Fasarakis e visto que ele mostra uma dependência com a temperatura em relação à sua dependência com a tensão de limiar, houve um interesse no mesmo como forma de uma primeira referência devido ao fato dele ter sido eficaz no momento de calcular o valor de DIBL como já mencionado anteriormente. Os resultados para este modelo não se mostraram tão eficazes em relação às ordens de grandeza dos valores calculados comparados aos valores extraídos das simulações.

Já o segundo modelo analisado de Hiblot, leva em consideração os efeitos quânticos. Este mostrou que os valores implementados seguem a mesma tendência do potencial elétrico extraído em diversas posições de t_{Si}, sendo esta, uma tendência muito diferente dos valores extraídos em relação à temperatura, o que torna este modelo inviável no momento.

Finalmente, o primeiro e último modelos estudados, de Fasarakis e de Rudenko, mostraram-se os mais adequados possíveis quando são comparados valores extraídos em relação à sua tendência juntamente com as ordens de grandeza, além de demonstrar sua maior eficácia em relação à calcular o valor da densidade de carga quando comparado à extrair os mesmos por meio de uma simulação numérica.

Os resultados obtidos motivam esta pesquisa a ter uma possível sequência de trabalho na qual podem ser avaliados outros comprimentos de canal para o dispositivo a fim de verificar a influência da variação desta dimensão no dispositivo, juntamente com a influência da temperatura.

Como foi constatado uma semelhança entre a tendência dos valores extraídos com os valores obtidos a partir da implementação do modelo de Rudenko e de Fasarakis, pode-se dizer que as equações destes modelos para o dispositivo em questão são as melhores em relação ao outro modelo e que o objetivo principal foi alcançado, ou seja, uma análise dos modelos mais precisos e eficazes que dependem da temperatura e que modelam a densidade de carga de inversão.

REFERÊNCIAS

1 MOORE, G. E. Progress in digital integrated electronics. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1975, Washington. Technical Digest. IEEE International Electron Devices Meeting. Piscataway: IEEE, 1975. p. 11-13.

2 SZE, S. M. Physics of Semiconductor Devices. New York: John Wiley & Sons, 1981.

3 COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI. 3. ed. Boston: Kluwer Academic, 2004.

4 CRISTOLOVEANU, S.; LI, S. Electrical Characterization of Silicon On Insulator Materials and Devices. Boston: Kluwer Academic, 1995.

5 FRANK, D. J. et al. Device scaling limits of Si MOSFETs and their application dependencies. Proceedings of the IEEE, Piscataway, v. 89, n. 3, p. 259-288, Mar. 2001.

6 ASSADERAGHI, F. et al. High-field transport of inversion-layer electrons and holes including velocity overshoot. IEEE Transactions on Electron Devices, Piscataway, v. 44, n. 4, p. 664-671, Apr. 1997.

7 LUNDSTROM, M. Elementary scattering theory of the Si MOSFET. IEEE Electron Devices Letters, Piscataway, v. 18, n. 7, p. 361-363, Jul. 1997.

8 BHOIR, Mandar S.; CHAUHAN, Yogesh Singh; MOHAPATRA, Nihar R. Back-Gate Bias and Substrate Doping Influenced Substrate Effect in UTBB FD-SOI MOS Transistors: Analysis and Optimization Guidelines. **IEEE Transactions on Electron Devices**, v. 66, n. 2, p. 861-867, 2019.

9 FAYNOT, O. et al. Planar Fully depleted SOI technology: A powerful architecture for the 20nm node and beyond. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2010, San Francisco. Technical Digest. IEEE International Electron Devices Meeting... Piscataway: IEEE, 2010. p. 3.2.1 - 3.2.4.

10 PEREIRA, A. S. N. Modelos Analíticos para Efeitos de Canal Curto em Transistores de Porta Dupla Simétricos e Assimétricos. Tese de Doutorado em Dispositivos Eletrônicos Integrados – Centro Universitário da FEI, São Bernardo do Campo, 2016.

11 PEREIRA, A. S. N. et al. An in-depth analysis of temperature effect on DIBL in UTBB FD SOI MOSFETs based on experimental data, numerical simulations and analytical models. **Solid-State Electronics**, v. 128, p. 67-71, 2017.

12 FASARAKIS, Nikolaos et al. Analytical modeling of threshold voltage and interface ideality factor of nanoscale ultrathin body and buried oxide SOI MOSFETs with back gate control. **IEEE Transactions on Electron Devices**, v. 61, n. 4, p. 969-975, 2014.

13 KARIM, M. A. et al. Extraction of isothermal condition and thermal network in UTBB SOI MOSFETs. **IEEE Electron Device Letters**, v. 33, n. 9, p. 1306-1308, 2012.

14 PLANES, Nicolas et al. 28nm FDSOI technology platform for high-speed low-voltage digital applications. In: **2012 Symposium on VLSI technology (VLSIT)**. IEEE, 2012. p. 133-134.

15 SHAHIDI, Ghavam G. SOI technology for the GHz era. **IBM journal of Research and Development**, v. 46, n. 2.3, p. 121-131, 2002.

16 DELGADO, J. A. et al. Comparison of fabrication methods for bonded wafer SOI. In: **Proceedings. SOS/SOI Technology Workshop**. IEEE, 1988. p. 58.

17 FUKUNAGA, Takeshi. **Process for production of SOI substrate and process for production of semiconductor device**. U.S. Patent n. 6,271,101, 7 ago. 2001.

18 WISSEL, Larry; OLDIGES, Phil; GUO, Dechao. Characterization of Parasitic Bipolar Transistors in 45 nm Silicon-on-Insulator Technology. **IEEE Transactions on Nuclear Science**, v. 57, n. 6, p. 3234-3238, 2010.

19 HOUSTON, Theodore W.; JOYNER, Keith A. **Semiconductor device with fully self-aligned local interconnects, and method for fabricating the device**. U.S. Patent n. 6,737,347, 18 maio 2004.

20 GAILLARDIN, M. et al. Radiation effects in advanced SOI devices: New insights into total ionizing dose and single-event effects. In: **2013 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)**. IEEE, 2013. p. 1-2.

21 ARMSTRONG, G. A.; THOMAS, N. J.; DAVIS, J. R. Two-dimensional numerical simulation of short channel SOI transistors. In: **Proceedings. SOS/SOI Technology Workshop**. IEEE, 1988. p. 48.

22 TSIVIDIS, Yannis; MCANDREW, Colin. **Operation and Modeling of the MOS Transistor**. Oxford: Oxford university press, 1999.

23 MARSHALL, Andrew; NATARAJAN, Sreedhar. PD-SOI and FD-SOI: a comparison of circuit performance. In: **9th International Conference on Electronics, Circuits and Systems**. IEEE, 2002. p. 25-28.

24 PETER, Y. U.; CARDONA, Manuel. **Fundamentals of semiconductors: physics and materials properties**. Springer Science & Business Media, 2010.

25 ESSENI, David et al. An experimental study of mobility enhancement in ultrathin SOI transistors operated in double-gate mode. **IEEE Transactions on Electron Devices**, v. 50, n. 3, p. 802-808, 2003.

26 FUJIWARA, M. et al. Impact of BOX scaling on 30 nm gate length FD SOI MOSFET. In: **2005 IEEE International SOI Conference Proceedings**. IEEE, 2005. p. 180-182.

27 TSUCHIYA, R. et al. Silicon on thin BOX: A new paradigm of the CMOSFET for low-power high-performance application featuring wide-range back-bias control. In: **IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004.** IEEE, 2004. p. 631-634.

28 MORAES, Caroline Pires Alavez; DE SOUZA, Michelly. Estudo Comparativo de Métodos de Extração de Tensão de Limiar em Transistores SOI nMOSFET.

29 ITOCAZU, Vitor Tatsuo et al. Threshold voltage modeling for dynamic threshold UTBB SOI in different operation modes. **ECS Transactions**, v. 66, n. 5, p. 109-115, 2015.

30 LEE, C.-T.; WYATT, P. W. Threshold voltage and transconductance of fully depleted thin-film SOI MOSFETs. In: **Proceedings. SOS/SOI Technology Workshop**. IEEE, 1988. p. 40.

31 LIM, Hyung-Kyu; FOSSUM, Jerry G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on electron devices**, v. 30, n. 10, p. 1244-1251, 1983.

32 NOEL, Jean-Philippe et al. Multi-$ V {T} $ UTBB FDSOI device architectures for low-power CMOS circuit. **IEEE Transactions on Electron Devices**, v. 58, n. 8, p. 2473-2482, 2011.

33 PELLOUX-PRAYER, Bertrand et al. Performance analysis of multi-V T design solutions in 28nm UTBB FD-SOI technology. In: **2013 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)**. IEEE, 2013. p. 1-2.

34 KUMAR, Anil et al. Body factor conscious modeling of single gate fully depleted SOI MOSFETs for low power applications. **Solid-state electronics**, v. 49, n. 6, p. 997-1001, 2005.

35 OHTOU, Tetsu; SARAYA, Takuya; HIRAMOTO, Toshiro. Variable-body-factor SOI MOSFET with ultrathin buried oxide for adaptive threshold voltage and leakage control. **IEEE Transactions on Electron Devices**, v. 55, n. 1, p. 40-47, 2007.

36 YUN, Daeyoun et al. Differential body-factor technique for characterization of interface traps in MOSFETs. **IEEE Electron Device Letters**, v. 32, n. 9, p. 1206-1208, 2011.

37 OHTOU, Tetsu; SARAYA, Takuya; HIRAMOTO, Toshiro. Variable-body-factor SOI MOSFET with ultrathin buried oxide for adaptive threshold voltage and leakage control. **IEEE Transactions on Electron Devices**, v. 55, n. 1, p. 40-47, 2007.

38 COLINGE, J.-P. Subthreshold slope of thin-film SOI MOSFET's. **IEEE Electron Device Letters**, v. 7, n. 4, p. 244-246, 1986.

39 BREWS, John R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282-1291, 1979.

40 COLINGE, J.-P. Reduction of kink effect in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v. 9, n. 2, p. 97-99, 1988.

41 NEAMEN, Donald A. et al. **Semiconductor physics and devices**. New York: McGraw-Hill, 1997.

42 MUNTEANU, Daniela; IONESCU, A.-M. Modeling of drain current overshoot and recombination lifetime extraction in floating-body submicron SOI MOSFETs. **IEEE transactions on Electron Devices**, v. 49, n. 7, p. 1198-1205, 2002.

43 YOUNG, K. Konrad. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.

44 COLINGE, J.-P.; COLINGE, Cynthia A. **Physics of semiconductor devices**. Springer Science & Business Media, 2005.

45 HOSSEINI, Seyed Ebrahim; ANVARIFARD, Mohammad Kazem; ARMAKI, Mahdi Gordi. Two-Dimensional Analytical modeling of fully depleted short-channel DG SOI MOSFET. In: **2009 International Conference on Signal Processing Systems**. IEEE, 2009. p. 897-900.

46 FJELDLY, Tor A.; SHUR, Michael. Threshold voltage modeling and the subthreshold regime of operation of short-channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 40, n. 1, p. 137-145, 1993.

47 BALESTRA, Francis et al. Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410-412, 1987.

48 GE, Lixin; FOSSUM, Jerry G. Analytical modeling of quantization and volume inversion in thin Si-film DG MOSFETs. **IEEE Transactions on Electron Devices**, v. 49, n. 2, p. 287-294, 2002.

49 OMURA, Yasuhisa et al. Quantum-mechanical effects on the threshold voltage of ultrathin-SOI nMOSFETs. **IEEE Electron Device Letters**, v. 14, n. 12, p. 569-571, 1993.

50 UCHIDA, Ken et al. Experimental evidences of quantum-mechanical effects on low-field mobility, gate-channel capacitance, and threshold voltage of ultrathin body SOI MOSFETs. In: **International Electron Devices Meeting. Technical Digest (Cat. No. 01CH37224)**. IEEE, 2001. p. 29.4. 1-29.4. 4.

51 MARTINO, João Antônio; PAVANELLO, Marcelo Antonio; VERDONCK, Patrick Bernard. **Caracterização elétrica de tecnologia e dispositivos MOS**. Cengage Learning Editores, 2004.

52 PETER, Y. U.; CARDONA, Manuel. **Fundamentals of semiconductors: physics and materials properties**. Springer Science & Business Media, 2010.

53 FASARAKIS, Nikolaos et al. Analytical modeling of threshold voltage and interface ideality factor of nanoscale ultrathin body and buried oxide SOI MOSFETs with back gate control. **IEEE Transactions on Electron Devices**, v. 61, n. 4, p. 969-975, 2014.

54 HIBLOT, Gaspard et al. Analytical model for the inversion gate capacitance of DG and UTBB MOSFETs at the quantum capacitance limit. **IEEE Transactions on Electron Devices**, v. 62, n. 5, p. 1375-1382, 2015.

55 RUDENKO, Tamara et al. Revision of interface coupling in ultra-thin body silicon-on-insulator MOSFETs. **Semiconductor Physics Quantum Electronics & Optoelectronics**, 2013.

56 LIM, Hyung-Kyu; FOSSUM, Jerry G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on electron devices**, v. 30, n. 10, p. 1244-1251, 1983.

57 CALLISTER, William D. et al. **Materials science and engineering: an introduction**. New York: John wiley & sons, 2007.

58 STREETMAN, Ben G.; BANERJEE, Sanjay. **Solid state electronic devices**. Prentice-Hall of India, 2001.

59 ATLAS User's Manual. Santa Clara: Silvaco, v. 5.16.3.R, 2010

60 CUNHA, Ana Isabela Araújo et al. Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve. **Solid-State Electronics**, v. 56, n. 1, p. 89-94, 2011.

61 BECKER, Alex Jenaro et al. Noções Básicas de Programação em MATLAB. Universidade Federal de Santa Maria, 2010.

62 GILAT, Amos. **MATLAB com aplicações em engenharia**. Bookman Editora, 2009.

63 CONTI OUTRA. **7 Provérbios japoneses cheios de sabedoria**. 4 jul. 2018. Disponível em: < https://www.contioutra.com/7-proverbios-japoneses-cheios-de-sabedoria/ >. Acesso em: 24 nov. 2019.

APÊNDICE A – LINHAS DE CÓDIGO DA ESTRUTURA SIMULADA NO ATLAS

APÊNDICE A

```
# Arquivo: UTBB_L500
# Cria uma estrutura UTBB SOI nMOSFET com L=500nm
# Espessura da camada de silicio: tSi=7nm
# Espessura do oxido de porta: toxf=1.3nm
# Espessura do oxido enterrado: toxb=25nm
# Concentracao de dopantes no canal: Na=1E15cm-3
##############################################################################
####
go atlas
TITLE UTBB SOI - L=500nm / T=300K
#################################
# Especifying the initial mesh #
#################################
mesh space.mult=1.0
#
x.mesh loc=-0.275 spac=0.5
x.mesh loc=-0.255 spac=0.002
x.mesh loc=-0.25 spac=0.0005
x.mesh loc=-0.24 spac=0.002
x.mesh loc=0.0    spac=0.01
x.mesh loc=0.24  spac=0.002
x.mesh loc=0.25 spac=0.0005
x.mesh loc=0.255 spac=0.002
x.mesh loc=0.275 spac=0.5
#
y.mesh loc=-0.0113 spac=0.001
y.mesh loc=-0.0013 spac=0.005
y.mesh loc=0.00    spac=0.0001
y.mesh loc=0.007   spac=0.0001
y.mesh loc=0.008   spac=0.001
y.mesh loc=0.010   spac=0.01
y.mesh loc=0.032   spac=0.5

#
region     num=1 y.max=0 oxide
region     num=2 y.min=0 y.max=0.007 silicon
region     num=3 y.min=0.007  oxide
#
#**************** DEFINE THE ELECTRODES ****************
# 1-GATE    2-SOURCE    3-DRAIN   4-SUBSTRATE
#
electrode   name=gate  x.min=-0.25 x.max=0.25 y.min=-0.0113 y.max=-0.0013
electrode   name=source x.max=-0.25 y.min=0.00 y.max=0.0
electrode   name=drain  x.min=0.25 y.min=0.00 y.max=0.0
electrode   name=substrate bottom
#
#*********** DEFINING THE DOPING CONCENTRATIONS ********
doping      uniform conc=1e15 p.type  reg=2  x.l=-0.25 x.r=0.25
```

```
doping      uniform conc=1e20 n.type  reg=2 x.r=-0.25
doping      uniform conc=1e20 n.type  reg=2 x.l=0.25

save outfile=UTBB_L500.str

# SET INTERFACE CHARGE SEPARATELY ON FRONT AND BACK OXIDE INTERFACES
#interf      qf=5e10 y.max=0.1
#interf      qf=5e10 y.min=0.1

# SET WORKFUNCTION OF GATE
contact          name=gate workfunc=4.7
contact          name=substrate workfunc=4.95
output minset

# SPECIFYING PHYSICAL MODELS
models kla shi bgn srh fldmob quantum print temp=300

output e.mobility h.mobility

solve init

method newton autonr trap maxtrap=10

solve prev
save outfile=UTBB_L500_T300.str

solve vdrain=0.0 vfinal=0.05 vstep=0.005 name=drain

log outf=IDVG_UTBB_L500_50mV_T300.log

solve vgate=0.0 vfinal=1 vstep=0.05 name=gate
save outfile=UTBB_L500_T300_VD50mV_VG1v_simple.str

quit
```

APÊNDICE B – LINHAS DE CÓDIGO PARA TRATAMENTO DE DADOS NO MATLAB

APÊNDICE B

```
%%%
```

```
      temp=s;
      temp(1:2)=[];
      cntw=cntw+1;
      tabwn(cntw,:)=cntb+1;
      tabwm(cntw,:)={temp};
      if (strncmp (temp,'fin',3))
         cntbei=tabwn(cntw,1);
         cntbef=1;
      else
         cntbef=0;
      end
   end
   if (strncmp(s,'b ',2))
      temp=s;
      temp(1:2)=[];
      cntb=cntb+1;
      tabb(cntb,:)=str2num(temp);
%        % Cria a tabela be que contem o numero de todos os nos
%        tabbe(cntbe+1,1)=tabe(tabb(cntb,1),2);
%        tabbe(cntbe+2,1)=tabe(tabb(cntb,1),3);
%        cntbe=cntbe+2;
      % Cria a tabela be que contem o numero dos nos selecionados
      if (cntbef == 1)
          tabbe(cntbe+1,1)=tabe(tabb(cntbei,1),2);
          tabbe(cntbe+2,1)=tabe(tabb(cntbei,1),3);
          cntbe=cntbe+2;
          cntbei=cntbei+1;
      end
   end
   % Armazena na tabela parametros s
   if (strncmp(s,'s ',2))
      temp=s;
      temp(1:2)=[];
%        tabs(1:length(s)-2)=temp;
      tabs(:,1)=str2num(temp)';
   end
   % Armazena na tabela parametros n
   if (strncmp(s,'n ',2))
      temp=s;
      temp(1:2)=[];
      teste=str2num(temp);
      % Remove nos duplos na tabela n
      if (teste(1)~=ant(1))
         cntn=cntn+1;
%           tabn(cntn,1:length(s)-2)=temp;
         tabn(cntn,:)=str2num(temp);
         tabn(cntn,1)=cntn;
      end
      ant=str2num(temp);
   end
```

```
    % Carrega a proxima linha
    s = fgetl(ip);
end;
% Retorna o arquivo para o inicio
frewind(ip);
% Fecha arquivo %
fclose(ip);

%%%%%%%%%%%%
% Grafico %
%%%%%%%%%%%%

% Tabelas
%x=tabc(:,2);
%y=tabc(:,3);
% Seleciona qual parametro exibir no eixo z
%z=tabn(:,9);

% Tabelas
x=tabc(tabe(:,1),2);
y=tabc(tabe(:,1),3);
% Seleciona qual parametro exibir no eixo z
z=tabn(tabe(:,1),14);

% Determina os minimos e maximos das coordenadas x e y
xmin = min(x);
ymin = min(y);
xmax = max(x);
ymax = max(y);

% Define a resolucao da grade
xr=600;
yr=600;

% Define a nova grade x y
xv=linspace(xmin, xmax, xr);
yv=linspace(ymin, ymax, yr);
[xi,yi]=meshgrid(xv,yv);

% Calcula z na nova grade x y
zi=griddata(x,y,z,xi,yi);

% Gera o grafico
figure

% Grafico de controno
%contour3(xi,yi,zi,30)
%h=findobj('Type','patch');
%set(h,'LineWidth',10)
```

```
% Grafico de superficie
%surf(xi,yi,zi)

% Grafico de superficie sem gridlines
surf(xi,yi,zi,'EdgeColor','none')

% Grafico de superficie com contour plot in the xy plane
%surfc(xi,yi,zi,'EdgeColor','none')

% Smooth the surface
%shading interp

colorbar
colormap gray
%colormap(gray(15))

xlabel 'Coordenada x';
ylabel 'Coordenada y';
zlabel 'z';

% Gera os pontos originais no grafico
hold on
plot3(x,y,z,'marker','o','MarkerEdgeColor','k','MarkerFaceColor','w','MarkerSize',5,'LineWidth
',1,'LineStyle','none')
% Mostra pontos atras do grafico
hidden off
%%%%%%%
% Fim %
%%%%%%%
```

APÊNDICE C – LINHAS DE CÓDIGO PARA EXTRAÇÃO DE CARGAS DE INVERSÃO NO ATLAS

APÊNDICE C

```
# Este deck gera um arquivo de saida, com grade retangular importavel
# para Origin e MatLab
# A ultima linha contem a integral de densidade de eletrons na regiao escolhida

#Variavel de integracao da carga
set Qinv = 0

# Limites de x da reiao
set x_start = -0.25
set x_end = 0.25

# Tamanho do passo
set x_delta = 0.01

# Limites de y da regiao
set y_start = 0
set y_end = 0.007

#Tamanho do passo
set y_delta = 0.0002

# Arquivo de saida

set data_out = ele_conc.dat

# NÃºmero de passos
set num_x_steps = 1 + \
($x_end - $x_start) / ($x_delta)
set num_y_steps = 1 + \
($y_end - $y_start) / ($y_delta)

go atlas


# Apaga arquivo antigo e certa diretorio
system cd "C:\Users\nacrismerzbahcer\OneDrive -
FEI\Mestrado\Teste_extrai_MATLAB\L500\T300"
system del "ele_conc.dat"
system cd "C:\Users\nacrismerzbahcer\OneDrive -
FEI\Mestrado\Teste_extrai_MATLAB\L500\T300"

extract init inf="UTBB_L500_T300_VD50mV_VG0449_simple.str"
# Loop das linhas
set y = $y_start
loop steps=$num_y_steps

set y1 = $y
set y = $y1 + $y_delta
```

```
# Loop das colunas
set x = $x_start
loop steps=$num_x_steps

set x1 = $x
set x = $x + $x_delta

#Le ponto da curva

extract name="data_point" y.val from curve (depth,impurity="Electron Conc" material="Silicon" mat.occno=1 x.val=$"x1") where x.val=$"y1"

#Escreve ponto no arquivo e soma a carga a Qinv

system echo $"x" $"y"  $"data_point"  >> $data_out
set Qinv = $"data_point" * $x_delta * $y_delta +  $Qinv

l.end

l.end

# Salva o valor da integral da concentracao de eletrons
system echo Quantidade de  Eletrons no Corte =   $"Qinv"  >> $data_out

quit
```