CENTRO UNIVERSITÁRIO FEI
BRUNA CARDOSO PAZ

AVALIAÇÃO DA INFLUÊNCIA DA EVOLUÇÃO DAS TECNOLOGIAS DE FABRICAÇÃO DE NANOFIOS TRANSISTORES MOS SOBRE SUAS CARACTERÍSTICAS ELÉTRICAS

São Bernardo do Campo
2018

BRUNA CARDOSO PAZ

AVALIAÇÃO DA INFLUÊNCIA DA EVOLUÇÃO DAS TECNOLOGIAS DE FABRICAÇÃO DE NANOFIOS TRANSISTORES MOS SOBRE SUAS CARACTERÍSTICAS ELÉTRICAS

Tese apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Doutora em Engenharia Elétrica. Orientada pelo Prof. Dr. Marcelo Antonio Pavanello.

São Bernardo do Campo

2018

Cardoso Paz, Bruna.
Avaliação da influência da evolução das tecnologias de fabricação de nanofios transistores MOS sobre suas características elétricas / Bruna Cardoso Paz. São Bernardo do Campo, 2018.
193 f. : il.

Tese - Centro Universitário FEI.
Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Nanofios. 2. Mobilidade. 3. Tensionamento. 4. Desempenho analógico. 5. Influência da temperatura. I. Pavanello, Marcelo Antonio, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE TESE
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Doutorado

PGE-10

Aluno: Bruna Cardoso Paz **Matrícula:** 515108-9

Título do Trabalho: Avaliação da influência da evolução das tecnologias de fabricação de nanofios transistores MOS sobre suas características elétricas.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 18/05/2018

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

São Bernardo do Campo, 18 / 05 / 2018.

MEMBROS DA BANCA EXAMINADORA	
Prof. Dr. Marcelo Antonio Pavanello	Ass.: _____
Prof. Dr. Rudolf Theoderich Bühler	Ass.: _____
Prof. Dr. Renato Camargo Giacomini	Ass.: _____
Prof. Dr. André Luiz Perin	Ass.: _____
Prof. Dr. Murilo Araujo Romero	Ass.: _____

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA TESE

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

A Deus que sempre guiou e iluminou meus passos. À minha família e ao meu afilhado que enchem minha vida de alegria e motivação.

AGRADECIMENTOS

Primeiramente a Deus por não permitir faltar saúde e tranquilidade para cumprir as tarefas realizadas ao longo deste trabalho.

Ao Prof. Dr. Marcelo Antonio Pavanello, que orienta a minha vida acadêmica com empenho e seriedade desde 2010, a quem devo o aprendizado conquistado durante a jornada que se iniciou com a minha primeira iniciação científica. Agradeço imensamente por todas as discussões técnicas e não técnicas, pela confiança, pelo apoio, pela dedicação comigo e com a tese e, finalmente, pela oportunidade de trabalhar com um pesquisador respeitável e admirável.

Aos meus pais, minha irmã e minha tia Claudia que sempre estiveram ao meu lado, torceram pelo meu sucesso, me apoiaram em minhas escolhas e me aconselharam nos momentos de dificuldade, visando meu bem estar físico e emocional.

Às crianças que completam a minha vida, Daniel e Iara, que me inspiram e motivam a ser uma pessoa melhor e evoluir pessoalmente a cada decisão tomada.

Ao Dr. Mikaël Cassé, Dr. Gilles Reimbold e Dr. Olivier Faynot por me acolher e orientar no CEA – Leti durante o ano em que desenvolvi parte deste trabalho na França.

Ao Dr. Rodrigo Trevisoli Doria, Dr. Antonio Cerdeira, Dr. Fernando Ávila Herrera e MSc. Allan Molto, com quem tive a oportunidade de trabalhar e colaborar cientificamente.

Aos amigos Arianne, Michelly, Rudolf, João, Lígia, Kostas, Ártemis e Douglas com quem compartilhei diversos momentos tanto de alegria e descontração, como de discussões e atividades técnico-científicas.

À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), processos 2015/10491-7 e 2016/06301-0, ao CNPq e ao Centro Universitário da FEI pelo suporte financeiro a este trabalho.

"*All our dreams can come true, if we have the courage to pursue them.*"

Walt Disney

RESUMO

Este trabalho tem por objetivo estudar a influência de diferentes tecnologias de fabricação de nanofios transistores MOS modo inversão (NWs) através da avaliação e comparação de suas características elétricas, obtidas através de medidas experimentais. Simulações numéricas tridimensionais também são utilizadas para auxiliar o entendimento de efeitos físicos observados e validar métodos de extração de parâmetros propostos. Seguindo as evoluções tecnológicas propostas recentemente para a fabricação de NWs, a influência da largura do *fin*, do tensionamento mecânico e do empilhamento de NWs é verificada, sobretudo, no comportamento analógico e na mobilidade dos portadores. As comparações realizadas permitem apontar a tecnologia que apresenta melhor desempenho para cada conjunto de resultados investigados. Diversos nanofios transistores com a largura do *fin* desde 9,5nm até 10µm (quasi-planar) são analisados. A influência da largura do *fin* nos parâmetros analógicos é estudada para NWs não empilhados tipo n e tipo p, com comprimentos de canal de 10µm e 40nm. A mobilidade efetiva é correlacionada com a distorção harmônica de NWs tipo n, para explicar o comportamento dos picos de linearidade com a temperatura e a largura do *fin*. Melhor linearidade devido ao maior ganho intrínseco de tensão é verificada para NWs estreitos. O efeito da polarização do substrato é estudado em NWs estreitos, em que a mobilidade varia devido à densidade de portadores e à posição da camada de inversão ao longo do *fin*. NWs tipo n com e sem tensionamento mecânico são comparados através de resultados experimentais de 300K a 10K, em que o comportamento da mobilidade determina a dependência dos parâmetros analógicos com a temperatura. A utilização do tensionamento mecânico uniaxial compressivo através do uso de SiGe em nanofios tipo p se mostra bastante benéfica para a mobilidade com aumentos de até 68% para largura de *fin* de 20nm e temperatura ambiente. São estudados nanofios SOI tipo p verticalmente empilhados, com espaçadores internos e tensionamento mecânico, com orientações cristalográficas [110] e [100], em função da largura do *fin* e do comprimento do canal. Procedimentos para extração da espessura efetiva do óxido e da largura do *fin* são adaptados e validados através de simulações. A mobilidade efetiva total dos NWs empilhados é menor em comparação com NWs não empilhados devido à baixa contribuição do nível GAA e descasamentos da tensão de limiar, conforme investigado através do método proposto para dissociação das mobilidades de baixo campo dos níveis que compõem a estrutura empilhada.

Palavras-chave: Nanofios. SOI. Mobilidade. Tecnologias de fabricação. Tensionamento. Empilhamento. Desempenho analógico. Influência da temperatura.

ABSTRACT

This work aims to study the influence of different fabrication technologies of inversion mode nanowires MOS transistors (NWs) through the evaluation and comparison of their electrical characteristics obtained from experimental measurements. Tridimensional numerical simulations are also used to allow the understanding of observed physical effects and to validate parameters extraction methods proposed in this work. Following the technological evolution of fabrication of NWs recently proposed, the influence of fin width, strain and stacking of nanowires is verified, mainly, over analog behavior and carriers' mobility. The comparisons performed in this work allow picking the technology that presents the best performance for each parameter analyzed. Several nanowires with fin width as narrow as 9.5nm and up to 10µm (quasi-planar) are analyzed. The fin width influence on the analog parameters is studied for n- and p- type non-stacked NWs with channel lengths of 10µm and 40nm. Effective mobility results are correlated to the harmonic distortion to explain linearity peaks behavior with temperature and fin width. Narrow transistors show improved linearity mainly due to higher intrinsic voltage gain. Back bias influence is studied in narrow NWs, where mobility varies due to carriers' density and inversion channel position along the fin. Strained and unstrained n-type NWs are compared using experimental results in the temperature range of 300 down to 10K, where mobility behavior is the major responsible for the analog parameters dependence on temperature. Uniaxial compressive strain obtained through SiGe in p-type nanowires shows to be beneficial for mobility, where improvements reach up to 68% for fin width of 20nm at room temperature. Strained vertically stacked p-type SOI nanowires with inner spacers and [110]- and [100]-oriented channels are studied as a function of both fin width and channel length. Procedures to extract the effective oxide thickness and fin width are adapted and validated through tridimensional numerical simulations. Overall effective mobility for stacked NWs is lower in comparison to non-stacked NWs due to small contribution from the top GAA level and threshold voltage mismatches, according to the investigation promoted by the proposed methodology to dissociate the low field mobility contributions from the top and bottom levels that compose the stacked structure.

Keywords: Nanowires. SOI. Mobility. Fabrication technologies. Strain. Stacking. Analog performance. Temperature influence.

LISTA DE ILUSTRAÇÕES

Figura 1 – Perfil transversal de um SOI nMOSFET. 34
Figura 2 – Ilustrações de estruturas CMOS fabricadas em tecnologia MOS convencional (A) e em tecnologia SOI (B). 34
Figura 3 – Perspectiva (A) e vista frontal (B) de um SOI FinFET. 38
Figura 4 – Perspectiva (A) e vista frontal (B) de um MOSFET de porta tripla. 39
Figura 5 – Perspectiva (A) e vista frontal (B) de um MOSFET de porta Ω. 39
Figura 6 – Perspectiva (A) e vista frontal (B) de um MOSFET de porta circundante. 40
Figura 7 – Esquema de estrutura multi-dedos de MOSFETs de porta tripla com indicações de dimensões notáveis. 41
Figura 8 – *Layout* de estrutura multi-dedos de MOSFETs de porta tripla (A) e *layout* de MOSFET planar de porta única (B). 41
Figura 9 – Perspectiva de um nanofio transistor GAA de canal vertical. 42
Figura 10 – Imagem de TEM (A), representação esquemática da vista frontal (B) e perspectiva (C) de nanofios transistores empilhados. 44
Figura 11 – Imagens de TEM de defeitos de fabricação que podem ocorrer em transistores empilhados largos (A) e longos (C) e respectivas representações esquemáticas (B) e (D). 44
Figura 12 – Imagem de TEM (A) e representação esquemática (B) de tecnologia CMOS sobre CMOS. 45
Figura 13 – Mobilidade total e seus mecanismos de espalhamento em função da concentração de dopantes para elétrons (A) e lacunas (B). 50
Figura 14 – Mobilidade efetiva em função do campo elétrico efetivo. Destaque para os mecanismos de espalhamento de mobilidade dominantes em cada região da curva. 52
Figura 15 – Curva da velocidade dos elétrons em função do campo elétrico lateral para o silício a 300K. 53
Figura 16 – μ_{eff} em função de N_{inv} extraído através dos métodos da função Y e Split C-V. ... 55
Figura 17 – Curva g_m/I_{DS} em função de $I_{DS}/(W/L)$ de transistor FD SOI nMOS com V_{DS} = 0,9V. 56
Figura 18 – Perfil transversal de um SOI nMOSFET em saturação. 57
Figura 19 – Curva g_D em função de V_{DS} para nMOSFET de L = 0,75µm, com V_{GT} = 200mV. 58
Figura 20 – Característica I_{DS} em função de V_{DS} para nMOSFET de L = 0,75µm, com V_{GT} = 200mV. 58

Figura 21 – Esquema de transistor operando como amplificador. 59
Figura 22 – Transistor MOS com sinal de entrada senoidal e sinal de saída apresentando harmônicos. 61
Figura 23 – Sinal de entrada e curva de transferência antes e após normalização do IFM. 62
Figura 24 – Ilustração das linhas de campo elétrico em FD SOI MOSFETs de porta simples (A) e dupla (B). 64
Figura 25 – Tensão de limiar (A) e inclinação de sublimiar (B) em função do comprimento do canal para nMOSFET SOI, com V_{DS} = 50mV. 65
Figura 26 – Comportamento da barreira de potencial da fonte quando aplicado alto valor de tensão de dreno em transistor de canal longo (A) e curto (B). 65
Figura 27 – Energia acima da mínima clássica da banda de condução (E_{CO}) em função da densidade de estados na banda de condução, para transistores de porta tripla tipo n, cujos elétrons estão confinados em duas dimensões (A) e uma dimensão (B). 67
Figura 28 – V_{TH} em função de W_{FIN} para transistor de porta dupla, considerando modelo com e sem efeitos de confinamento. 68
Figura 29 – Ondulações na curva de I_{DS} em função de V_{DS} para um transistor de múltiplas portas, com V_{DS} = 0,2mV e diversas temperaturas. 69
Figura 30 – Concentração intrínseca de portadores normalizada pela concentração de impurezas em função da temperatura, no silício dopado com $N_D = 10^{15} cm^{-3}$. 70
Figura 31 – Mobilidade total e seus mecanismos de espalhamento em função da temperatura. 71
Figura 32 – Mobilidade efetiva em função do campo elétrico efetivo, com destaque para o comportamento dos mecanismos de degradação com a temperatura. 72
Figura 33 – μ_{eff} em função de W_{FIN}, para nanofios transistores tipo n, com e sem tensionamento mecânico. 74
Figura 34 – Representação da banda de condução do silício antes e após aplicação de tensionamento mecânico biaxial no plano $k_x k_y$. 75
Figura 35 – Tensionamento do Si através de liga de SiGe. 76
Figura 36 – Representação de tensionamento compressivo no canal de transistor através de SiGe nas regiões de fonte e dreno. 77
Figura 37 – Representação de nanofios transistores de porta tripla em lâmina usual (100), orientados nas direções [110] e [100]. 78
Figura 38 – Imagem de TEM (A) e representação esquemática (B) de nanofio transistor SOI. 83

Figura 39 – Corrente de dreno normalizada pela largura efetiva de porta em função de V_{GS} para nanofios transistores tipo n, variando W_{FIN}, com V_{DS} = 40mV (A) e 0,9V (B). 85
Figura 40 – $|I_{DS}|\times L$ em função de V_{GS} para nanofios transistores tipo p e tipo n, $|V_{DS}|$ = 40mV e T = 300K. 86
Figura 41 – I_{DS}/W_{eff} em função de V_{GS} para nanofios transistores tipo n de canal longo, T = 300 a 100K, V_{DS} = 40mV (A) e 0,9V (B). 87
Figura 42 – V_{TH} em função de W_{FIN} para nanofios transistores tipo n e tipo p de canal longo e curto, T = 300K e V_{DS} = 40mV. 88
Figura 43 – g_m/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 10µm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV. 89
Figura 44 – μ_{eff} em função de V_{GT} para n-NW with L = 10µm. 90
Figura 45 – μ_{eff} em função de W_{FIN} para nanofios transistores tipo n, L = 10µm, V_{GT} = 0, 200 e 400mV e T = 300K. 90
Figura 46 – g_D/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 10µm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV. 91
Figura 47 – A_V em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 10µm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200mV e 400mV. 92
Figura 48 – g_m/W_{eff} (A) e g_D/W_{eff} (B) em função de V_{GT} para nanofios transistores quasi-planares e nanofios estreitos, tipo n e tipo p, L = 10µm e $|V_{DS}|$ = 0,9V. 92
Figura 49 – g_m/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV. 93
Figura 50 – $g_m/(W_{eff}/L)$ em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm e 10µm, $|V_{DS}|$ = 0,9V e $|V_{GT}|$ = 400mV. 94
Figura 51 – g_D/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV. 95
Figura 52 – A_V em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV. 96
Figura 53 – Resultados simulados da densidade dos portadores no topo (A) e na lateral (B) ao longo do canal, para nanofios transistores tipo n e tipo p, L = 40nm, W_{FIN} = 15nm, $|V_{GT}|$ = 0V, $|V_{DS}|$ = 0,9 e 1,2V. 97
Figura 54 – THD, HD2 e HD3 em função de V_{GT}, para diversos nanofios variando W_{FIN} em 300K, V_A = 50mV e V_{DS} = 0,9V. 98
Figura 55 – THD, HD2 e HD3 em função de V_{GT}, nanofio estreito com W_{FIN} = 14,5nm, variando T de 300 a 100K, V_A = 50mV e V_{DS} = 0,9V. As curvas da distorção harmônica estão

apresentadas para todo o intervalo de V_{GT} em (A) e (B). Ampliação dos resultados de THD, HD2 e HD3, focando os picos negativos, está apresentada em (C) e (D). 99
Figura 56 – g_m/W_{eff} em função de V_{GT} variando W_{FIN} em 300K (A) e variando T para W_{FIN} = 14,5nm (B), V_{DS} = 0,9V. 100
Figura 57 – μ_{eff} em função de V_{GT}, variando W_{FIN} (A) e T (B), com V_{DS} = 40mV. 102
Figura 58 –μ_0/μ_{eff} em função de V_{GT}, variando W_{FIN} (A) e T (B), com V_{DS} = 40mV. 103
Figura 59 – THD em função de g_m/I_{DS} variando W_{FIN}, T = 300K, V_A = 50mV e V_{DS} = 0,9V. 105
Figura 60 – $(\partial g_m/\partial V_{GT})/W_{eff}$ em função de g_m/I_{DS}, para diversos nanofios variando W_{FIN}, V_{DS} = 0,9V e T = 300K. 105
Figura 61 – THD, HD2 e HD3 em função de g_m/I_{DS}, para diversos nanofios, variando W_{FIN} em 300K, V_{OUT} = 1,5V e V_{DS} = 0,9V. 106
Figura 62 – THD, HD2 e HD3 em função de W_{FIN}, T = 300K, V_{OUT} = 1,5V, V_{DS} = 0,9V e g_m/I_{DS} = 6, 9 e 12V^{-1}. 108
Figura 63 – THD, HD2 e HD3 em função de g_m/I_{DS}, para nanofios estreito e quasi-planar, T de 300 a 100K, V_{OUT} = 1,5V e V_{DS} = 0,9V. 109
Figura 64 – THD, HD2 e HD3 em função da temperatura, para nanofios estreito e quasi-planar, V_{OUT} = 1,5V, V_{DS} = 0,9V e g_m/I_{DS} = 6, 9 e 12V^{-1}. 110
Figura 65 – I_{DS} (A) e g_m (B) em função de V_{GS} para nanofio transistor tipo n com W_{FIN} = 19,5nm, L = 10µm, V_{DS} = 40mV e V_B variando de -30 a 30V. 111
Figura 66 – $|I_{DS}|$ (A) e g_m (B) em função de V_{GS} para nanofio transistor tipo p com W_{FIN} = 15nm, L = 100nm, V_{DS} = -40mV e V_B variando de -80 a 80V. 112
Figura 67 – Resultados simulados para o potencial eletrostático (A), campo elétrico absoluto (B) e densidade de lacunas (C) em função da posição vertical do nanofio transistor tipo p com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm, V_{DS} = -40mV, V_{GT} = -150mV e V_B variando de -100 a 100V. 114
Figura 68 – Resultados simulados de μ_{eff} em função da posição vertical do nanofio transistor tipo p com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm, V_{DS} = -40mV, V_{GT} = -150mV e V_B variando de -100 a 100V. 114
Figura 69 – Resultados simulados de μ_{eff} extraídos por split C-V em função de V_{GS} para nanofio transistor tipo p com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm, V_{DS} = -40mV, V_{GT} = -150mV e V_B variando de -100 a 100V. 115
Figura 70 – μ_0 em função de V_B para nanofios transistores tipo p simulado e medido com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm e V_{DS} = -40mV. As linhas tracejadas indicam a

regressão linear dos dados, em que os erros obtidos foram inferiores a 5% e 8% para simulações e medidas, respectivamente. 116
Figura 71 – g_m/W_{eff} em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 0, 200 e 400mV, V_{DS} = 0,9V e T = 300K. 118
Figura 72 – μ_{eff} em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 400mV e 300K. 118
Figura 73 – g_D/W_{eff} em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 0, 200 e 400mV, V_{DS} = 0,9V e T = 300K. 119
Figura 74 – μ_{eff} em função de V_{GT} para nanofios sSOI e SOI, V_{DS} = 40mV e T = 300K..... 120
Figura 75 – g_D/W_{eff} em função de V_{GT} para nanofios transistores sSOI e SOI, V_{DS} = 0,9V e T = 300K. 120
Figura 76 – A_V em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 0, 200 e 400mV, V_{DS} = 0,9V e T = 300K. 121
Figura 77 – I_{DS}/W_{eff} em função de V_{GS} para nanofios transistores sSOI e SOI, V_{DS} = 40mV e T = 300 e 10K. 122
Figura 78 – g_m/W_{eff} em função de V_{GS} para nanofios transistores sSOI e SOI, V_{DS} = 40mV e T = 300 e 10K. 122
Figura 79 – V_{TH} (A) e S (B) em função de T para nanofios transistores sSOI e SOI com V_{DS} = 40mV. 123
Figura 80 – g_m/W_{eff} (A), g_D/W_{eff} (B) e μ_{eff} (C) em função de T para nanofios transistores sSOI e SOI, V_{GT} = 400mV e V_{DS} = 0,9V. 124
Figura 81 – A_V em função de T para nanofios transistores sSOI e SOI, V_{GT} = 400mV e V_{DS} = 0,9V. 126
Figura 82 – V_{EA} em função de T para nanofios transistores sSOI e SOI, V_{GT} = 400mV e V_{DS} = 0,9V. 126
Figura 83 – V_{TH} em função de T para nanofios transistores tipo p SOI e SGOI com W_{FIN} = 10µm e 20nm, V_{DS} = -40mV. 129
Figura 84 – S (A) e DIBL (B) em função de T para nanofios transistores tipo p SGOI com W_{FIN} = 10µm e 20nm. 129
Figura 85 – g_m em função de V_{GS} para nanofio transistor tipo p SGOI com W_{FIN} = 20nm, T variando de 10 a 300K e V_{DS} = -40mV. 130
Figura 86 – g_m/W_{FIN} em função de V_{GS} para nanofios transistores tipo p SGOI com W_{FIN} variando de 20nm a 10µm, T = 10K, V_{DS} = -40mV. 131

Figura 87 – g_m/V_{DS} em função de V_{GS} para nanofio transistor tipo p SGOI com W_{FIN} = 20nm variando V_{DS} de -10 a -100mV em 5,2K (A) e 50K (B). As linhas tracejadas indicam as posições de V_{GS} em que são observados os picos de g_m. 131
Figura 88 – C_{GC} em função de V_{GS} (A) e μ_{eff} em função de N_{inv} (B) para nanofio transistor tipo p SGOI com W_{FIN} = 20nm. 132
Figura 89 – μ_{eff} em função de N_{inv} para nanofios transistores tipo p SOI (A) e SGOI (B) com W_{FIN} = 20nm, variando T de 10 a 300K e V_{DS} = -40mV. 133
Figura 90 – μ_{eff} em função de W_{FIN} para nanofios transistores tipo p SOI e SGOI variando T de 10 a 300K, $N_{inv} = 0{,}8\times10^{13}cm^{-2}$ e V_{DS} = -40mV. 134
Figura 91 – μ_{max} em função de T para nanofios transistores tipo p SOI e SGOI com W_{FIN} = 20nm e 10µm, V_{DS} = -40mV. 134
Figura 92 – μ_{ps} em função de T para nanofios transistores tipo p SOI e SGOI com W_{FIN} = 20nm variando e V_{DS} = -40mV. 135
Figura 93 – Imagem de TEM e representação esquemática de nanofio transistor SOI empilhado verticalmente. Seção transversal (A) e (B), perspectiva (C) e seção longitudinal (D) e (E). 136
Figura 94 – Esquema representativo de NWs empilhados com diferentes W_{FIN}. 139
Figura 95 – C_{GC}' em função de V_{GS} para nanofios transistores empilhados medidos com L de 100nm e diferenças entre os valores de máscara da largura do *fin* de 50nm. O resultado do modelo obtido com EOT = 1,15nm está indicado em linha sólida e linhas tracejadas indicam uma dispersão de ±0,1nm. 140
Figura 96 – Valores extraídos, através do procedimento proposto, para a razão da largura efetiva do *fin* em função da largura de *fin* de máscara, considerando como referências nanofios transistores empilhados com 10, 40 e 60nm de largura de *fin* de máscara. Uma linha tracejada para o eixo vertical igual a 1 indica quando o NW de referência e o estudado são o mesmo. L = 100nm. 142
Figura 97 – W_{FIN} em função de $W_{FIN,mask}$ para nanofios transistores empilhados com L = 100nm. 143
Figura 98 – Resultados medidos e simulados de C_{GC} em função de V_{GS} para nanofios transistores empilhados com L = 100nm. Os NWs foram simulados com W_{FIN} = 15nm e EOT = 1,15 ± 0,1nm (A) e EOT = 1,15nm e W_{FIN} = 15 ± 3nm (B). 144
Figura 99 – $|I_{DS}|.L$ em função de V_{GS} para V_{DS} = -40mV (A) e -0,9V (B). São apresentados nanofios transistores empilhados orientados nas direções [110] e [100], com W_{FIN} = 15nm e L = 100 e 30nm. 145

Figura 100 – I_{OFF}/W_{eff} em função de I_{ON}/W_{eff} (A) e I_{ON}/I_{OFF} em função de W_{FIN} (B). São apresentados nanofios transistores empilhados com canal orientado nas direções [110] e [100], com L = 30nm, emV_{DS} = -0,9V. 147
Figura 101 – V_{TH} (A), S (B) e |DIBL| (C) em função de L para nanofios transistores empilhados orientados nas direções [110] e [100], com W_{FIN} de 15 e 25nm. As tensões de limiar para o cálculo de DIBL foram extraídas através do método da corrente constante, com $I_{DS} = 10^{-8}W_{eff}/L$. 148
Figura 102 – V_{TH} (A), S (B) e |DIBL| (C) em função de W_{FIN} para nanofios transistores empilhados orientados nas direções [110] e [100], com L = 30, 60 e 100nm. 149
Figura 103 – $R_T.W_{eff}$ em função de 1/B para nanofios transistores empilhados orientados na direção [110] (A) e [100] (B). L varia de 15 a 100nm, W_{FIN} = 15, 20, 25, 30, 45 e 65nm. ... 150
Figura 104 – μ_{eff} em função de N_{inv} para nanofios transistores empilhados orientados nas direções [110] e [100], com L = 100nm, W_{FIN} = 15nm e V_{DS} = -40mV. 151
Figura 105 – μ_{eff} em função de L (A) e W_{FIN} (B) para nanofios transistores empilhados orientados em [110] e [100], com V_{DS} = -40mV. 152
Figura 106 – $|I_{DS}|$ (A), g_m (B) e $|dg_m/dV_{GS}|$ (c) em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm, V_{DS} = -40mV e V_B de -90 a 90V. 154
Figura 107 – V_{TH} (A) e S (B) em função de V_B para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV. 155
Figura 108 – Primeiro passo. Medidas e modelo obtido através do ajuste da função Y. g_m em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV. 156
Figura 109 – Primeiro passo. Parâmetros extraídos para nanofio empilhado com W_{FIN} = 15nm e L = 100nm. 157
Figura 110 – Segundo passo. Medidas e modelo de ΔI_{DS} ajustado em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV. 158
Figura 111 – Terceiro passo. Medidas e modelo de $|I_{DS}|$ ajustado em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV. 159
Figura 112 – Representação esquemática do método proposto, discriminando os passos 1 a 3. 159
Figura 113 – Parâmetros extraídos através da metodologia proposta para nanofio empilhado com W_{FIN} = 15nm e L = 100nm. 160
Figura 114 – Parâmetros extraídos de $\mu_{0,\Omega G}$ através da metodologia proposta em função de V_B para nanofio empilhado com W_{FIN} = 25nm, L = 100nm, V_{DS} = -40mV e temperatura variando de 25 a 150°C. 161

Figura 115 – Parâmetros extraídos de μ_0 através da metodologia proposta em função de T para nanofio empilhado com W_{FIN} = 25nm, L = 100nm, V_{DS} = -40mV e diferentes valores de V_B para o NW do nível de baixo. 162

LISTA DE TABELAS

Tabela 1 – Transporte de elétrons e lacunas de acordo com o plano de condução. 78
Tabela 2 – Descrição de parâmetros de nanofios transistores SOI tipo n de canal longo. 83
Tabela 3 – Descrição de parâmetros de nanofios transistores SOI tipo n de canal curto e tipo p de canal longo e curto. 84
Tabela 4 – R_S variando T para W_{FIN} = 14,5nm e 10µm. 101
Tabela 5 – A_V variando W_{FIN} em 300K, V_{DS} = 0,9V e V_{GT} = 400mV. 107
Tabela 6 – A_V em função de T para W_{FIN} = 14,5nm e 10µm, V_{DS} = 0,9V e V_{GT} = 400mV. . 109
Tabela 7 – Descrição de parâmetros de nanofios transistores sSOI tipo n. 117
Tabela 8 – Descrição de parâmetros de nanofios transistores SGOI tipo p. 127
Tabela 9 – Descrição de parâmetros de nanofios transistores SOI tipo p utilizados na comparação com nanofios transistores SGOI tipo p. 128
Tabela 10 – Descrição de parâmetros de nanofios transistores tipo p SOI verticalmente empilhados. Os parâmetros E_{OT} e W_{FIN} eram desconhecidos antes da realização deste trabalho e foram determinados através de metodologias de extração propostas ao longo desta seção. 137

LISTA DE ABREVIATURAS E SIGLAS

[100]-NW	Nanofio transistor com o canal orientado na direção [100]
[110]-NW	Nanofio transistor com o canal orientado na direção [110]
1DEG	*One Dimensional Electron Gas* – Nuvem de elétrons unidimensional
2DEG	*Two Dimensional Electron Gas* – Nuvem de elétrons bidimensional
AC	*Alternating Current* – Corrente alternada
CEA	*Commissariat à l'énergie atomique et aux énergies alternatives* – Comissão de Energia Atômica e Energias Alternativas
CMOS	*Complementary Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor Complementar
DC	*Direct Current* – Corrente contínua
DELTA	*Fully Depleted Lean-channel Transistor* – Transistor de canal vertical totalmente depletado
DIBL	*Drain-Induced Barrier Lowering* – Redução da barreira induzida pelo dreno
EOT	*Effective Oxide Thickness* – Espessura efetiva do óxido de porta
FAPESP	Fundação de Amparo à Pesquisa do Estado de São Paulo
FD	*Fully depleted* – Totalmente depletado
FinFET	*Fin Field-Effect Transistor* – Transistor de efeito de campo Fin
GAA	*Gate-All-Around* – Porta circundante
GIDL	*Gate-Induced drain leakage* – Corrente de fuga no dreno induzida pela porta
IFM	*Integral Function Method* – Método da função integral
ITRS	*International Technology Roadmap for Semiconductors* – Roteiro de tecnologia internacional para semicondutores
MOS	*Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor
MOSFET	*Metal-Oxide-Semiconductor Field-Effect Transistor* – Transistor de efeito de campo Metal-Óxido-Semicondutor
NFD	*Near-Fully depleted* – Quase-totalmente depletado
nMOS	*n-type Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor tipo n
nMOSFET	*n-type Metal-Oxide-Semiconductor Field-Effect Transistor* – Transistor de efeito de campo Metal-Óxido-Semicondutor tipo n
n-NW	Nanofio transistor tipo n

NPN	Transistor bipolar composto por junções com materiais do tipo n, p e n
NW	*Nanowire Transistor* – Nanofio transistor
PD	*Partially Depleted* – Parcialmente depletado
pMOS	*p-type Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor tipo p
pMOSFET	*p-type Metal-Oxide-Semiconductor Field-Effect Transistor* – Transistor de efeito de campo Metal-Óxido-Semicondutor tipo p
PNP	Transistor bipolar composto por junções com materiais do tipo p, n e p
p-NW	Nanofio transistor tipo n
RMG	Replacement Metal Gate – Substituição do material de porta
SCE	*Short Channel Effects* – Efeitos de canal curto
SDEVICE	*Sentaurus Device Simulator* – Simulador de dispositivo Sentaurus
SGOI	*SiGe-On-Insulator* – Silício-Germanio-Sobre-Isolante
SOI	*Silicon-On-Insulator* – Silício-Sobre-Isolante
SRH	Shockley-Read-Hall
sSOI	*Strained Silicon-On-Insulator* – Silício-Sobre-Isolante tensionado
TEM	*Transmission Electron Microscopy* – Microscópio eletrônico de transmissão
ULSI	*Ultra Large Scale Integration* – Altíssima escala de integração
XMOS	Transistor MOS assim denominado por apresentar seção transversal similar à letra grega Ξ, que corresponde à letra X, no alfabeto latino
ZTC	*Zero Temperature Coefficient* – Ponto invariante com a temperatura

LISTA DE SÍMBOLOS

a_{Si}	Espaçamento cristalino do silício [Å]
a_{SiGe}	Espaçamento cristalino da liga silício-germânio [Å]
A_V	Ganho intrínseco de tensão (dB)
B	Ganho do MOSFET (V^2/A)
C_{GC}	Capacitância entre a porta e o canal [F]
$C_{GC'}$	Diferença entre as capacitâncias entre a porta e o canal de dois transistores distintos por unidade de área [F/m^2]
C_{LOAD}	Capacitância de carga na saída de circuito [F]
C_{ox}	Capacitância de porta por unidade de área [F/cm^2]
d	Espessura de depleção induzida por um potencial [cm]
$d_{máx}$	Espessura máxima de depleção [cm]
E_{co}	Mínimo clássico da banda de condução [eV]
E_{crit}	Campo elétrico crítico [V/cm]
E_{eff}	Campo elétrico efetivo [V/cm]
E_G	Largura da banda proibida [eV]
E_i	Nível intrínseco de energia do semicondutor [eV]
EI	Fator de integridade eletrostática
E_y	Campo elétrico lateral [V/cm]
f	Frequência [Hz]
g_D	Condutância de saída [S]
g_m	Transcondutância [S]
h	Constante de Planck [$6{,}63 \times 10^{-34}$ J.s]
HD2	Distorção harmônica de segunda ordem [dB]
HD3	Distorção harmônica de terceira ordem [dB]
H_{FIN}	Altura do *fin* do transistor de múltiplas portas [nm]
I_{Dfin}	Corrente de um transistor de múltiplas portas em uma estrutura multi-dedos [A]
$I_{DS,cor}$	Corrente elétrica após a correção da resistência série [A]
I_{DS0}	Corrente de um transistor planar de porta única com área correspondente a de uma estrutura multi-dedos [A]
I_{OFF}	Corrente de estado desligado [A]
I_{ON}	Corrente de estado ligado [A]

I_{pol}	Corrente elétrica de polarização [A]
k	Constante de Boltzmann [$1{,}38 \times 10^{-23}$ J/K]
L	Comprimento do canal do transistor [nm]
L_{el}	Comprimento elétrico efetivo do canal do transistor [nm]
m*	Massa efetiva de confinamento do portador na direção transversal [kg]
m_0	Massa do elétron [$9{,}11 \times 10^{-31}$ kg]
m_{ce}^*	Massa efetiva de condução para elétrons
m_{ch}^*	Massa efetiva de condução para lacunas
m_l	Massa efetiva longitudinal do portador [kg]
m_t	Massa efetiva transversal do portador [kg]
n	Fator de corpo
N_A	Concentração de impurezas aceitadoras [cm^{-3}]
N_A^-	Concentração de impurezas aceitadoras ionizadas da camada de silício [cm^{-3}]
N_C	Densidade de estados na banda de condução (cm^{-3})
N_D	Concentração de impurezas doadoras [cm^{-3}]
N_D^+	Concentração de impurezas doadoras ionizadas da camada de silício [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
N_{inv}	Concentração de portadores na camada de inversão [cm^{-2}]
N_{porta}	Número de portas do transistor
N_{refe}	Parâmetro relacionado à concentração de elétrons de referência utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^{-3}]
N_{refh}	Parâmetro relacionado à concentração de lacunas de referência utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^{-3}]
N_V	Densidade de estados na banda de valência (cm^{-3})
P	Período da estrutura multi-dedos [nm]
q	Carga elementar do elétron [$1{,}6 \times 10^{-19}$ C]
Q_{inv}	Densidade de cargas na camada de inversão [C/cm^{-2}]
r	Razão entre as derivadas da resistência total de dois transistores distintos
R_S	Resistência série associada ao transistor [Ω]
R_T	Resistência total associada ao transistor [Ω]
S	Inclinação de sublimiar [mV/década]
T	Temperatura absoluta [K]

t	Tempo [s]
t_{BOX}	Espessura da camada de óxido enterrado [nm]
THD	Distorção harmônica total [dB]
t_{ox}	Espessura do óxido de porta [nm]
$t_{ox,lat}$	Espessura do óxido das portas laterais do transistor de porta dupla [nm]
$t_{ox,top}$	Espessura do óxido de porta no topo do transistor de porta dupla [nm]
t_{Si}	Espessura da camada de silício [nm]
U	Derivada da resistência total para aplicação do método *Shift and Ratio* [A^{-1}]
v	Velocidade de deriva dos portadores [cm/s]
V_A	Amplitude da componente alternada do sinal de entrada do circuito [V]
V_{bi}	Potencial interno da junção dreno-canal [V]
V_D	Tensão de dreno [V]
V_{DS}	Tensão aplicada entre dreno e fonte [V]
$V_{DS,1}$	Baixa tensão aplicada entre dreno e fonte utilizada para o cálculo do DIBL [V]
$V_{DS,2}$	Alta tensão aplicada entre dreno e fonte utilizada para o cálculo do DIBL [V]
V_G	Tensão de porta [V]
V_{GS}	Tensão aplicada entre a porta e a fonte [V]
vgs	Parcela alternada do sinal de entrada do circuito [V]
V_{GT}	Sobretensão de porta [V]
V_{in}	Sinal elétrico de entrada do circuito [V]
V_O	Componente contínua do sinal de entrada do circuito [V]
V_S	Tensão da fonte [V]
v_{sat}	Velocidade de saturação [cm/s]
V_{TH}	Tensão de limiar [V]
$V_{TH,1}$	Tensão de limiar obtida quando aplicada baixa tensão de dreno [V]
$V_{TH,2}$	Tensão de limiar obtida quando aplicada alta tensão de dreno [V]
W_{eff}	Largura efetiva de porta do transistor de múltiplas portas [nm]
W_{FIN}	Largura do *fin* do transistor de múltiplas portas [nm]
$W_{FIN,mask}$	Largura de máscada do *fin* do transistor de múltiplas portas [nm]
α_e	Parâmetro utilizado para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons e por impurezas ionizadas
α_{ea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons

α_h	Parâmetro utilizado para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons e por impurezas ionizadas
α_{ha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons
β	Parâmetro constante associado a influência da velocidade de saturação na mobilidade
β_{ea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons
β_{ha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons
γ	Coeficiente de dependência com a temperatura
δ	Deslocamento aplicado na tensão entre porta e fonte para aplicação do método *Shift and Ratio* [V]
ΔW	Diferença entre as larguras do *fin* de dois transistores distintos [nm]
θ_1	Coeficiente de degradação da mobilidade pelo campo elétrico vertical de primeira ordem [V^{-1}]
θ_2	Coeficiente de degradação da mobilidade pelo campo elétrico vertical de segunda ordem [V^{-1}]
λ_D	Parâmetro que inclui a dependência da corrente de dreno em saturação pela tensão de dreno [V^{-1}]
ω	Frequência angular [rad]
$\hbar$	Constante de Planck normalizada [$1{,}055 \times 10^{-34}$ J.s]
ε_0	Permissividade elétrica do vácuo [$8{,}85 \times 10^{-14}$ F/cm]
ε_{ox}	Permissividade elétrica do óxido de silício [$3{,}45 \times 10^{-13}$ F/cm]
ε_{Si}	Permissividade elétrica do silício [$1{,}06 \times 10^{-12}$ F/cm]
ϕ_F	Potencial de Fermi [V]
ϕ_{mi}	Diferença de função trabalho entre a porta e o silício intrínseco [V]
φ_t	Potencial térmico [V]
λ	Comprimento natural [nm]
μ	Mobilidade [$cm^2/V.s$]
μ_0	Mobilidade de baixo campo [$cm^2/V.s$]
μ_{0e}	Mobilidade de baixo campo para os elétrons [$cm^2/V.s$]
μ_{0h}	Mobilidade de baixo campo para as lacunas [$cm^2/V.s$]

μ_{cce}	Mobilidade dos elétrons devido ao espalhamento portador-portador [$cm^2/V.s$]
μ_{cch}	Mobilidade das lacunas devido ao espalhamento portador-portador [$cm^2/V.s$]
$\mu_{Coulomb}$	Mobilidade devido ao mecanismo de espalhamento Coulomb [$cm^2/V.s$]
μ_{eff}	Mobilidade efetiva considerando a degradação devido ao campo elétrico efetivo [$cm^2/V.s$]
μ_{max}	Máxima mobilidade efetiva [$cm^2/V.s$]
μ_{mine}	Parâmetro relacionado à mobilidade mínima dos elétrons utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [$cm^2/V.s$]
μ_{minh}	Parâmetro relacionado à mobilidade mínima das lacunas utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [$cm^2/V.s$]
μ_{nie}	Mobilidade dos elétrons devido ao espalhamento por impurezas neutras [$cm^2/V.s$]
μ_{nih}	Mobilidade das lacunas devido ao espalhamento por impurezas neutras [$cm^{2/}V.s$]
μ_{oea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons [$cm^2/V.s$]
μ_{oeb}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons [$cm^2/V.s$]
μ_{oha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons [$cm^2/V.s$]
μ_{ohb}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons [$cm^2/V.s$]
μ_{ps}	Mobilidade devido ao mecanismo de espalhamento por fônons [$cm^2/V.s$]
μ_{pse}	Mobilidade dos elétrons devido ao espalhamento de fônons [$cm^2/V.s$]
μ_{psh}	Mobilidade das lacunas devido ao espalhamento de fônons [$cm^2/V.s$]
μ_{psiie}	Mobilidade dos elétrons devido aos espalhamentos de fônons e por impurezas ionizadas [$cm^2/V.s$]
μ_{psiih}	Mobilidade das lacunas devido aos espalhamentos de fônons e por impurezas ionizadas [$cm^2/V.s$]
μ_{sr}	Mobilidade devido ao mecanismo de espalhamento por rugosidade de superfície [$cm^2/V.s$]

* Índices “1” e “2” adicionados aos símbolos acima descritos têm por objetivo diferenciar dois transistores distintos.

** Índices “0” e “i” adicionados a $W_{FIN,mask}$, W_{eff}, U, V_{TH} e μ_{eff} têm por objetivo discriminar o transistor de referência (0) e o transistor estudado (i), para aplicação do método *Shift and Ratio*.

*** Índices “ΩG” e “GAA” adicionados a I_{DS}, θ_1, θ_2, μ_0, V_{GT}, W_{eff}, e V_{TH} têm por objetivo discriminar o nanofio do nível de baixo e de cima da estrutura de nanofio transistor empilhado, para aplicação do método de dissociação dos canais.

SUMÁRIO

1 INTRODUÇÃO 28

2 CONCEITOS FUNDAMENTAIS 33

2.1 TECNOLOGIA SOI 33

2.2 TRANSISTORES DE MÚLTIPLAS PORTAS 37

2.2.1 Empilhamento de estruturas 43

2.3 CARACTERÍSTICAS ELÉTRICAS BÁSICAS 46

2.3.1 Tensão de limiar (V_{TH}) 46

2.3.2 Inclinação de sublimiar (S) 47

2.3.3 Mobilidade (μ) 48

2.3.3.1 Velocidade de saturação – v_{sat} 52

2.3.3.2 Técnicas de extração da mobilidade 54

2.3.4 Parâmetros analógicos 55

2.3.4.1 Transcondutância (g_m) e razão g_m/I_{DS} 55

2.3.4.2 Condutância de saída (g_D) e tensão Early (V_{EA}) 57

2.3.4.3 Ganho intrínseco de tensão (A_V) 59

2.3.4.4 Distorção harmônica 60

2.3.5 Efeitos de canal curto 63

2.3.6 Efeitos quânticos 66

2.3.7 Influência da temperatura 69

2.4 TÉCNICAS PARA AUMENTAR A MOBILIDADE 73

2.4.1 Tensionamento mecânico 73

2.4.1.1 Tensionamento do substrato - Strained SOI (sSOI) 75

2.4.1.2 SiGe nas regiões de fonte e dreno 76

2.4.2 Rotação do substrato 77

3 SIMULADOR 79

4 RESULTADOS E DISCUSSÕES 82

4.1 NANOFIOS TRANSISTORES NÃO EMPILHADOS SEM TENSIONAMENTO MECÂNICO 82

4.1.1 Parâmetros analógicos básicos 88

4.1.1.1 Nanofios transistores de canal longo 88

4.1.1.2 Nanofios transistores de canal curto 93

4.1.2 Distorção harmônica 97

4.1.2.1 Análise considerando um sinal de entrada fixo *98*
4.1.2.2 Análise considerando um sinal de saída fixo *106*
4.1.3 Influência da polarização de substrato na mobilidade efetiva **110**
4.2 NANOFIOS TRANSISTORES NÃO EMPILHADOS COM TENSIONAMENTO MECÂNICO 116
4.2.1 Nanofios não empilhados com tensionamento tipo n **117**
4.2.1.1 Parâmetros analógicos de nanofios transistores tipo n sSOI *117*
4.2.1.2 Operação criogênica de nanofios transistores tipo n sSOI *121*
4.2.2 Nanofios não empilhados com tensionamento tipo p **127**
4.2.2.1 Operação criogênica de nanofios transistores tipo p de SiGe *128*
4.3 NANOFIOS TRANSISTORES EMPILHADOS COM TENSÃO MECÂNICA . 136
4.3.1 Extração de EOT **138**
4.3.2 Modificação do método *Shift and Ratio* para extração da largura real do *fin* **140**
4.3.3 Extração de parâmetros básicos **144**
4.3.4 Mobilidade dos portadores **149**
4.3.5 Dissociação dos canais de condução dos níveis de cima e de baixo de nanofios transistores empilhados em dois níveis **152**
4.3.5.1 Influência da temperatura na mobilidade de baixo campo de cada um dos níveis de nanofios transistores empilhados *161*
5 CONCLUSÕES E TRABALHOS FUTUROS **163**
REFERÊNCIAS **169**
APÊNDICE A – GERAÇÃO DE ESTRUTURA DE NANOFIO TRANSISTOR **183**
APÊNDICE B – SIMULAÇÃO DE NANOFIO TRANSISTOR SOI **188**
APÊNDICE C – PUBLICAÇÕES **193**

1 INTRODUÇÃO

A miniaturização dos transistores por efeito de campo tipo MOS (*Metal-Oxide-Semiconductor*) agravou problemas denominados efeitos de canal curto, relacionados à redução do controle do eletrodo de porta sobre as cargas da região do canal devido à redução do comprimento de canal. Os efeitos de canal curto degradam as características elétricas dos transistores, reduzindo a tensão de limiar e aumentando a sua dependência com o potencial aplicado ao dreno, aumentando a inclinação de sublimiar e aumentando a corrente de estado desligado (COLINGE, 2004a; COLINGE; COLINGE, 2005). Devido à degradação de suas características elétricas e, portanto, de seu funcionamento, o uso de transistores convencionais planares para tecnologias iguais e inferiores a 22nm se mostrou desvantajoso em circuitos integrados digitais com altíssima escala de integração (*Ultra Large Scale Integration* – ULSI) frente a novas alternativas tecnológicas recentemente propostas (BOHR; MISTRY, 2011).

Em busca da continuidade da tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*), a comunidade científica e a indústria da microeletrônica têm investido no desenvolvimento e na implementação de novas tecnologias, materiais, estruturas de dispositivos e técnicas de processo de fabricação (RISCH, 2006).

O uso da tecnologia Silício-Sobre-Isolante (SOI) trouxe diversas vantagens para o transistor MOS, como a redução de capacitâncias parasitárias, aumento da densidade de integração e redução de efeitos de canal curto (COLINGE, 2004a). Atualmente, o uso de transistores SOI de camada fina é bastante difundido no mercado da microeletrônica, sendo Samsung, STMicroelectronics, IBM e Global Foundries alguns exemplos de empresas que comercializam e investem no aperfeiçoamento desses dispositivos (GWENNAP, 2016).

A fim de proporcionar melhor controle eletrostático das cargas no canal, estruturas de múltiplas portas foram propostas para reduzir os efeitos de canal curto e permitir maior escalamento da tecnologia MOS (COLINGE, 2004b; DOYLE et al., 2003). Neste caso, o termo múltiplas portas se refere ao fato de que o canal do transistor possui mais do que uma única superfície coberta pelo material de porta, o que dá origem a múltiplos canais de condução. Todas essas superfícies (portas) podem ser interligadas entre si e conectadas a um único eletrodo. Assim, transistores de múltiplas portas são estruturas tridimensionais caracterizadas por uma aleta de material semicondutor (*fin*) envolta pelo material de porta (COLINGE, 2004b).

Desde a década de 80, variações das dimensões da seção transversal do transistor e do perímetro da porta têm sido exploradas, dando origem a diversas arquiteturas de transistores

de múltiplas portas (HISAMOTO et al., 2000; HUANG et al., 1999; SEKIGAWA; HAYASHI, 1984; YU et al., 2002).

Como o aumento do número de portas leva a um maior controle das cargas no canal, reduzindo os efeitos de canal curto, transistores de porta tripla e circundante ganharam destaque e se tornaram objeto de interesse (COLINGE et al., 1990; COQUAND et al., 2012a; KUHN, 2012). A redução das dimensões da seção transversal da aleta de transistores de porta tripla e circundante para alguns nanômetros deu origem a uma nova geração de dispositivos de múltiplas portas, os quais foram denominados nanofios transistores MOS (NW – *Nanowire Transistor*) (BANGSARUNTIP et al., 2009; COQUAND et al., 2012a, 2012b). Estudos demonstraram que nanofios transistores MOS apresentam alto controle eletrostático e, portanto, excelentes características elétricas para aplicações digitais, como memórias e microprocessadores (BARRAUD et al., 2012; PAN et al., 2015; SMITH et al., 2017). A investigação de nanofios transistores avançados, com comprimentos de canal da ordem de 20nm e largura da aleta de silício de até 5nm, mostrou correntes de estado desligado da ordem de 10^{-11}A, inclinação de sublimiar próxima do limite teórico (~62mV/dec) e baixa influência do potencial no dreno sobre a tensão de limiar (~12mV/V), indicando-os como potenciais candidatos para a implementação de futuros nós tecnológicos (BARRAUD et al., 2012; COQUAND et al., 2012a; DESHPANDE et al., 2012; SMITH et al., 2017).

Embora os nanofios transistores possuam vantagens quanto à miniaturização, como, por exemplo, inclinação de sublimiar próxima do valor mínimo teórico e baixa corrente de desligamento, a redução da largura da aleta de silício sem devida atenção à orientação cristalográfica dos planos de condução degrada a mobilidade efetiva dos elétrons no canal, em comparação com transistores planares. Isso ocorre porque a contribuição do plano de condução da superfície do topo, (100)/[110], que é favorável para os elétrons, reduz em comparação ao plano de condução das superfícies laterais, (110)/[110] (KOYAMA et al., 2013). Para elevar a corrente elétrica dos nanofios transistores, tendo por objetivo atender aos requerimentos do Roteiro de Tecnologia Internacional para Semicondutores (*International Technology Roadmap for Semiconductors* - ITRS) (RISCH, 2006), recursos alternativos para aumentar a mobilidade dos transistores são necessários, como o uso de diferentes materiais, tensionamento mecânico e rotação do substrato. Enquanto o uso do tensionamento mecânico dos tipos compressivo e tensivo aumenta a mobilidade das lacunas e dos elétrons, respectivamente (BARRAUD et al., 2014), a orientação cristalográfica do canal de nanofios transistores tipo n na direção [100] pode melhorar sua corrente (SAITOH et al., 2010). A combinação do aumento da mobilidade, proporcionada pelo uso do tensionamento mecânico,

e do elevado controle eletrostático, promovido por nanofios transistores, é de grande interesse para a indústria da microeletrônica e se mostrou uma importante aliada para a continuidade da tecnologia CMOS (BARRAUD et al., 2014; PELLOUX-PRAYER et al., 2014). Embora existam diversos estudos sobre nanofios transistores MOS na literatura, estes exploram, majoritariamente, o funcionamento dos dispositivos com foco para aplicações digitais (COQUAND et al., 2012b; DESHPANDE et al., 2012; LAI et al., 2011; SAITOH et al., 2010). Poucos trabalhos tratam da operação de NWs em regime de saturação com foco para parâmetros analógicos (KILCHYTSKA et al., 2015). Assim, ainda existem muitos assuntos a serem explorados quanto aos parâmetros analógicos de NWs, como a influência da baixa temperatura e o uso de tensionamento mecânico. Além de ser importante para aplicações analógicas, o estudo de parâmetros analógicos permite prever o comportamento de nanofios transistores em circuitos mistos, como conversores e comparadores.

Uma outra alternativa tecnológica para aumentar a corrente elétrica fornecida por unidade de área é a integração tridimensional de estruturas, como, por exemplo, o empilhamento de transistores. Avanços recentes no processo de integração tridimensional e no aperfeiçoamento da seletividade de materiais em etapas de corrosão (CAUBET et al., 2006) permitiram a fabricação de nanofios transistores empilhados (BARRAUD et al., 2016; DUPRE et al., 2008; MERTENS et al., 2016; POIROUX et al., 2010). Nesses dispositivos, a corrente total é, aproximadamente, proporcional ao número de transistores empilhados. Em 2016, o Leti (*Laboratoire d'électronique et de technologie de l'information* – Laboratório de Eletrônica da Tecnologia da Informação), situado na cidade de Grenoble, França, propôs uma estrutura inovadora de nanofios empilhados com espaçadores internos, como solução para os problemas de capacitância parasitária observados em dispositivos empilhados (BARRAUD et al., 2016). Adicionalmente, esses nanofios transistores fabricados possuem tensionamento mecânico integrado, através de regiões de fonte e dreno crescidas com ligas de SiGe.

Este trabalho tem como objetivo central a caracterização elétrica de nanofios transistores MOS fabricados em diferentes tecnologias, partindo de NWs sem tensionamento mecânico, evoluindo para NWs tensionados e, por fim, NWs empilhados e tensionados. A influência dessas tecnologias será estudada através da extração de diversas características elétricas e comparação entre essas tecnologias, com especial enfoque para a mobilidade dos portadores. Através da colaboração entre Centro Universitário FEI e CEA (*Commissariat à l'énergie atomique et aux énergies alternatives* – Comissão de Energia Atômica e Energias Alternativas) e do apoio financeiro da FAPESP (Fundação de Amparo à Pesquisa do Estado de São Paulo), um estágio de pesquisa no Leti, Grenoble, França, com duração de um ano,

possibilitou o acesso aos nanofios transistores SOI estudados. Neste trabalho, as comparações apresentadas entre as tecnologias de NWs não tensionados, tensionados e empilhados, variando a temperatura, as dimensões da largura do *fin* e do comprimento de canal e orientação cristalográfica são inéditas e possibilitam a avaliação de qual tecnologia de NWs, dentre as estudadas, possui os melhores resultados para cada conjunto de parâmetros investigados. Desse modo, são fornecidas informações relevantes que contribuem com a escolha da tecnologia a ser implementada para os próximos nós tecnológicos, a qual permitirá a continuidade da tecnologia CMOS.

A seguir serão apresentados, de maneira resumida, os conteúdos abordados em cada uma das cinco seções que compõem esse trabalho.

A seção 2 trata da revisão bibliográfica básica e fundamental para o entendimento deste trabalho. Inicialmente, são discutidas as vantagens da tecnologia SOI e classificados os tipos existentes de transistores SOI modo inversão. Uma subseção é dedicada aos transistores de múltiplas portas, contendo a motivação para a criação dessas estruturas, suas vantagens, breve histórico e diferentes tipos de arquiteturas, incluindo o empilhamento de estruturas. Posteriormente, são apresentados os parâmetros elétricos básicos normalmente utilizados para caracterizar um transistor MOS e que serão figuras de mérito neste trabalho, incluindo tensão de limiar, inclinação de sublimiar, mobilidade, parâmetros analógicos, efeitos de canal curto, efeitos quânticos observados em dispositivos nanométricos, como no caso de nanofios transistores, e influência da temperatura. A seção de conceitos fundamentais se encerra com duas alternativas tecnológicas que podem ser utilizadas para aumentar a mobilidade dos portadores em nanofios transistores e que estão presentes em alguns dos NWs estudados neste trabalho, sendo estas tensionamento mecânico e rotação do substrato.

A seção 3 detalha as características do simulador utilizado, ao longo de todo o trabalho, para obter as simulações numéricas tridimensionais que deram suporte teórico e confirmaram as conclusões obtidas, experimentalmente, a partir das medidas elétricas. São descritos os modelos físicos utilizados nas simulações e as especificidades consideradas a fim de reproduzir as características reais dos nanofios transistores medidos, da melhor forma possível, de acordo com os efeitos físicos relevantes para a análise dos resultados.

A seção 4 apresenta os resultados obtidos ao longo deste trabalho. Inicialmente, são estudados nanofios transistores não empilhados com porta Ω sem tensionamento mecânico. São extraídos os parâmetros analógicos destes transistores, considerando NWs tipo n (n-NW) e tipo p (p-NW) de canal longo e curto, em temperatura ambiente, variando a largura da aleta do transistor desde 9,5nm até 10µm, sendo que o de 10µm representa o comportamento de um

dispositivo quasi-planar. Para essas análises, as principais figuras de mérito são a transcondutância, condutância de saída, ganho intrínseco de tensão e tensão Early, obtidos com o NW operando em regime de saturação. Posteriormente, é realizado um estudo da linearidade dos n-NWs de porta Ω de canal longo, operando como amplificador de transistor único, em saturação, de 300 até 100K. A mobilidade e a resistência série também são extraídas e correlacionadas com os resultados obtidos. Um estudo da influência da polarização do substrato na mobilidade de nanofios transistores estreitos é realizado através de medidas e, principalmente, simulações numéricas tridimensionais. São avaliados cortes transversais do potencial eletrostático, campo elétrico e densidade de portadores para um vasto intervalo de polarização do substrato. Na seguinte subseção, é avaliada a influência da utilização de tensionamento mecânico em nanofios transistores não empilhados. São comparados resultados de características elétricas em temperatura ambiente e baixa temperatura para NWs com e sem tensionamento mecânico, tipo n e tipo p. Os n-NWs são fabricados em substrato sSOI, enquanto os p-NWs são fabricados com Silício-Germânio-Sobre-Isolante (SGOI). Para os n-NWs sSOI e SOI, é avaliada a influência do tensionamento mecânico do tipo tensivo nos parâmetros analógicos e na mobilidade dos portadores. Para os p-NWs SGOI e SOI, é avaliado o tensionamento mecânico do tipo compressivo na mobilidade dos portadores. Também são verificadas ondulações devido ao confinamento quântico nos NWs tensionados. A seguinte subseção de resultados estuda o comportamento de nanofios transistores empilhados com tensionamento mecânico, cuja caracterização elétrica requer a adaptação de alguns métodos presentes na literatura, devido às particularidades dessa tecnologia. São analisados transistores com diversas larguras e comprimentos de canal. São apresentados os métodos utilizados para extrair a espessura efetiva do óxido de porta e a largura real da aleta de silício. O comportamento dos NWs empilhados é avaliado através de parâmetros básicos e mobilidade. Através do uso da polarização de substrato, foi proposto um método para dissociar as contribuições de condução de cada um dos dois níveis dos nanofios empilhados. Foi verificada a dependência da mobilidade de baixo campo com a polarização de substrato em temperatura ambiente e até 150°C.

Na seção 5, são sumarizadas as principais conclusões obtidas ao longo do trabalho e também apresentadas propostas para sua continuidade.

2 CONCEITOS FUNDAMENTAIS

Esta seção apresenta uma revisão bibliográfica sobre transistores MOS fabricados na tecnologia Silício-Sobre-Isolante, com destaque para os benefícios da utilização desse tipo de substrato. Posteriormente, são discutidos os tipos de transistores de múltiplas portas que foram propostos ao longo das últimas décadas, seus benefícios e especificidades, com maiores detalhes para estruturas empilhadas. São destacados alguns parâmetros elétricos básicos que caracterizam esses transistores. Parâmetros utilizados para avaliação do comportamento analógico do transistor e conceitos sobre distorção harmônica e linearidade são introduzidos, juntamente com a descrição das figuras de mérito utilizadas para seu estudo e um método existente na literatura para sua extração. São apresentados os efeitos indesejáveis decorrentes da miniaturização, efeitos quânticos a que nanofios transistores estão sujeitos e uma introdução teórica sobre os efeitos da temperatura no comportamento do transistor. Para encerrar a seção, dois artifícios empregados para aumentar a mobilidade dos portadores são apresentados, sendo estes o tensionamento mecânico e a rotação do substrato.

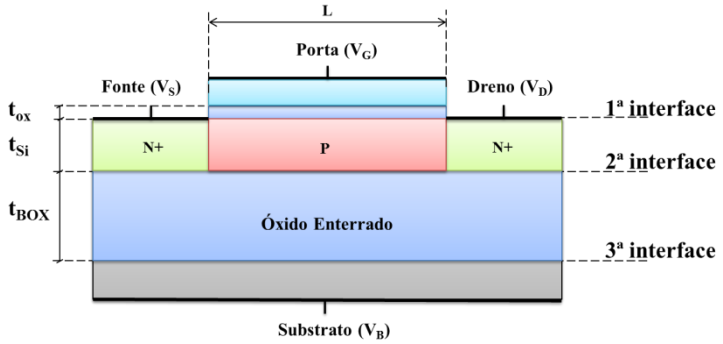
2.1 TECNOLOGIA SOI

A tecnologia SOI consiste na fabricação de lâminas em que o material semicondutor da região ativa é separado do substrato por uma camada de isolante. Apesar de apresentar algumas desvantagens em relação à tecnologia convencional (*bulk*), como maior efeito de auto aquecimento (YU et al., 2001) e maior custo de fabricação do *wafer* (GWENNAP, 2016), devido aos seus benefícios, a tecnologia SOI foi amplamente difundida na indústria da microeletrônica. Deste modo, o mercado alavancou a produção comercial em massa de lâminas SOI no final dos anos 90 (COLINGE, 2004a). Por exemplo, atualmente, a Global Foundries fabrica memórias com a tecnologia 22FDX, que consiste em transistores SOI que operam em aplicações de baixa potência (0,4V), enquanto a STMicroelectronics e a NXP Semiconductors fabricam microcontroladores para a indústria automotiva também utilizando a tecnologia SOI (ARUNA, 2016; CLARKE, 2016; SAYS, 2018).

A Figura 1 apresenta o perfil transversal de um transistor tipo Metal-Óxido-Semicondutor de efeito de campo (*Metal-Oxide-Semiconductor Field-Effect Transistor* – MOSFET), o qual constitui o maior grupo de componentes fabricados em lâmina SOI (COLINGE, 2000). Na Figura 1, é possível distinguir duas camadas de silício separadas pelo isolante que caracteriza a tecnologia SOI. A primeira, de espessura t_{Si}, define a região ativa do

transistor, dividida em fonte, canal e dreno, enquanto a segunda, o substrato, proporciona sustentação mecânica para a estrutura. O comprimento do canal do transistor é definido pela letra L. A camada de óxido de porta, de espessura t_{ox}, e a camada de silício dopada formam a primeira interface da estrutura. Essa mesma camada de silício e o óxido enterrado, de espessura t_{BOX}, formam a segunda interface. A terceira interface é definida pelo óxido enterrado e o substrato. As camadas descritas compõem dois capacitores, o capacitor de porta e um formado pela estrutura substrato/óxido enterrado/silício. Como as regiões de fonte e dreno apresentam dopantes tipo n+, a Figura 1 retrata um nMOSFET (*n-type Metal-Oxide-Semiconductor Field-Effect Transistor*).

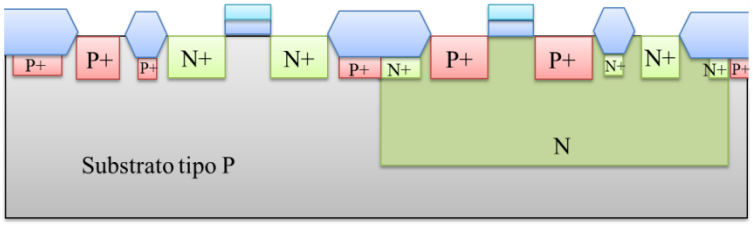
Figura 1 – Perfil transversal de um SOI nMOSFET.



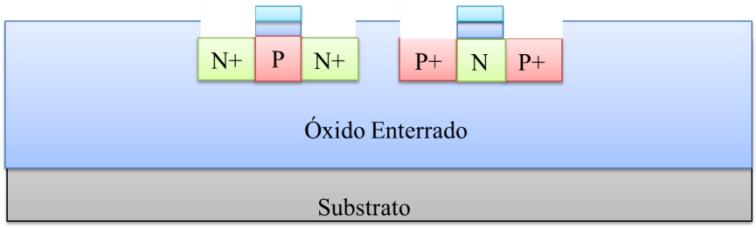
Fonte: Autor

Entre as vantagens da tecnologia SOI sobre a tecnologia MOS convencional, é possível destacar a redução de capacitâncias parasitárias, aumento da densidade de integração, eliminação do efeito tiristor parasitário e maior resistência à radiação (COLINGE, 2004a). É possível compreender algumas dessas vantagens através da Figura 2, que mostra duas estruturas CMOS fabricadas em tecnologia MOS convencional (A) e SOI (B).

Figura 2 – Ilustrações de estruturas CMOS fabricadas em tecnologia MOS convencional (A) e em tecnologia SOI (B).



(A)



(B)

Fonte: Autor

Diferentemente da estrutura SOI CMOS, a estrutura CMOS convencional apresenta pequenas áreas de implantação iônica embaixo do óxido de campo, as quais são necessárias para evitar a redução de dopantes do silício próximo ao óxido, que ocorre durante o processo de oxidação. Como são caracterizadas pelo aumento da concentração de dopantes em uma região de espessura pequena, essas implantações iônicas contribuem para o aumento de capacitâncias parasitárias. Adicionalmente, a espessura e a permissividade do óxido enterrado reduzem as capacitâncias de junção, aumentando a velocidade do circuito elétrico fabricado em lâmina SOI (COLINGE, 2004a). Também é possível observar, na Figura 2, que os transistores SOI não apresentam contato de corpo, diferentemente da estrutura CMOS convencional, e os transistores tipo p e tipo n são isolados de forma mais compacta, aumentando sua densidade de integração.

Na estrutura CMOS convencional, o substrato do transistor tipo n e a cavidade do transistor tipo p estão em contato, interligando dois transistores bipolares parasitários, NPN e PNP. Quando um desses transistores é ativado, sua corrente de coletor ativa o outro transistor bipolar, desencadeando o efeito tiristor. Nos SOI MOSFETs essa estrutura parasitária é totalmente eliminada pela completa isolação dos diferentes dispositivos (COLINGE, 2004a).

Além disso, como a região ativa está isolada do substrato, quando uma partícula ionizada atravessa uma lâmina SOI, os portadores gerados abaixo do óxido não interferem na operação do transistor, somente os portadores gerados na região ativa. Por outro lado, no transistor MOS convencional, todos os portadores gerados na região afetada pela radiação podem influenciar no comportamento do dispositivo (SCHWANK et al., 2003). Devido à maior robustez contra os efeitos da radiação, recentemente, a Space Exploration Technologies Corporation (SpaceX) anunciou um contrato com a STMicroelectronics para utilização de microcontroladores fabricados com tecnologia SOI (MAROUANI, 2016).

Transistores SOI também auxiliam na redução de efeitos de canal curto, os quais serão detalhados na seção 2.3.5.

De acordo com a física de seu funcionamento, os transistores SOI podem ser classificados em modo inversão (ou modo enriquecimento) e modo acumulação. Todos os transistores estudados ao longo deste trabalho são modo inversão.

Transistores SOI modo inversão apresentam tipos de dopantes opostos nas regiões de fonte/dreno e canal, de modo que nMOSFETs possuem regiões de fonte e dreno dopados com impurezas tipo n e canal dopado com impurezas tipo p, como na Figura 1. De maneira análoga, pMOSFETs (*p-type Metal-Oxide-Semiconductor Field-Effect Transistor*) modo inversão possuem fonte/dreno dopados com impurezas tipo p e canal dopado com impurezas tipo n. Essas estruturas são denominadas modo inversão porque é necessário inverter o tipo de portador na região do canal para que haja conexão entre as regiões de fonte e dreno e, consequentemente, fluxo expressivo de corrente elétrica comparado à corrente de fuga obtida no estado desligado.

Transistores modo inversão são classificados em três tipos, dependendo da relação entre as espessuras da camada de silício e da região máxima de depleção ($d_{máx}$), definida pela equação (1) (COLINGE, 2004a).

$$d_{máx} = \sqrt{\frac{4\varepsilon_{Si}\phi_F}{qN_A}} \qquad (1)$$

ε_{Si} é a permissividade elétrica do silício, ϕ_F é o potencial de Fermi, expresso por $\phi_F = \frac{k.T}{q}.\ln\left(\frac{N_A}{n_i}\right)$, k é a constante de Boltzmann, q é a carga elementar do elétron, T é temperatura absoluta, N_A é a concentração de impurezas aceitadoras do substrato e n_i é a concentração intrínseca de portadores (SZE; NG, 2007).

Quando a camada de silício é maior do que o dobro da depleção máxima ($t_{Si} > 2d_{máx}$), não há interação entre as regiões de depleção induzidas na primeira e segunda interfaces, que são separadas por uma região neutra. Neste caso, em que a região de depleção jamais ocupará toda a camada de silício, o transistor é denominado parcialmente depletado (*Partially Depleted* – PD), ou de camada espessa, e, caso exista contato de corpo e este estiver aterrado, seu comportamento é idêntico ao de transistores MOS convencionais. Este tipo de transistor SOI foi o primeiro adotado pelas indústrias.

Quando $t_{Si} < d_{máx}$, os transistores são totalmente depletados (*Fully Depleted* – FD), ou de camada fina, e a camada de silício apresenta depleção completa, independentemente da tensão de substrato. Neste caso, são obtidas as melhores características elétricas do SOI MOSFET modo inversão, como, por exemplo, maior mobilidade, menor inclinação de

sublimiar, maior corrente de saturação, menor efeito de canal curto, entre outras (COLINGE, 2004a). As melhores características elétricas dos transistores FD SOI dependem não somente da espessura da camada de silício, mas também de sua uniformidade. Por exemplo, a tecnologia de processo de fabricação da Soitec possibilita a obtenção de lâminas FD SOI com t_{Si} de até 12nm e uniformidade de +/-1Å, as quais permitem uma melhora de 50% na velocidade de resposta do *chip* em comparação com a tecnologia *bulk* (SOITEC, 2016). O alto controle do processo de fabricação de lâminas FD SOI e as melhores características elétricas dessa tecnologia levaram transistores FD SOI com camadas de silício tipicamente inferiores a 20nm a serem amplamente utilizados na indústria (ARUNA, 2016; GWENNAP, 2016; SAYS, 2018). Todos os transistores estudados ao longo deste trabalho foram fabricados a partir de lâminas FD SOI.

Quando $d_{máx} < t_{Si} < 2d_{máx}$, o transistor é quasi-totalmente depletado (*Near Fully Depleted* – NFD), ou de camada média, e pode se comportar como PD ou FD SOI, dependendo das condições de polarização do substrato.

2.2 TRANSISTORES DE MÚLTIPLAS PORTAS

Conforme será detalhado na seção 2.3.5, os efeitos de canal curto representam um grande desafio para a indústria de semicondutores, pois a degradação obtida nas características elétricas do transistor pode torná-lo não funcional para a aplicação desejada. Por ser de grande importância para a continuação da tecnologia CMOS, a redução das dimensões dos transistores motivou o desenvolvimento de diversas estruturas alternativas à tecnologia MOS planar.

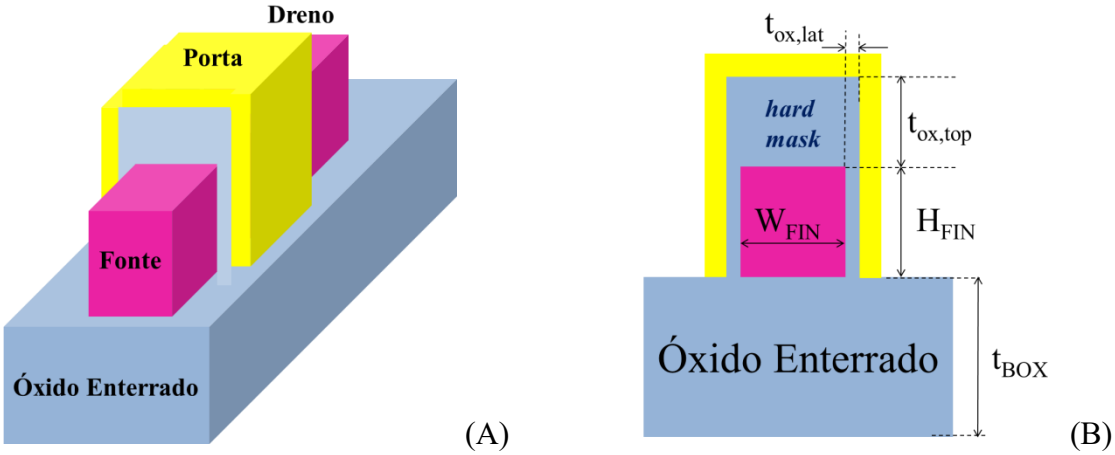
Transistores de múltiplas portas foram propostos para aumentar o controle eletrostático da porta e reduzir os efeitos de canal curto, o que ocorre através da redução da influência das linhas de campo elétrico provenientes do dreno sobre o canal e aumento da integridade eletrostática. Com a melhora do controle das cargas na região do canal, as estruturas de múltiplas portas permitem maior escalamento dos transistores, isto é, é possível que estes operem sem degradação com comprimentos de canal mais curtos, em relação aos transistores MOS de porta simples (COLINGE, 2008).

O primeiro transistor de múltiplas portas proposto foi um transistor de porta dupla, denominado XMOS, em 1984 (SEKIGAWA; HAYASHI, 1984). No entanto, somente em 1989, foi fabricado o primeiro transistor SOI de porta dupla, denominado DELTA

(HISAMOTO et al., 1989), de características similares ao FinFET, proposto dez anos depois (HISAMOTO et al., 2000; HUANG et al., 1999; YU et al., 2002).

Similar ao transistor DELTA, o FinFET é composto por uma aleta de silício estreita e alta, denominada *finger*, *leg* ou *fin*. Como representado na Figura 3, o FinFET apresenta uma camada de dielétrico espessa no topo da aleta de silício, denominada *hard mask*, para evitar a formação de canais de condução parasitas nos cantos superiores (POLJAK; JOVANOVIC; SULIGOJ, 2009; XIONG; PARK; COLINGE, 2003). A camada *hard mask* possui espessura $t_{ox,top}$, a espessura do óxido de porta é $t_{ox,lat}$, a largura e altura do *fin* são W_{FIN} e H_{FIN}, respectivamente. Reduzindo $t_{ox,top}$, a porta superior passa a influenciar as cargas na região do canal e, quando $t_{ox,top} = t_{ox,lat}$, o transistor passa a se comportar como FinFET de porta tripla (HISAMOTO et al., 2000).

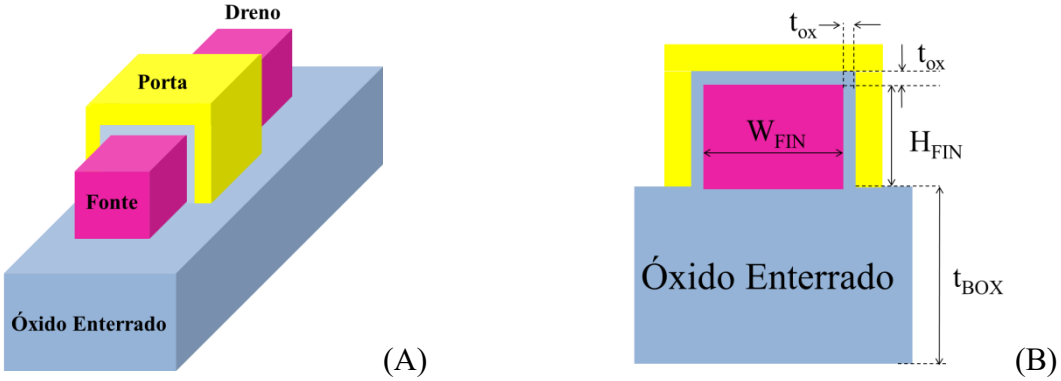
Figura 3 – Perspectiva (A) e vista frontal (B) de um SOI FinFET.



Fonte: Autor

O FinFET de porta tripla ou Trigate consiste em uma ilha de silício em que o óxido de porta apresenta espessura constante (t_{ox}), envolvendo os três lados da estrutura, como representado na Figura 4. Essa estrutura é comercializada em processadores da Intel, em substratos tipo *bulk*, desde 2011 (INTEL CORPORATION, 2011).

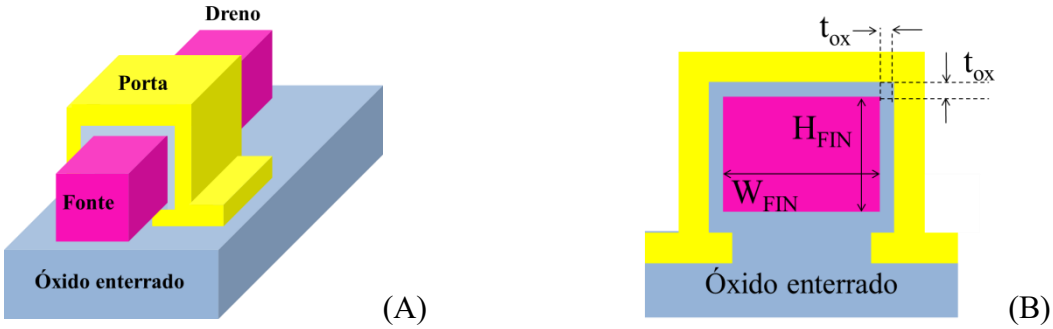
Figura 4 – Perspectiva (A) e vista frontal (B) de um MOSFET de porta tripla.



Fonte: Autor

Estruturas com mais de três portas foram propostas para aumentar, não somente o controle eletrostático, mas também o nível de corrente elétrica do transistor, como, por exemplo, transistor com porta Ω (BARRAUD et al., 2012; COQUAND et al., 2012b; YANG et al., 2002) e *Gate-All-Around* (GAA) ou dispositivo de porta circundante (BANGSARUNTIP et al., 2009; COLINGE et al., 1990). A Figura 5 apresenta a perspectiva (A) e a vista frontal (B) de um transistor MOS de porta Ω, em que não somente as duas superfícies laterais e a do topo da aleta estão envoltas pela porta, como no caso dos transistores de porta tripla, mas também uma porção da superfície da base do MOSFET. A Figura 6 mostra perspectiva (A) e vista frontal (B) de um MOSFET de porta circundante, em que a porta envolve todos os quatro lados da aleta do transistor.

Figura 5 – Perspectiva (A) e vista frontal (B) de um MOSFET de porta Ω.



Fonte: Autor

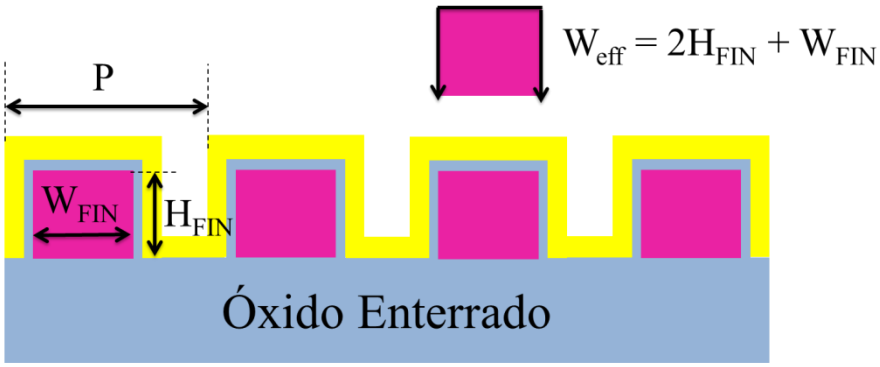
Figura 6 – Perspectiva (A) e vista frontal (B) de um MOSFET de porta circundante.

Fonte: Autor

De modo simplificado, o nível de corrente elétrica do transistor pode ser considerado proporcional à largura efetiva de porta (W_{eff}). Transistores de porta dupla possuem $W_{eff} = 2H_{FIN}$, transistores de porta tripla possuem $W_{eff} = 2H_{FIN} + W_{FIN}$ e transistores de porta circundante apresentam $W_{eff} = 2H_{FIN} + 2W_{FIN}$. Na prática, como será discutido na seção 2.4.2, a mobilidade dos portadores na camada de inversão depende da orientação cristalográfica do canal (LANDGRAF et al., 2006), ou seja, a mobilidade dos portadores que fluem nas superfícies horizontais e verticais não é a mesma (SUBRAMANIAN et al., 2007). Embora a corrente elétrica não siga exatamente uma relação de proporção com o número de portas do transistor, essa aproximação permite estimar o ganho de corrente que pode ser obtido, aumentando a quantidade de portas do transistor.

Para permitir um bom controle eletrostático do canal, transistores de múltiplas portas, normalmente, apresentam dimensões nanométricas de W_{FIN} e H_{FIN}, ou seja, um único transistor de múltiplas portas possui W_{eff} muito pequeno e oferece um nível muito baixo de corrente elétrica, em comparação a MOSFETs planares. Para resolver esse problema, diversos transistores de múltiplas portas podem ser associados em paralelo, criando uma estrutura denominada multi-*fins* ou multi-dedos (COLINGE, 2008). A Figura 7 mostra como é possível arranjar MOSFETs de porta tripla para compor a estrutura final, cujo período, P (também conhecido como *fin pitch*), delimita a distância entre o início de dois transistores consecutivos.

Figura 7 – Esquema de estrutura multi-dedos de MOSFETs de porta tripla com indicações de dimensões notáveis.

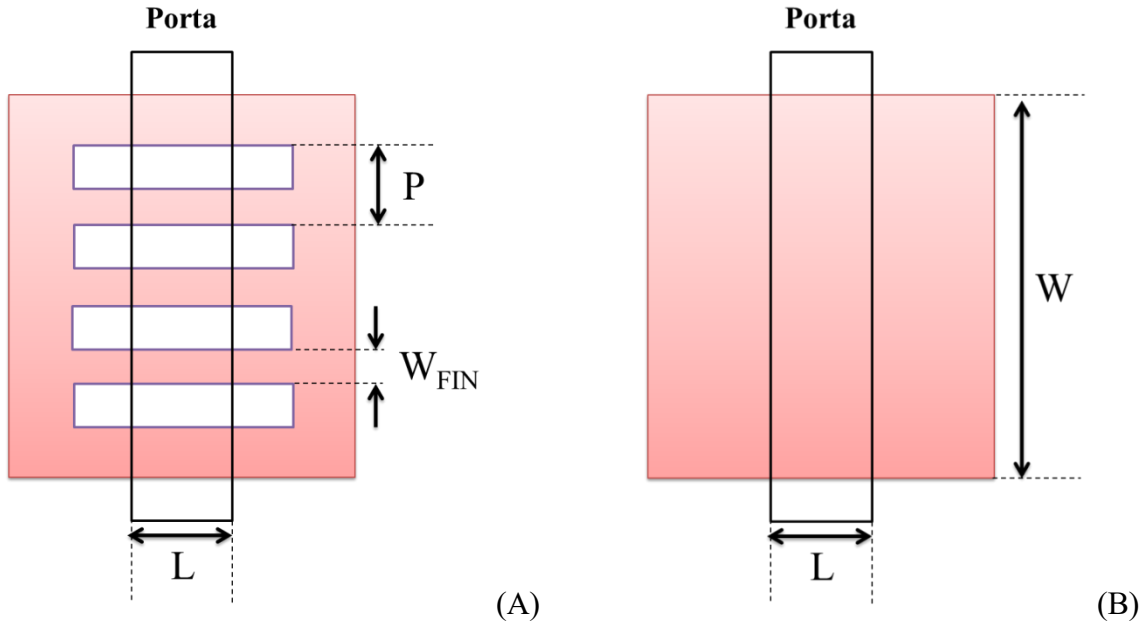


Fonte: Autor

Considerando uma estrutura multi-*fins* e um MOSFET planar, cujos *layouts* possuam a mesma área, como indicado na Figura 8, é possível determinar os valores do período e das dimensões de W_{FIN} e H_{FIN} para que a estrutura multi-*fins* seja vantajosa, em relação ao MOSFET planar. Sendo I_{DS0} a corrente do transistor planar da Figura 8.B e I_{Dfin} a corrente de um único *fin* da estrutura da Figura 8.A, considerando a mesma mobilidade no topo e nas laterais, é estabelecida a seguinte relação:

$$I_{Dfin} \geq \frac{I_{DS0} W_{eff}}{P} \tag{2}$$

Figura 8 – *Layout* de estrutura multi-dedos de MOSFETs de porta tripla (A) e *layout* de MOSFET planar de porta única (B).

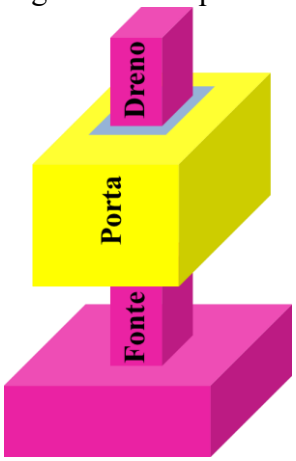


Fonte: Autor

Com a redução das dimensões de W_{FIN} e H_{FIN} para valores inferiores a algumas dezenas de nanômetros, surgiu uma nova estrutura de múltiplas portas, denominada nanofio (COLINGE; GREER, 2016). Nanofios transistores demonstraram alta imunidade aos efeitos de canal curto e excelente comportamento para aplicações digitais, devido ao seu acoplamento eletrostático (COQUAND et al., 2012a, 2013a; KOYAMA et al., 2012). Considerado um dos dispositivos mais promissores para a implementação de futuros nós tecnológicos, nanofios transistores com dimensões reduzidas até 5nm se tornaram alvo de investigação e objeto de grande interesse (DESHPANDE et al., 2012).

Para aumentar a densidade de integração, é possível fabricar nanofios transistores de porta circundante com canal vertical, como representado na Figura 9 (PAN et al., 2015; ROZEAU et al., 2016). No entanto, estes dispositivos apresentam algumas desvantagens em relação aos NWs de canal horizontal, como maior dificuldade no processo de fabricação para implantação de dopantes nas regiões de fonte e dreno, menor uniformidade da espessura da camada de silício ao longo do comprimento do canal e maior densidade de armadilhas de interface relacionadas à qualidade das superfícies laterais (MIKOLAJICK; WEBER, 2015; SALEM et al., 2014). Estes problemas podem ser evitados através do uso de técnicas de empilhamento vertical de estruturas horizontais, as quais também consistem em alternativas para aumentar a corrente elétrica por unidade de área em transistores nanométricos e serão detalhadas na seção a seguir.

Figura 9 – Perspectiva de um nanofio transistor GAA de canal vertical.



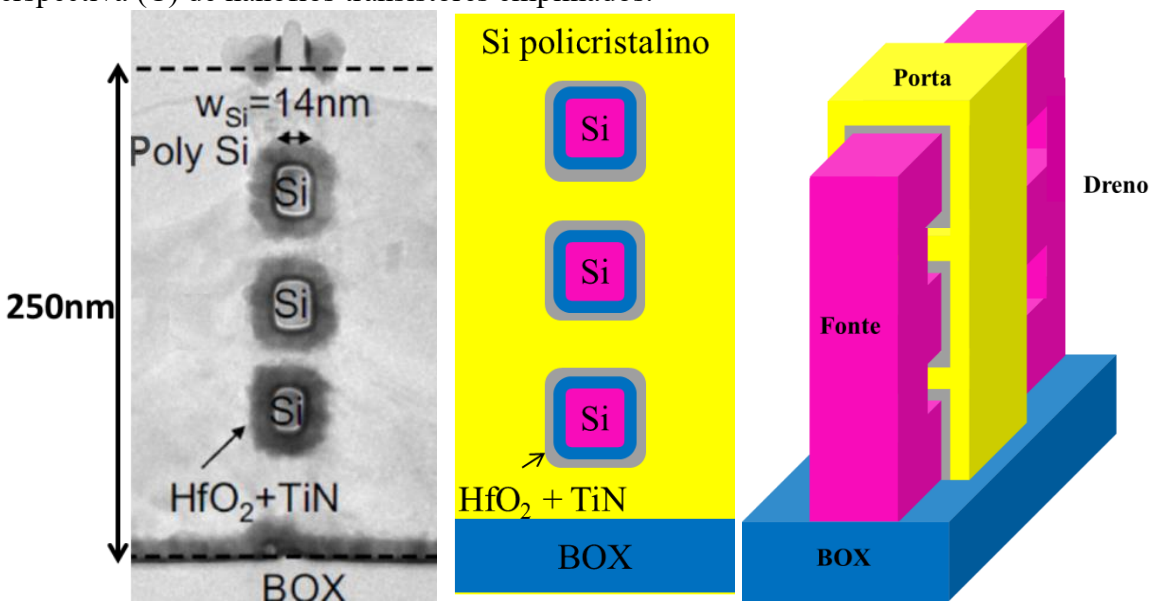
Fonte: Autor

2.2.1 Empilhamento de estruturas

O desenvolvimento de novas técnicas de processo de fabricação, bem como o aperfeiçoamento e controle de técnicas já existentes, permitiu o início da integração de dispositivos na terceira dimensão, vertical em relação ao plano do *wafer* (ERNST et al., 2006). O processo de integração 3D iniciou-se há pouco mais de uma década e consiste no empilhamento de canais de transistores (*beam stacked-channels*), com objetivo de aumentar a densidade de integração dos dispositivos e, assim, aumentar a densidade de corrente por unidade de área (COLINGE, 2008). As estruturas a serem empilhadas podem ser MOSFETs planares (DESHPANDE et al., 2015) ou de múltiplas portas (BANSAL et al., 2016; DUPRE et al., 2008).

Com o aperfeiçoamento de etapas de corrosão seletivas de camadas de Si e SiGe (CAUBET et al., 2006), foi possível fabricar estruturas como a da Figura 10.A, que consiste em uma imagem, obtida pelo TEM (*Transmission Electron Microscopy* – Microscópio Eletrônico de Transmissão), de um conjunto de nanofios transistores de porta circundante empilhados em três níveis (DUPRE et al., 2008). Representações esquemáticas da vista frontal (B) e da perspectiva (C) dos nanofios transistores empilhados também são mostradas na Figura 10. Apesar de apresentarem excelente controle eletrostático, alta imunidade aos efeitos de canal curto e aumento da corrente elétrica por unidade de área, devido ao seu processo de fabricação recente e, portanto, não otimizado, a implementação de nanofios transistores empilhados possui diversos desafios, como a redução da resistência série, que pode se agravar em estruturas 3D (BERNARD et al., 2007), redução de capacitâncias parasitárias entre porta e fonte/dreno (LACORD et al., 2016), entre outros problemas que podem surgir durante o processo de fabricação (ERNST et al., 2006; WOSTYN et al., 2015).

Figura 10 – Imagem de TEM (A), representação esquemática da vista frontal (B) e perspectiva (C) de nanofios transistores empilhados.

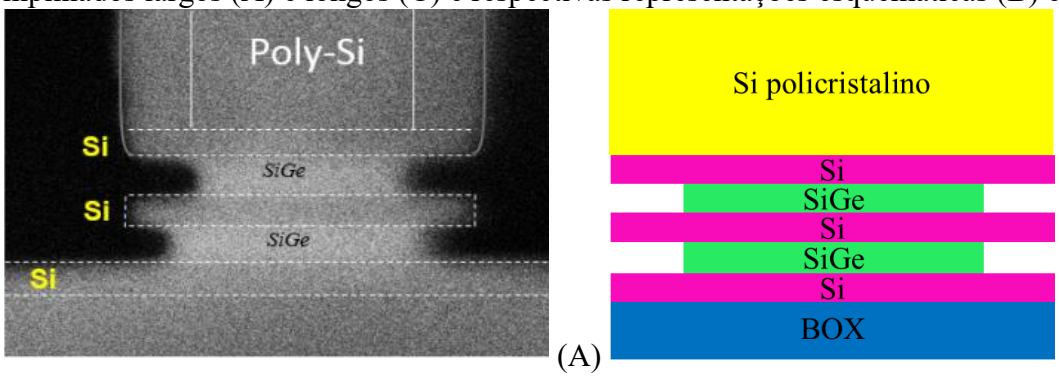


(A) (B) (C)

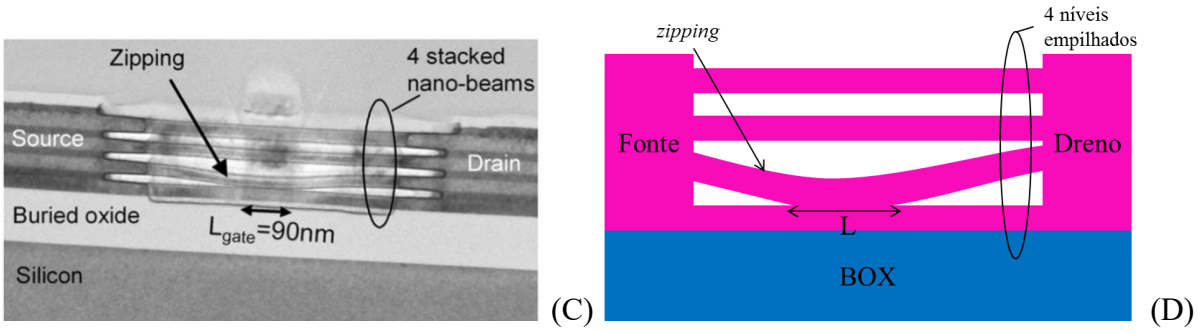
Fonte: Dupré et al., 2008, p. 1 (A) e autor (B) e (C)

A Figura 11 apresenta dois problemas de fabricação que podem ocorrer em estruturas empilhadas. As figuras A e B ilustram o caso que ocorre quando se deseja fabricar transistores empilhados com largura do *fin* maior do que algumas dezenas de nanômetros e a corrosão da camada sacrificial de SiGe não é completa, o que traz imprecisões na determinação das dimensões da largura efetiva de porta e adiciona conduções parasitas à estrutura (BARRAUD et al., 2016). As figuras C e B mostram um fenômeno denominado *zipping*, que ocorre quando se deseja fabricar transistores empilhados com comprimento de canal maior do que uma centena de nanômetros e o canal do nível de baixo não possui sustentação mecânica para suportar o peso do canal do nível de cima (ERNST et al., 2006).

Figura 11 – Imagens de TEM de defeitos de fabricação que podem ocorrer em transistores empilhados largos (A) e longos (C) e respectivas representações esquemáticas (B) e (D).



(A) (B)

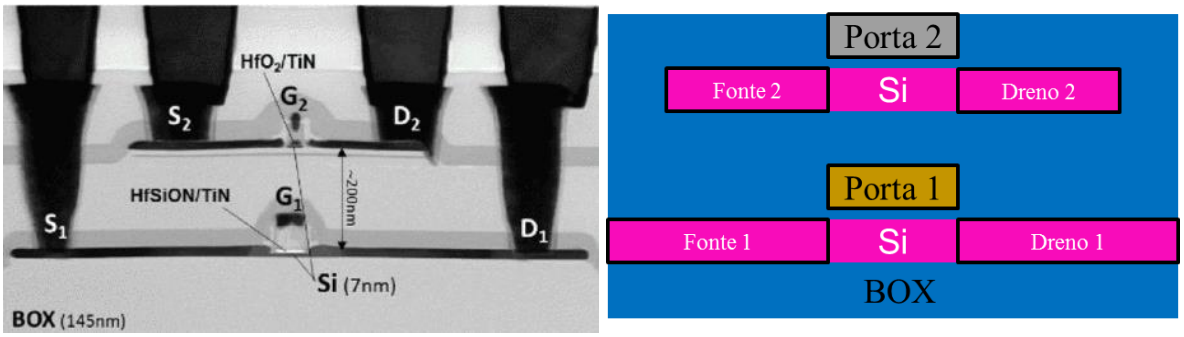


Fonte: Barraud et al., 2016, p. 3 (A), autor (B), Ernst et al., 2006, p. 3 (C) e autor (D)

A fim de solucionar o problema das capacitâncias parasitárias e da redução da mobilidade de portadores em transistores de múltiplas portas, uma estrutura de nanofios transistores empilhados com espaçadores internos e SiGe na região de fonte e dreno foi proposta em 2016 (BARRAUD et al., 2016; ROZEAU et al., 2016). Esses transistores avançados são objeto de estudo deste trabalho e serão detalhados na seção 4.3.

Outra tecnologia de empilhamento de estruturas é a CMOS sobre CMOS, que foi desenvolvida recentemente e tem chamado a atenção da indústria de semicondutores por seus resultados promissores referentes ao aumento da densidade de integração (BRUNET et al., 2016; TRIANTOPOULOS et al., 2017). Também conhecida por tecnologia CoolCube™, consiste no empilhamento de dois níveis de dispositivos planares, como observado na Figura 12. Devido à sua alta complexidade, apresenta como desafios o alinhamento das estruturas e integração de interconexões (BRUNET et al., 2016).

Figura 12 – Imagem de TEM (A) e representação esquemática (B) de tecnologia CMOS sobre CMOS.



(A) (B)

Fonte: Triantopoulos et al., 2017, p. 3 (A) e autor (B)

2.3 CARACTERÍSTICAS ELÉTRICAS BÁSICAS

Esta seção apresenta definições da literatura para os principais parâmetros que determinam as características elétricas de um transistor, como tensão de limiar, inclinação de sublimiar, mobilidade e parâmetros analógicos. Adicionalmente, serão discutidos os efeitos de canal curto, efeitos quânticos e influência da temperatura.

2.3.1 Tensão de limiar (V_{TH})

A tensão de limiar (V_{TH}) é o parâmetro utilizado para definir o potencial aplicado entre a porta e a fonte (V_{GS}) necessário para levar o transistor da inversão fraca para a inversão forte (ORTIZ-CONDE et al., 2002), comumente determinada quando o potencial de superfície do transistor é igual a $2\phi_F$, para transistores MOS planares (COLINGE, 2004a). Existem diversos métodos na literatura que definem os níveis de corrente de dreno (I_{DS}) necessários para caracterizar a inversão como forte e, portanto, permitir a extração de V_{TH}, como, por exemplo, através da igualdade entre as correntes de deriva e difusão (ORTIZ-CONDE et al., 2002).

Com a redução das dimensões dos transistores, a flutuação da concentração de dopantes no canal se tornou um problema crítico, de modo que o uso de transistores não dopados ganhou força em estruturas de múltiplas portas de escala nanométrica (WONG; TAUR, 1993). Além disso, no caso de transistores de porta tripla, altas concentrações de dopantes na região do canal levam a conduções parasitárias nos cantos e, portanto, indesejáveis múltiplas tensões de limiar podem ser observadas (XIONG; PARK; COLINGE, 2003). Quando a concentração de dopantes no canal é muito próxima ou igual à intrínseca, a relação entre o início da condução e $2\phi_F$, utilizada no cálculo de V_{TH} para transistores MOS planares, não é mais válida, pois um nível elevado de corrente é observado já em inversão fraca (FRANCIS et al., 1994; SÁNCHEZ; ORTIZ-CONDE; MUCI, 2006).

Dessa forma, outros métodos para definir a tensão de limiar foram desenvolvidos para esses dispositivos. Por exemplo, a equação (3) foi proposta por (POIROUX et al., 2005) para descrever V_{TH} de transistores de porta dupla com concentração de dopantes intrínseca, como, por exemplo, FinFETs (*Fin Field Effect Transistor*). Essa equação é obtida a partir da suposição de que a capacitância de depleção de FD SOI MOSFETs é desprezível, então a capacitância de inversão é igual à capacitância de porta.

$$V_{TH} = \phi_{mi} + \frac{kT}{q}\ln\left(\frac{2C_{ox}kT}{q^2 n_i t_{Si}}\right) + \frac{\pi^2\hbar^2}{2q\, m^* t_{Si}^2} \quad (3)$$

$C_{ox} = \varepsilon_{ox}/t_{ox}$ é a capacitância de porta por unidade de área, ϕ_{mi} é a diferença de função trabalho entre a porta e o silício intrínseco, m^* é a massa efetiva de confinamento do portador na direção transversal e $\hbar$ é a constante de Planck normalizada. No caso de transistores que apresentam portas verticais, como FinFETs, t_{Si} indica a espessura de silício entre as duas portas, ou seja, a largura da aleta que forma o canal do transistor. O último termo da equação (3) descreve efeitos de confinamento quântico que serão detalhados na seção 2.3.6. É válido observar que essa equação descreve o aumento de V_{TH} com a redução da largura da aleta do transistor, o que ocorre devido ao aumento do potencial no interior de estruturas estreitas.

Para obter valores adequados de V_{TH} em transistores com o canal não dopado, é necessário o uso de materiais de porta cujo nível de Fermi seja igual ao nível de energia intrínseco do silício, isto é, materiais cuja função trabalho seja próxima de 4,61eV, que também corresponde à função trabalho do silício intrínseco (COLINGE, 2004a). O uso de materiais *midgap*, como são denominados, permite obter valores de tensão de limiar simétricos para transistores tipo p e tipo n. Exemplos de materiais *midgap* amplamente utilizados na fabricação de transistores não dopados são o nitreto de titânio (TiN) e o tungstênio (W) (COLINGE, 2004a; KOUVATSOS et al., 2003).

2.3.2 Inclinação de sublimiar (S)

A inclinação de sublimiar (S) representa a eficiência de chaveamento do dispositivo e é definida pela equação (4), indicando a variação de V_{GS} em relação à variação do logaritmo de I_{DS}, quando são aplicadas tensões inferiores a V_{TH} (COLINGE; COLINGE, 2005).

$$S = \frac{\partial V_{GS}}{\partial(\log I_{DS})} \quad (4)$$

A partir da expressão da corrente de difusão, mecanismo predominante na região de sublimiar de transistores MOS (SZE; NG, 2007), é possível obter a equação (5), que depende apenas da temperatura e do fator de corpo (n) (BREWS, 1979).

$$S = n\frac{k\,T}{q}\ln(10) \quad (5)$$

O limite teórico para a inclinação de sublimiar é obtido quando o fator de corpo é unitário. Neste caso, em temperatura ambiente (300K), S vale, aproximadamente, 60mV/dec. Quanto melhor o acoplamento capacitivo do transistor, mais próximo da unidade é o fator de

corpo. Assim, transistores de múltiplas portas possuem fator de corpo próximo da unidade devido ao alto acoplamento capacitivo, e, consequentemente, inclinação de sublimiar próxima do limite teórico (AKARVARDAR et al., 2007a).

2.3.3 Mobilidade (μ)

A mobilidade (μ) é o parâmetro que quantifica o movimento dos portadores dentro de um determinado material, relacionando a velocidade de deriva (v) com a qual os portadores fluem e o campo elétrico aplicado. Os fatores que definem a mobilidade dos portadores dentro de um semicondutor são as características do material, campo elétrico e temperatura.

A máxima mobilidade que os portadores podem atingir é denominada mobilidade de baixo campo (μ_0), pois não contabiliza a influência do campo elétrico e depende apenas do material e da temperatura. A mobilidade de baixo campo é definida a partir de quatro mecanismos principais de espalhamento: fônons, impurezas ionizadas, impurezas neutras e portador-portador. Esses mecanismos de degradação e respectivos modelos na literatura utilizados para defini-los serão apresentados a seguir. Os efeitos da temperatura sobre a mobilidade dos portadores serão detalhados na seção 2.3.7.

O mecanismo de espalhamento por fônons ocorre devido à interação entre os portadores e a rede cristalina e sua influência pode ser calculada através das equações (6) e (7) (SAH et al., 1981). Os índices "*h*" e "*e*" se referem às lacunas e aos elétrons, respectivamente.

$$\mu_{psh} = \frac{1}{\dfrac{1}{\mu_{oha}\left(\dfrac{T}{300}\right)^{-\alpha_{ha}}} + \dfrac{1}{\mu_{ohb}\left(\dfrac{T}{300}\right)^{-\beta_{ha}}}} \tag{6}$$

$$\mu_{pse} = \frac{1}{\dfrac{1}{\mu_{oea}\left(\dfrac{T}{300}\right)^{-\alpha_{ea}}} + \dfrac{1}{\mu_{oeb}\left(\dfrac{T}{300}\right)^{-\beta_{ea}}}} \tag{7}$$

μ_{oha} = 2502cm^2/Vs, μ_{ohb} = 591cm^2/Vs, α_{ha} = 1,5, β_{ha} = 3,25, μ_{oea} = 4195cm^2/Vs, μ_{oeb} = 2153cm^2/Vs, α_{ea} = 1,5 e β_{ea} = 3,13 são constantes calculadas ou determinadas experimentalmente (SAH et al., 1981).

O mecanismo de espalhamento por impurezas ionizadas descreve a influência da concentração de dopantes, indicando que materiais mais dopados possuem maior degradação da mobilidade e, portanto, sob esse aspecto, transistores com o canal não dopado são mais vantajosos. As equações (8) para lacunas e (9) para elétrons descrevem a influência desse

mecanismo, juntamente com o mecanismo de espalhamento por fônons (CAUGHEY; THOMAS, 1967).

$$\mu_{psiih} = \mu_{minh} + \frac{\mu_{psh} - \mu_{minh}}{1 + \left(\frac{N_A^-}{N_{refh}}\right)^{\alpha_h}} \tag{8}$$

$$\mu_{psiie} = \mu_{mine} + \frac{\mu_{pse} - \mu_{mine}}{1 + \left(\frac{N_D^+}{N_{refe}}\right)^{\alpha_e}} \tag{9}$$

Em que os seguintes parâmetros foram determinados empiricamente por (CAUGHEY; THOMAS, 1967), através do ajuste de curvas experimentais, sendo que a mobilidade dos portadores devido aos espalhamentos por fônons e por impurezas ionizadas obedece à uma função de Fermi-Dirac em relação à concentração de impurezas ionizadas (aceitadoras – N_A^-; ou doadoras: N_D^+): $\mu_{minh} = 110{,}9 - 25{,}597 \log(T)$, $\mu_{mine} = 197{,}17 - 45{,}505 \log(T)$, $N_{refh} = 2{,}23\times10^{17}\left(\frac{T}{300}\right)^{3,2}$, $N_{refe} = 1{,}12\times10^{17}\left(\frac{T}{300}\right)^{3,2}$, $\alpha_h = 0{,}72\left(\frac{T}{300}\right)^{0,065}$ e $\alpha_e = 0{,}72\left(\frac{T}{300}\right)^{0,065}$.

O mecanismo de espalhamento por impurezas neutras ocorre devido à variação da quantidade de impurezas não ionizadas com a temperatura e pode ser descrito através das equações (10) para lacunas e (11) para elétrons (LI; THURBER, 1977).

$$\mu_{nih} = \left(\frac{2.\pi^3.q^3.m_{ch}^*}{5.\varepsilon_{Si}.h^3.(N_A - N_A^-)}\right).10^{-2}.\left[\frac{2}{3}.\sqrt{\frac{k.T}{E_{nih}}} + \frac{1}{3}.\sqrt{\frac{E_{nih}}{k.T}}\right] \tag{10}$$

$$\mu_{nie} = \left(\frac{2.\pi^3.q^3.m_{ce}^*}{5.\varepsilon_{Si}.h^3.(N_D - N_D^+)}\right).10^{-2}.\left[\frac{2}{3}.\sqrt{\frac{k.T}{E_{nie}}} + \frac{1}{3}.\sqrt{\frac{E_{nie}}{k.T}}\right] \tag{11}$$

$E_{nih} = 1{,}136.10^{-19}.\left(\frac{m_{ch}^*}{m_0}\right).\left(\frac{\varepsilon_0}{\varepsilon_{Si}}\right)^2$, $E_{nie} = 1{,}136.10^{-19}.\left(\frac{m_{ce}^*}{m_0}\right).\left(\frac{\varepsilon_0}{\varepsilon_{Si}}\right)^2$, h é a constante de Planck, m_{ch}^* é a massa efetiva de condução para as lacunas, m_{ce}^* é a massa efetiva de condução para os elétrons, m_0 é a massa de repouso do elétron e ε_0 é a permissividade elétrica do vácuo.

O mecanismo de espalhamento portador-portador é de grande importância quando o número de portadores é alto (maior do que a concentração de impurezas) e existe interação, de atração e repulsão, na banda de condução. A mobilidade degradada por esse mecanismo é descrita pelas equações (12) para as lacunas e (13) para os elétrons (DORKEL; LETURCQ, 1981).

$$\mu_{cch}=\frac{2\times10^{17}}{\sqrt{N_A}\,\ln\left[1+8{,}28\times10^{8}T^{2}(N_A)^{-1/3}\right]} \tag{12}$$

$$\mu_{cce}=\frac{2\times10^{17}}{\sqrt{N_D}\,\ln\left[1+8{,}28\times10^{8}T^{2}(N_D)^{-1/3}\right]} \tag{13}$$

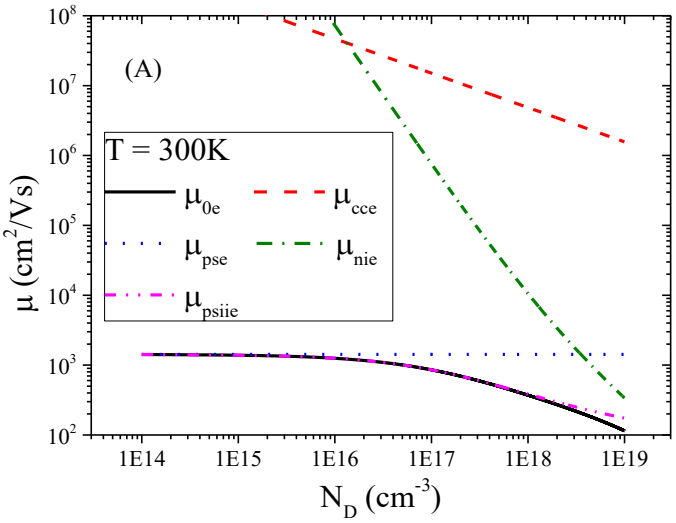
Contabilizando todos os efeitos acima descritos, através da regra de Mathiessen (GUTIÉRREZ-D.; DEEN; CLAEYS, 2001), as equações (14) e (15) descrevem μ_0 para as lacunas e elétrons, respectivamente.

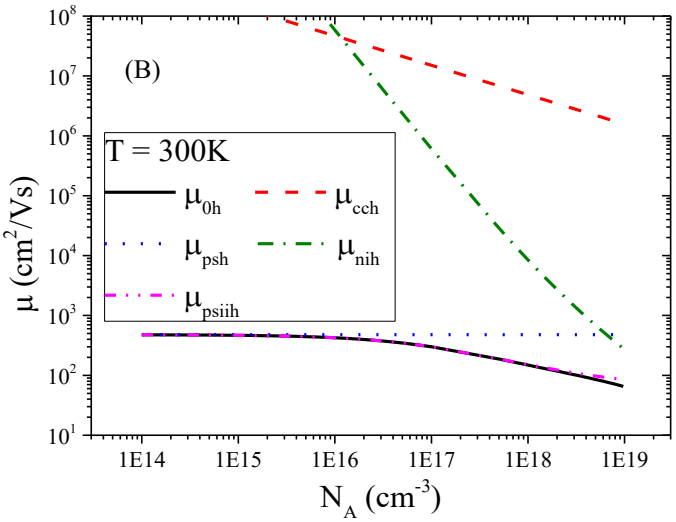
$$\mu_{0h}=\frac{1}{\frac{1}{\mu_{psiih}}+\frac{1}{\mu_{cch}}+\frac{1}{\mu_{nih}}} \tag{14}$$

$$\mu_{0e}=\frac{1}{\frac{1}{\mu_{psiie}}+\frac{1}{\mu_{cce}}+\frac{1}{\mu_{nie}}} \tag{15}$$

A Figura 13 apresenta o resultado para cada um dos mecanismos de espalhamento da mobilidade e mobilidade de baixo campo para elétrons (A) e lacunas (B), variando a concentração de dopantes, em temperatura ambiente. É possível observar que a mobilidade resultante, μ_{0e} e μ_{0h}, é limitada pelo mecanismo de espalhamento por fônons para concentrações de dopantes menores que $10^{16}cm^{-3}$. Para concentrações de dopantes maiores que $10^{16}cm^{-3}$, a mobilidade passa a degradar sensivelmente devido ao espalhamento por impurezas ionizadas, revelando que este é o mecanismo limitante para transistores fortemente dopados e que o uso de transistores com canal não dopado permite obter maior mobilidade de baixo campo.

Figura 13 – Mobilidade total e seus mecanismos de espalhamento em função da concentração de dopantes para elétrons (A) e lacunas (B).



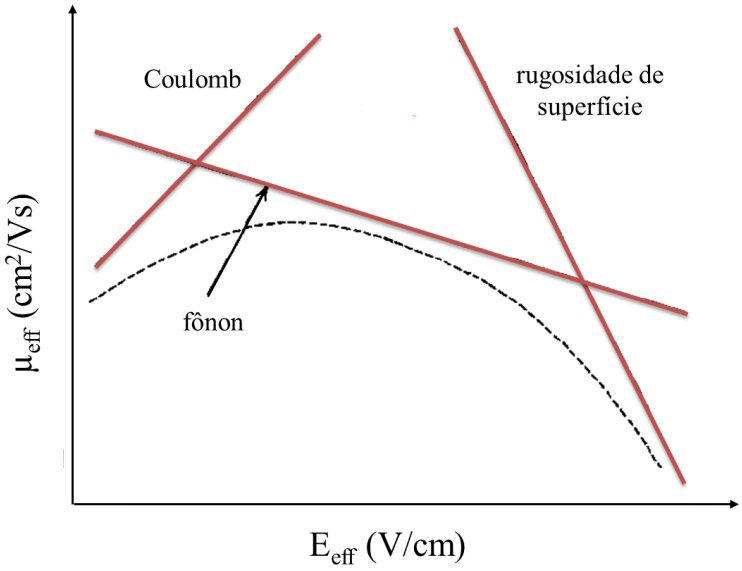


Fonte: Autor

A mobilidade dos portadores pode ser considerada independente da polarização do transistor apenas quando são aplicados baixos valores de tensão de porta e dreno. Com o aumento de V_{GS}, o campo elétrico vertical atrai os portadores para próximo da superfície e, devido à rugosidade na interface silício/óxido de porta, a mobilidade degrada. A Figura 14 apresenta uma curva da literatura que mostra a mobilidade efetiva em função do campo elétrico efetivo (E_{eff}) (TAKAGI et al., 1994a). Tipicamente, são discriminados os principais mecanismos de degradação: espalhamento Coulomb ($\mu_{Coulomb}$) para baixos valores de E_{eff}, espalhamento por fônons (μ_{ps}, anteriormente descrito através das equações (6) e (7)) em torno da mobilidade máxima e espalhamento por rugosidade de superfície (μ_{sr}) com aumento de E_{eff} (TAKAGI et al., 1994a). O espalhamento Coulomb se deve a impurezas no substrato, cargas nos estados de interface e cargas armadilhadas no óxido de porta, compreendendo os mecanismos de espalhamento de impurezas neutras e ionizadas descritos anteriormente, sendo o mecanismo dominante que afeta a mobilidade na camada de inversão apenas quando o campo elétrico é muito baixo (TAKAGI et al., 1994a). Assim, a mobilidade efetiva pode ser calculada através da equação (16), que considera cada um dos mecanismos de degradação anteriormente descritos, utilizando a regra de Mathiessen (TAKAGI et al., 1994a).

$$\mu_{eff} = \frac{1}{\frac{1}{\mu_{Coulomb}} + \frac{1}{\mu_{ps}} + \frac{1}{\mu_{sr}}} \tag{16}$$

Figura 14 – Mobilidade efetiva em função do campo elétrico efetivo. Destaque para os mecanismos de espalhamento de mobilidade dominantes em cada região da curva.



Fonte: Autor "adaptado de" Takagi et al., 1994, p. 2359

Um modelo simplificado amplamente utilizado para descrever a mobilidade efetiva, considerando a degradação pelo campo elétrico vertical está apresentado na equação (17). Este modelo é válido para sobretensão de porta ($V_{GT} = V_{GS} - V_{TH}$) maior ou igual a zero e representa uma simplificação do efeito físico da mobilidade de baixo campo degradada pelo espalhamento de rugosidade de superfície, em que θ_1 e θ_2 são coeficientes de degradação da mobilidade (COLINGE; COLINGE, 2005).

$$\mu_{eff} = \frac{\mu_0}{1+\theta_1(V_{GS}-V_{TH}) + \theta_2(V_{GS}-V_{TH})^2} \quad (17)$$

Com o aumento do potencial aplicado entre dreno e fonte (V_{DS}) e, consequentemente, do campo elétrico lateral, a mobilidade reduz devido ao efeito da saturação da velocidade dos portadores (VEERARAGHAVAN; FOSSUM, 1988). O efeito da degradação da mobilidade considerando o campo elétrico lateral será discutido a seguir, após a introdução do conceito de velocidade de saturação dos portadores.

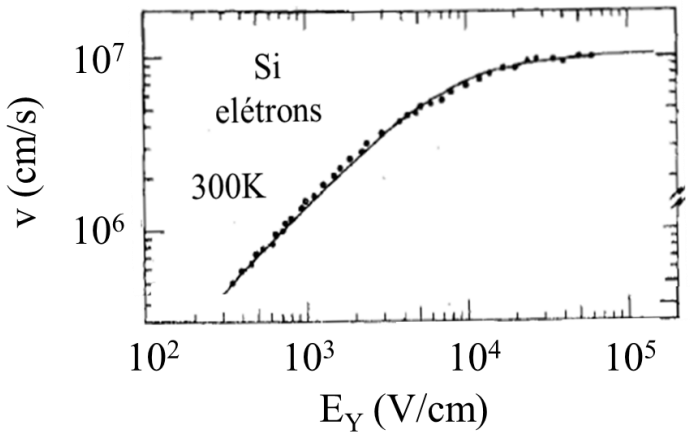
2.3.3.1 Velocidade de saturação – v_{sat}

A Figura 15, adaptada de (CANALI et al., 1975), apresenta uma curva da dependência da velocidade de deriva dos portadores (v) em função do campo elétrico lateral (E_y). É possível observar que, quando o campo elétrico é baixo, o comportamento é linear, descrito pela equação (18). No entanto, aumentando o campo elétrico, os portadores fluem com

velocidade aproximadamente constante, próxima da máxima, denominada velocidade de saturação (v_{sat}). Esse fenômeno é observado na Figura 15, através do comportamento assintótico da velocidade, a partir de $E_y = 10^4$V/cm.

$$v = \mu \times E_y \tag{18}$$

Figura 15 – Curva da velocidade dos elétrons em função do campo elétrico lateral para o silício a 300K.



Fonte: Autor "adaptado de" Canali et al., 1975, p. 1046

A equação (19) consiste em uma das expressões mais aceitas na literatura para o cálculo da velocidade de deriva dos portadores, sendo que, no silício, v_{sat} varia de 5×10^6 até 10^7cm/s, para camadas de inversão (CANALI et al., 1975). Esta equação descreve o comportamento da Figura 15, em que a velocidade de deriva dos portadores reduz a partir de seu valor máximo, v_{sat}, à medida que o termo ($|E_Y|/E_{crit}$) diminui, sendo que E_{crit} é o campo elétrico crítico e β é um parâmetro de ajuste que, tipicamente, varia de 1 a 2.

$$v = v_{sat} \frac{|E_y|/E_{crit}}{\left[1+\left(|E_y|/E_{crit}\right)^{\beta}\right]^{1/\beta}} \tag{19}$$

A equação (20) é utilizada para considerar o efeito da velocidade de saturação na degradação da mobilidade (INIGUEZ et al., 1999). De modo similar à equação (19), a equação (20) descreve a degradação da mobilidade efetiva a partir de seu valor máximo, μ_0, à medida que o termo ($\mu_0.V_{DS}/L.v_{sat}$) aumenta, isto é, quando v_{sat} diminui.

$$\mu_{eff} = \frac{\mu_0}{\left[1+\left(\frac{\mu_0 V_{DS}}{L\, v_{sat}}\right)^{\beta}\right]^{1/\beta}} \tag{20}$$

Para obter uma única equação de mobilidade que considera não apenas a degradação devido ao campo elétrico lateral, mas também do campo elétrico vertical, basta substituir a equação (17) na equação (20), no lugar de μ_0.

2.3.3.2 Técnicas de extração da mobilidade

Duas técnicas de extração de mobilidade efetiva serão utilizadas, ao longo deste trabalho, para o estudo dos nanofios transistores MOS: Split C-V (OHATA; CASSÉ; CRISTOLOVEANU, 2007; ROMANJEK et al., 2004) e método da função Y (GHIBAUDO, 1988; HENRY et al., 2017). Ambos os métodos são válidos para baixa polarização de dreno.

O método Split C-V é utilizado para dispositivos cuja área da porta seja grande o suficiente para permitir medidas confiáveis da capacitância entre a porta e o canal (C_{GC}) em função de V_{GS}. Utilizando a curva C-V medida, a densidade de cargas na camada de inversão (Q_{inv}) é calculada através da equação (21). Posteriormente, a mobilidade efetiva é extraída através da equação (22) utilizando Q_{inv} calculado anteriormente e medidas $I_{DS}(V_{GS})$.

$$Q_{inv} = \int_{-\infty}^{V_{GS}} \frac{C_{GC}}{W_{eff}L} dV \tag{21}$$

$$\mu_{eff} = \frac{L}{W_{eff}} \frac{I_{DS}}{Q_{inv} V_{DS}} \tag{22}$$

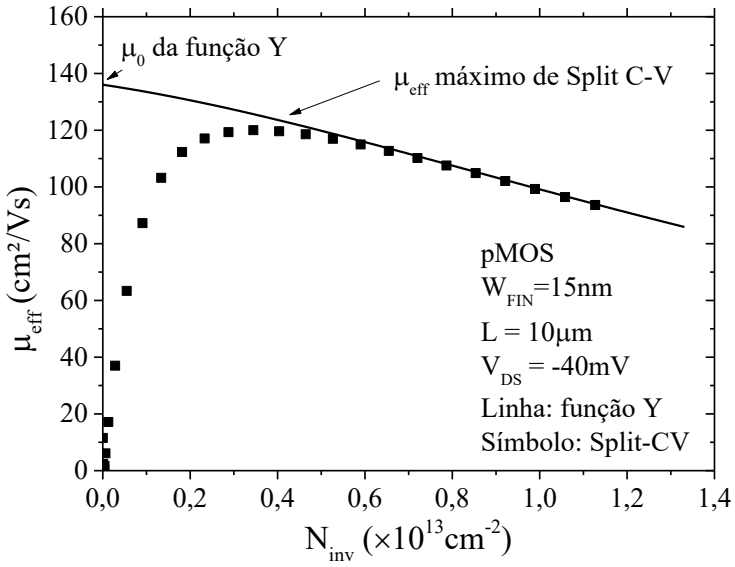
Com a redução das dimensões de L e W_{FIN} de transistores fabricados em tecnologias nanométricas, não é possível a utilização do método Split C-V. Desse modo, o método da função Y tem sido amplamente utilizado em MOSFETs avançados de dimensões nanométricas, uma vez que utiliza apenas curvas $I_{DS}(V_{GS})$. Neste método, a função Y descrita na equação (23) e a equação (17) são ajustadas a resultados medidos. Após algumas iterações, são extraídos os parâmetros V_{TH}, μ_0, θ_1 e θ_2 e, por fim, a mobilidade efetiva é calculada através da equação (17).

$$Y = \frac{I_{DS}}{\sqrt{g_m}} \approx V_{GT} \sqrt{\frac{\mu_0 C_{OX} W_{eff} V_{DS}}{L(1+\theta_2 V_{GT}{}^2)}} \tag{23}$$

A Figura 16 apresenta as curvas de μ_{eff} em função da concentração de portadores na camada de inversão (N_{inv}) extraídas através de ambos os métodos. Como o método da função Y não considera o mecanismo de degradação da mobilidade devido ao espalhamento Coulomb, neste caso, μ_0 é definido quando $N_{inv} = 0$, diferentemente do conceito incialmente apresentado e utilizado para o método de Split C-V, em que μ_0 corresponde a μ_{eff} máximo.

Para o regime de alta densidade de portadores na camada de inversão, os resultados obtidos por ambos os métodos são coincidentes.

Figura 16 – μ_{eff} em função de N_{inv} extraído através dos métodos da função Y e Split C-V.



Fonte: Autor

2.3.4 Parâmetros analógicos

O estudo do comportamento analógico dos transistores é importante não somente para aplicações analógicas, mas também para aplicações de circuitos mistos, analógico-digitais. O estudo do comportamento analógico dos transistores requer a introdução de alguns parâmetros básicos que serão detalhados a seguir.

2.3.4.1 Transcondutância (g_m) e razão g_m/I_{DS}

A transcondutância (g_m) é o parâmetro elétrico utilizado para mensurar a eficiência do controle da porta do transistor sobre sua corrente de dreno e é definida pela equação (24) (COLINGE, 2004a).

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \tag{24}$$

Em regime de saturação, a transcondutância de transistores FD SOI pode ser descrita pela equação (25), em que é observada a dependência direta com a mobilidade dos portadores (LIM; FOSSUM, 1984).

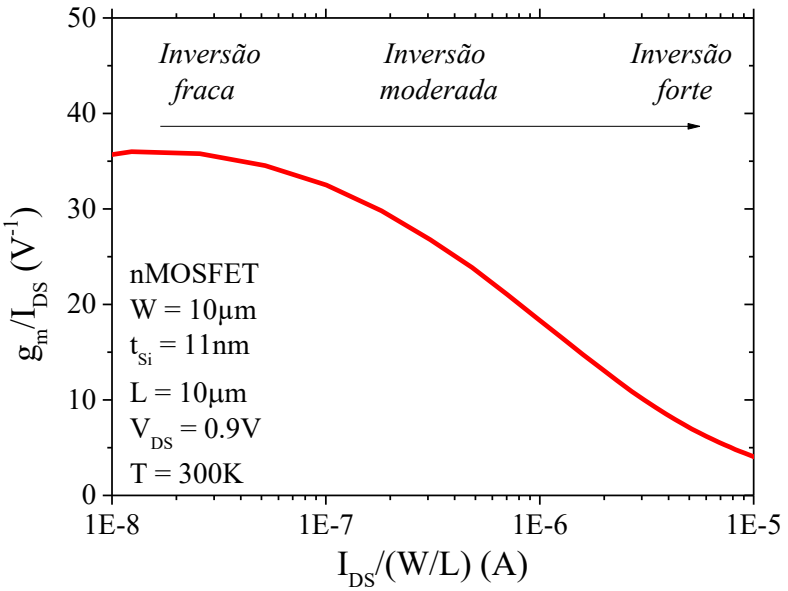
$$g_m\Big|_{sat} = \frac{\partial I_{DS}}{\partial V_{GS}}\Big|_{sat} = \frac{\mu_{eff} \times C_{ox} \times W \times V_{GT}}{n \times L} \tag{25}$$

Normalizando a transcondutância pela corrente de dreno, outro parâmetro utilizado para mensurar a eficácia do transistor é obtido. A razão g_m/I_{DS} permite avaliar a capacidade do transistor de traduzir corrente elétrica em transcondutância, associando a amplificação do dispositivo (g_m) com sua potência dissipada (I_{DS}) (SILVEIRA; FLANDRE; JESPERS, 1996).

A Figura 17 apresenta uma curva experimental de g_m/I_{DS} em função de $I_{DS}/(W/L)$, para um FD SOI MOSFET, com V_{DS} = 0,9V, em temperatura ambiente. São destacados os três regimes de inversão: fraca, moderada e forte. Em inversão fraca, g_m/I_{DS} atinge seu valor máximo, dado pela equação (26) (VITTOZ, 1994). Para transistores com bom acoplamento capacitivo, o fator de corpo é próximo da unidade (WOO; PLUMMER, 1986) e, portanto, g_m/I_{DS} máximo vale, aproximadamente, o inverso do potencial térmico ($1/\varphi_t = q/kT = 38{,}6V^{-1}$, em temperatura ambiente). É possível observar que este é o caso do transistor da Figura 17, em que g_m/I_{DS} máximo vale $36{,}0V^{-1}$.

$$\frac{g_m}{I_{DS}}\Big|_{max} = \frac{q}{n\,k\,T} \tag{26}$$

Figura 17 – Curva g_m/I_{DS} em função de $I_{DS}/(W/L)$ de transistor FD SOI nMOS com V_{DS} = 0,9V.



Fonte: Autor

A equação (27) pode ser utilizada para estimar o comportamento de g_m/I_{DS} em regime de saturação, considerando a influência das resistências de fonte e dreno, conhecidas como

resistência série (R_S), as quais reduzem a queda de potencial efetivo na região do canal do transistor (CROS et al., 2005; SUBRAMANIAN et al., 2007).

$$\left(\frac{g_m}{I_{DS}}\right)\Bigg|_{sat} = \frac{2}{V_{GT}} \times \left[\frac{1+\frac{(R_S \times \mu_{eff} \times C_{ox} \times W \times V_{GT})}{2L}}{1+\frac{(R_S \times \mu_{eff} \times C_{ox} \times W \times V_{GT})}{L}}\right] \tag{27}$$

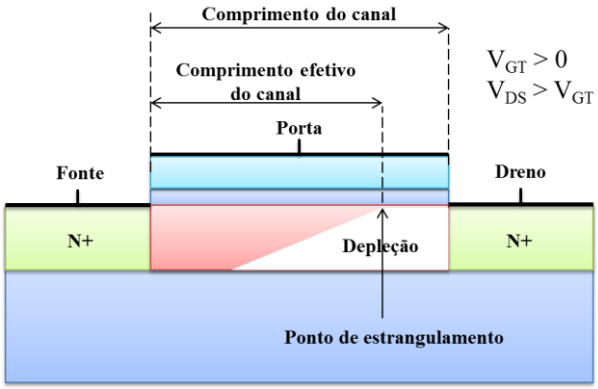
2.3.4.2 Condutância de saída (g_D) e tensão Early (V_{EA})

A condutância de saída ou condutância de dreno (g_D) é definida como a derivada da corrente de dreno em função da variação da tensão de dreno (28) (COLINGE, 2004a).

$$g_D = \frac{\partial I_{DS}}{\partial V_{DS}} \tag{28}$$

Idealmente, em regime de saturação, espera-se que a corrente seja constante, independente da polarização do dreno, e, portanto, g_D igual a zero. No entanto, na prática, o aumento do potencial no dreno induz uma região de depleção no canal, como indicado na Figura 18. Essa região de depleção aumenta à medida que V_{DS} aumenta, deslocando o ponto de estrangulamento do canal e reduzindo seu comprimento efetivo. Esse efeito é conhecido como modulação do comprimento do canal ou pinçamento (*pinch-off*) e se torna mais significativo para transistores de canal curto (COLINGE, 2004a). Como consequência do efeito de modulação do comprimento do canal, a corrente aumenta com V_{DS} e g_D é diferente de zero. Quanto menor a condutância, melhor o comportamento do transistor.

Figura 18 – Perfil transversal de um SOI nMOSFET em saturação.



Fonte: Autor

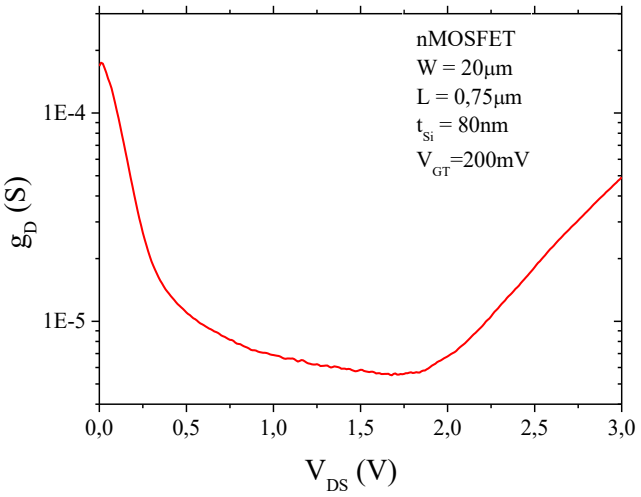
Em regime de saturação, a condutância de saída de transistores FD SOI pode ser descrita pela equação (29), em que é observado o parâmetro λ_D, responsável por considerar o

efeito de modulação do comprimento de canal relacionado à V_{DS} (SEDRA; SMITH, 1998). Assim como a transcondutância em saturação (equação (25)), g_D também apresenta dependência direta com μ_{eff}.

$$g_D\Big|_{sat} = \frac{\partial I_{DS}}{\partial V_{DS}}\Big|_{sat} = \frac{\mu_{eff} \times C_{ox} \times W \times V_{GT}^2}{2 \times n \times L} \lambda_D \tag{29}$$

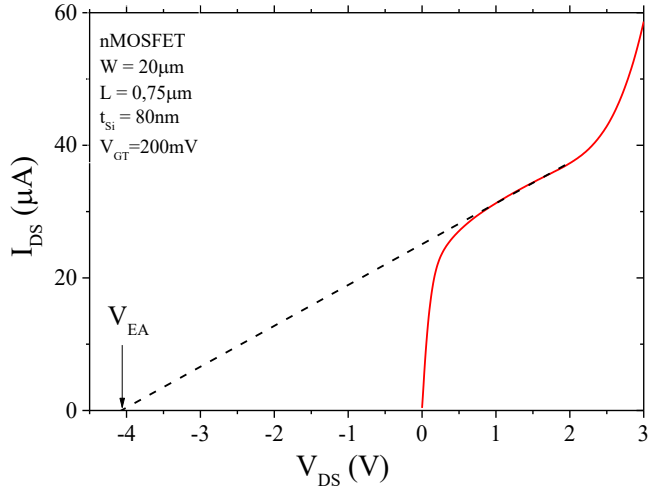
A Figura 19 mostra uma curva experimental de g_D em função de V_{DS}, obtida através da derivada da curva da Figura 20, que apresenta a característica I_{DS} em função de V_{DS} para um nMOSFET com V_{GT} = 200mV.

Figura 19 – Curva g_D em função de V_{DS} para nMOSFET de L = 0,75µm, com V_{GT} = 200mV.



Fonte: Autor

Figura 20 – Característica I_{DS} em função de V_{DS} para nMOSFET de L = 0,75µm, com V_{GT} = 200mV.



Fonte: Autor

O ponto denominado $V_{EA,}$ na Figura 20, indica a tensão Early, obtida através do ponto de cruzamento do eixo da tensão de dreno com a reta extrapolada do comportamento da região aproximadamente linear da curva (SEDRA; SMITH, 1998). Este parâmetro também pode ser calculado pela equação (30) e tenderia ao infinito, na situação ideal em que $g_D \approx 0$ (COLINGE; COLINGE, 2005).

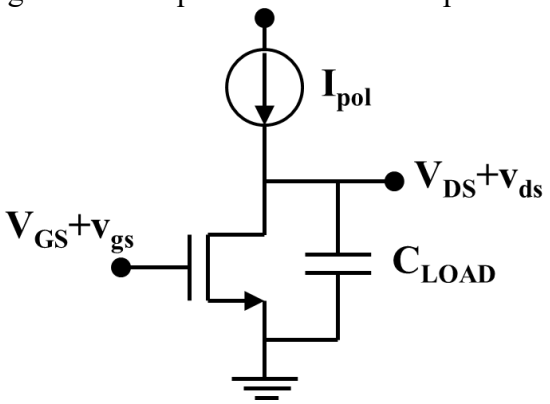
$$|V_{EA}| = \frac{I_{DS}}{g_D} \tag{30}$$

O aumento do controle da porta reduz o efeito de modulação do comprimento do canal, reduzindo a condutância de saída e elevando a tensão Early. Por isso, transistores de múltiplas portas apresentam V_{EA} mais elevado que os transistores planares de porta única (MOHAPATRA et al., 2015).

2.3.4.3 Ganho intrínseco de tensão (A_V)

O circuito da Figura 21 consiste em um amplificador de transistor único, polarizado por uma fonte de corrente (I_{pol}) e com um capacitor de carga na saída (C_{LOAD}). O sinal de entrada é aplicado na porta, constituído de uma parcela de sinal contínuo (V_{GS}) e uma parcela de sinal alternado (v_{gs}). De maneira análoga, o sinal de saída é composto pela soma das parcelas contínua e alternada, $V_{DS} + v_{ds}$. Este circuito tem por objetivo amplificar a parcela alternada do sinal de entrada, do modo que a razão entre v_{ds} e v_{gs} determina o ganho intrínseco de tensão (A_V). Em regime de saturação, para baixas frequências, A_V é descrito pela equação (31) (SILVEIRA; FLANDRE; JESPERS, 1996).

Figura 21 – Esquema de transistor operando como amplificador.



Fonte: Autor

$$A_V = \frac{v_{ds}}{v_{gs}} = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} \times |V_{EA}| \tag{31}$$

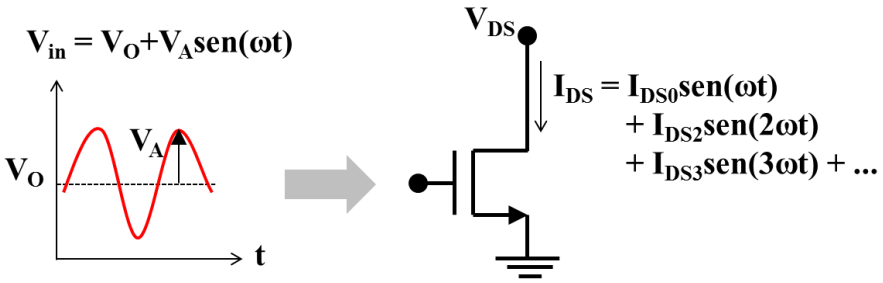
O valor máximo do ganho é obtido em regime de inversão fraca, quando g_m/I_{DS} é máximo (SILVEIRA; FLANDRE; JESPERS, 1996). Como depende diretamente de g_m/I_{DS}, A_V aumenta para transistores com bom acoplamento capacitivo, ou seja, fator de corpo próximo da unidade. Adicionalmente, por ser inversamente proporcional a g_D, A_V aumenta com a redução da modulação do comprimento de canal.

2.3.4.4 Distorção harmônica

É denominado distorção ou não-linearidade o fenômeno em que o sinal de saída é deformado em relação ao sinal de entrada, desconsiderando o fator de ganho multiplicativo. Dispositivos eletrônicos podem apresentar distorção linear ou não-linear, dependendo de suas curvas características (WAMBACQ; SANSEN, 1998a).

A distorção é linear quando a forma de saída é alterada, porém não são introduzidas componentes em novas frequências. Ocorre em dispositivos reativos, como capacitores, e em circuitos como filtros, em que a amplitude e/ou a fase do sinal de saída dependem da frequência de operação (WAMBACQ; SANSEN, 1998a). Por outro lado, transistores possuem característica de transferência não-linear e introduzem, no sinal de saída, componentes em frequências múltiplas do sinal de entrada, dependendo das condições de polarização do dispositivo. A distorção não-linear observada em MOSFETs é também chamada de distorção harmônica, uma vez que as componentes em frequências múltiplas da frequência fundamental são denominadas harmônicas. A Figura 22 mostra o sinal de entrada (V_{in}) em função do tempo (t), aplicado à porta do transistor, e como este é deformado na saída. O sinal de entrada possui uma componente contínua (V_O) e uma componente alternada, senoidal, de amplitude V_A e frequência angular $\omega = 2\pi f$, em que f é a frequência do sinal. I_{DS0}, I_{DS2} e I_{DS3} são as amplitudes do sinal de saída das componentes na frequência fundamental, segunda e terceira harmônicas.

Figura 22 – Transistor MOS com sinal de entrada senoidal e sinal de saída apresentando harmônicos.



Fonte: Autor

Idealmente, o MOSFET da Figura 22 não apresentaria distorção harmônica, apenas amplificaria o sinal de entrada, multiplicando-o pelo fator de ganho. Embora a distorção harmônica seja um efeito indesejável, é inerente ao dispositivo e, portanto, inevitável, de modo que o estudo da linearidade do transistor é de extrema importância. As figuras de mérito utilizadas para quantificar a distorção harmônica são: distorção harmônica total (*Total Harmonic Distortion* – THD), distorção harmônica de segunda ordem (HD2) e distorção harmônica de terceira ordem (HD3) (CERDEIRA et al., 2004). A distorção harmônica total corresponde à soma de todas as harmônicas no sinal de saída e indica o quão distinta esta é do sinal de entrada. A distorção harmônica de segunda ordem é a primeira harmônica de ordem par e, normalmente, corresponde quase à totalidade da distorção harmônica total. A distorção harmônica de terceira ordem é a primeira harmônica de ordem ímpar e se torna a principal contribuição de THD em aplicações analógicas em que HD2 é suprimida, como em amplificadores diferenciais (CHEN; SANCHEZ-SINENCIO; SILVA-MARTINEZ, 2006). Quanto maior o valor desses parâmetros, maior a distorção harmônica que o transistor sofre e, portanto, menor (pior) a sua linearidade.

Desconsiderando a não-linearidade na condutância de saída, é possível estimar os valores das distorções harmônicas de segunda e terceira ordem através das equações (32) e (33), respectivamente, para um MOSFET operando em saturação (GROENEWOLD; LUBBERS, 1994).

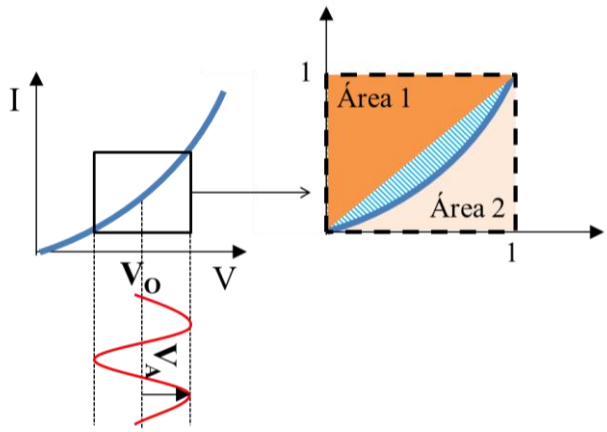
$$HD2 = \frac{V_A}{4} \times \frac{\frac{\partial g_m}{\partial V_{GT}}}{g_m} \tag{32}$$

$$HD3 = \frac{V_A^{\,2}}{24} \times \frac{\frac{\partial^2 g_m}{\partial V_{GT}^{\,2}}}{g_m} \tag{33}$$

Alguns métodos disponíveis na literatura para o estudo da distorção harmônica, embora muito utilizados, apresentam implementação complexa e de difícil solução numérica, necessitando cálculo de transformadas de Fourier, derivadas de alta ordem ou mesmo medidas em corrente alternada (AC – *Alternating Current*) (GROENEWOLD; LUBBERS, 1994; SANSEN, 1999; WAMBACQ; SANSEN, 1998b). Por outro lado, o Método da Função Integral (IFM – *Integral Function Method*) consiste em um algoritmo matemático desenvolvido para extração de THD, HD2 e HD3 que pode ser utilizado em qualquer MOSFET (CERDEIRA et al., 2004).

Uma vez definido o sinal de entrada, V_{in}, conforme indicado na Figura 22, o IFM normaliza ambos os eixos da região de interesse da curva de transferência do transistor, em um intervalo [0;1], conforme representado na Figura 23. A região da figura forma um quadrado de área unitária. As áreas da parte de cima (Área 1) e de baixo (Área 2) da curva são comparadas. Quanto mais próximas, menor é a distorção do sinal. Então, são definidas funções integrais, através das quais são calculadas THD, HD2 e HD3. A função que descreve a diferença entre as áreas 1 e 2 (parte hachurada da Figura 23), se relaciona com THD e consiste na base do Método da Função Integral (CERDEIRA et al., 2004).

Figura 23 – Sinal de entrada e curva de transferência antes e após normalização do IFM.



Fonte: Autor

Embora permita a extração apenas de THD, HD2 e HD3, por apresentar eficácia, implementação simples e depender apenas de medidas em corrente contínua (DC – *Direct Current*), IFM é mais imune ao ruído das medidas experimentais (CERDEIRA et al., 2002) e será o método utilizado, neste trabalho, para o estudo da linearidade de nanofios transistores. Adicionalmente, é válido ressaltar que o IFM foi validado e utilizado, na literatura, para explorar a distorção harmônica em FinFETs (DORIA et al., 2010) e nanofios transistores sem junção (DORIA et al., 2013).

2.3.5 Efeitos de canal curto

Os efeitos indesejáveis decorrentes da redução do comprimento de canal dos transistores são denominados efeitos de canal curto (SCE – *Short Channel Effects*) (VEERARAGHAVAN; FOSSUM, 1989). A aproximação das regiões de fonte e dreno reduz a capacidade do eletrodo de porta de controlar a distribuição do potencial e o fluxo de corrente ao longo do canal, uma vez que há um aumento da influência das linhas de campo elétrico do dreno que penetram no interior do canal em relação ao comprimento total do canal. O aumento da influência das regiões de fonte e dreno sobre o canal leva à degradação dos parâmetros elétricos do transistor, comprometendo o seu funcionamento (COLINGE, 2008).

A equação (34) mostra que os efeitos de canal curto são diretamente proporcionais ao fator de integridade eletrostática do transistor (EI), o qual depende da geometria do dispositivo e mede como as linhas de campo do dreno afetam a região do canal (COLINGE, 2008; SKOTNICKI, 2000; SKOTNICKI; MERCKEL; PEDRON, 1988).

$$SCE = 0{,}64\frac{\varepsilon_{Si}}{\varepsilon_{ox}} EI \times V_{bi} \tag{34}$$

V_{bi} é o potencial interno da junção dreno-canal.

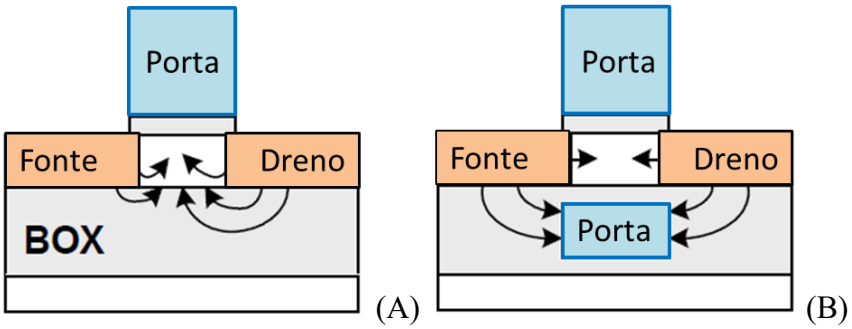
A Figura 24 ilustra como as linhas de campo elétrico se distribuem e influenciam a região do canal, em um transistor FD SOI de porta simples (A) e dupla (B) (COLINGE, 2008). A integridade eletrostática diminui quando as linhas do campo elétrico da fonte e do dreno afetam a região do canal, que deveria ser controlada pelo eletrodo de porta. Consequentemente, a redução do controle eletrostático da porta eleva a ocorrência dos efeitos de canal curto. A integridade eletrostática aumenta com a quantidade de portas do transistor, devido ao maior controle eletrostático, como pode ser observado na Figura 24 e nas equações (35) e (36), que descrevem EI para os MOSFETs de porta simples e dupla, respectivamente, da Figura 24 (COLINGE, 2008).

$$EI = \left(1 + \frac{t_{Si}^2}{L_{el}^2}\right)\frac{t_{ox}}{L_{el}} \; \frac{t_{Si} + \lambda t_{BOX}}{L_{el}} \tag{35}$$

$$EI = \frac{1}{2}\left(1 + \frac{t_{Si}^2/4}{L_{el}^2}\right)\frac{t_{ox}}{L_{el}} \; \frac{t_{Si}/2}{L_{el}} \tag{36}$$

L_{el} é o comprimento elétrico efetivo do canal do transistor e λ é o comprimento natural que será definido a seguir.

Figura 24 – Ilustração das linhas de campo elétrico em FD SOI MOSFETs de porta simples (A) e dupla (B).



Fonte: Autor "adaptado de" Colinge, 2008, p. 5

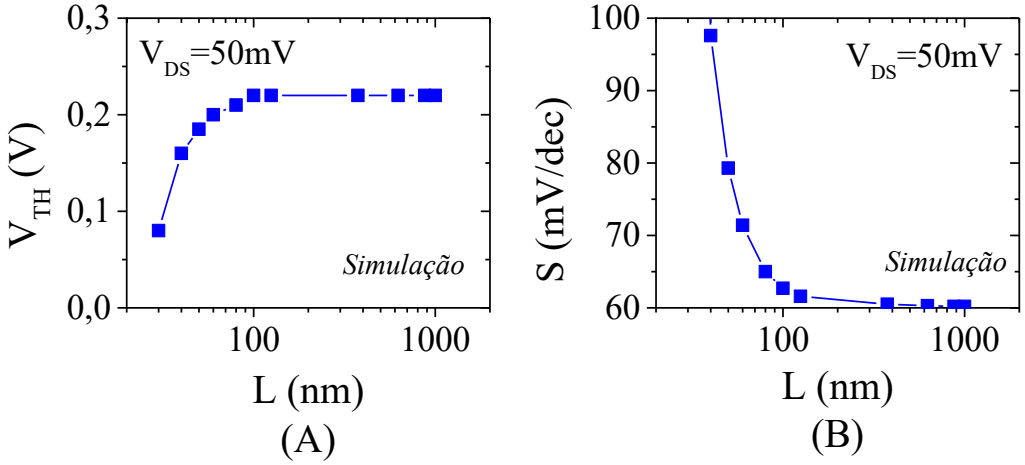
O comprimento natural (λ) é outro parâmetro importante que define o efeito de canal curto inerente ao transistor, pois determina a distância de penetração das linhas de campo elétrico do dreno no interior do canal. O comprimento natural serve de base para estabelecer o valor mínimo do comprimento efetivo da porta do transistor, para evitar a ocorrência de efeitos de canal curto. Normalmente, L deve ser maior do que cinco a dez vezes λ (COLINGE, 2008). De modo geral, λ pode ser determinado pela equação (37), para transistores SOI com número de portas igual a N_{porta}(COLINGE, 2008).

$$\lambda = \sqrt{\frac{\varepsilon_{Si} \times t_{ox} \times t_{Si}}{N_{porta} \times \varepsilon_{ox}}} \tag{37}$$

A partir da equação (37), observamos que o comprimento natural diminui com o aumento do número de portas do transistor, indicando que transistores de múltiplas portas sofrem menos efeito de canal curto, em relação ao transistor MOS de porta simples (COLINGE, 2008). A equação (37) permite ainda comparar transistores de diferentes geometrias. Por exemplo, um transistor de porta simples deve ter metade da espessura da camada de silício de um transistor de porta dupla, para que ambos sofram o mesmo efeito de canal curto.

A redução do controle eletrostático impacta diretamente na tensão de limiar, que diminui conforme o comprimento de canal do transistor fica mais curto (VEERARAGHAVAN; FOSSUM, 1988). Além disso, outro efeito indesejável decorrente do encurtamento do canal é a degradação da inclinação de sublimiar (VEERARAGHAVAN; FOSSUM, 1988). Ambos os efeitos estão representados na Figura 25, que mostra resultados obtidos a partir do simulador para um transistor tipo n, FD SOI, com V_{DS} = 50mV. No caso da Figura 25, para L maior do que 100nm, o transistor pode ser considerado de canal longo, pois não sofre degradações significativas de V_{TH} ou S.

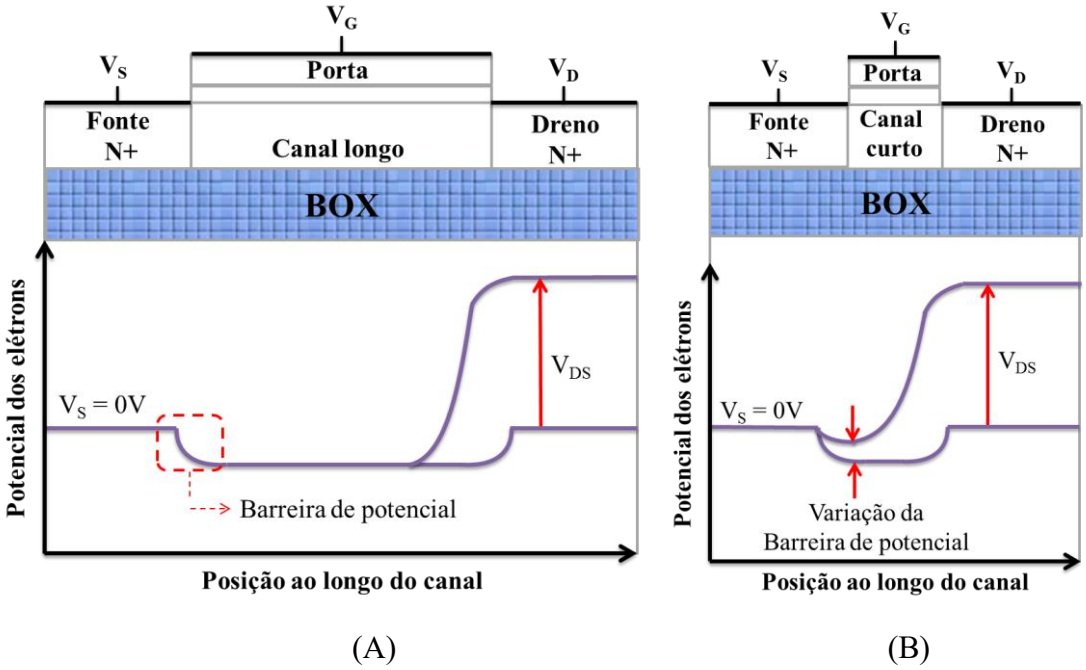
Figura 25 – Tensão de limiar (A) e inclinação de sublimiar (B) em função do comprimento do canal para nMOSFET SOI, com V_{DS} = 50mV.



Fonte: Autor

Para mensurar os efeitos de canal curto na tensão de limiar do transistor adequadamente, é necessário também verificar a degradação deste parâmetro com altos valores de V_{DS}. A Figura 26 apresenta o potencial eletrostático em função da posição ao longo do canal de transistores nMOS. A barreira de potencial junto à fonte está destacada para nMOSFETs de canal longo (A) e curto (B), sob duas condições de polarização de dreno, V_{DS} igual e maior que 0V.

Figura 26 – Comportamento da barreira de potencial da fonte quando aplicado alto valor de tensão de dreno em transistor de canal longo (A) e curto (B).



Fonte: Autor

Como ilustrado na Figura 26, o aumento da tensão de dreno eleva a depleção induzida na interface dreno/canal. Para transistores com canal curto (Figura 26.B), a interação entre as regiões de depleção do dreno e da fonte pode reduzir a barreira de potencial junto à fonte, reduzindo a tensão de limiar do transistor (VEERARAGHAVAN; FOSSUM, 1989). A Figura 26.A indica que este efeito não ocorre em transistores de canal longo, pois não há interação entre as regiões de depleção.

A redução da barreira da fonte induzida pelo dreno é quantificada através do parâmetro denominado DIBL (*Drain Induced Barrier Lowering*), calculado pela equação (38) (COLINGE, 2004a), que mede a redução da tensão de limiar, em *milivolts*, para cada *Volt* aplicado ao dreno.

$$\mathrm{DIBL} = \frac{V_{TH,1} - V_{TH,2}}{V_{DS,2} - V_{DS,1}} \tag{38}$$

$V_{TH,1}$ e $V_{TH,2}$ são as tensões de limiar obtidas quando aplicadas tensões de dreno baixa e alta, $V_{DS,1}$ e $V_{DS,2}$, respectivamente.

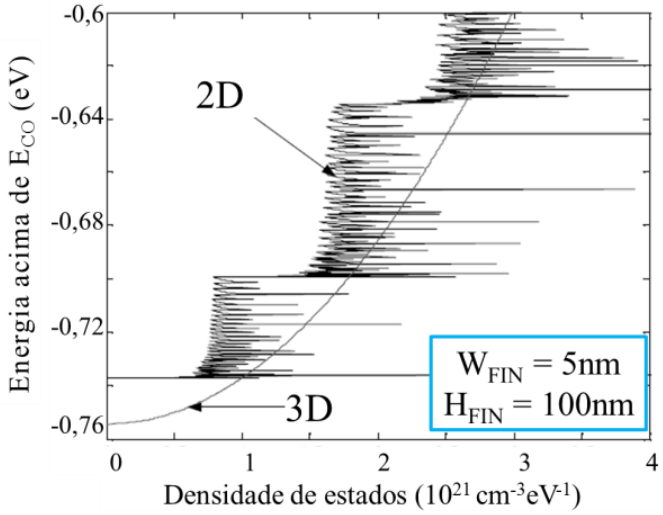
2.3.6 Efeitos quânticos

Por apresentarem dimensões reduzidas, o comportamento e as características elétricas dos nanofios transistores estão sujeitos a algumas particularidades próprias de estruturas nanométricas, que ocorrem devido a efeitos quânticos.

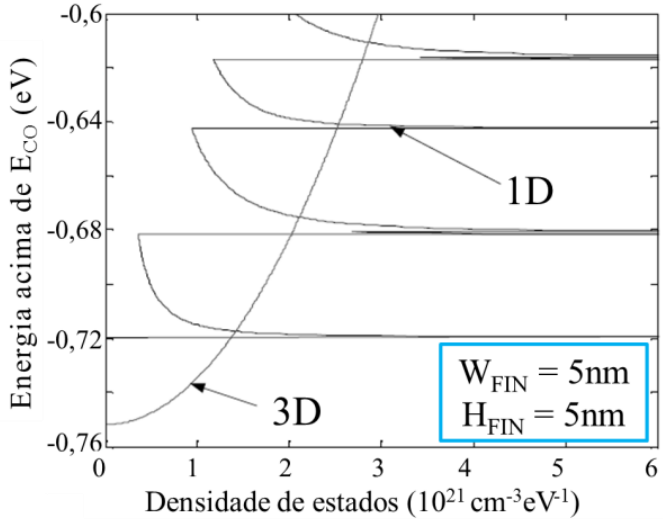
Em transistores que possuem largura e altura do *fin* maiores do que 10nm (COLINGE, 2008), a teoria clássica é aplicada e a densidade de estados de energia que podem ser ocupados pode ser entendida como um espectro contínuo. No entanto, com a diminuição de uma das dimensões W_{FIN} ou H_{FIN}, como ocorre em transistores de porta dupla, por exemplo, os portadores sofrem confinamento quântico e se movimentam ao longo de duas direções (2DEG – *two-Dimensional Electron Gas*). Quando ambas as dimensões W_{FIN} e H_{FIN} são reduzidas, como no caso de nanofios transistores de porta tripla, por exemplo, o confinamento quântico ocorre de modo que os portadores podem fluir em apenas uma direção (1DEG – *one-Dimensional Electron Gas*). Quando há confinamento dos portadores, a densidade de estados é incrementada de maneira discreta, e não mais contínua. A Figura 27 mostra os níveis de energia das sub-bandas de condução e a discretização da densidade de estados na banda de condução, para elétrons, em dois transistores tipo n de porta tripla distintos (COLINGE,

2008). No primeiro (A), H_{FIN} = 100nm e W_{FIN} = 5nm, os portadores estão confinados em duas direções, no comprimento do canal e na altura da camada de silício. São observados degraus formados a partir de diversos picos, enquanto a densidade de estados 3D apresenta uma característica contínua (ANDO; FOWLER; STERN, 1982). No segundo (B), H_{FIN} e W_{FIN} são iguais a 5nm e os portadores estão confinados em uma única direção, no comprimento do canal. Na densidade de estados 1D, cada pico representa uma sub-banda (GNANI et al., 2006).

Figura 27 – Energia acima da mínima clássica da banda de condução (E_{CO}) em função da densidade de estados na banda de condução, para transistores de porta tripla tipo n, cujos elétrons estão confinados em duas dimensões (A) e uma dimensão (B).



(A)



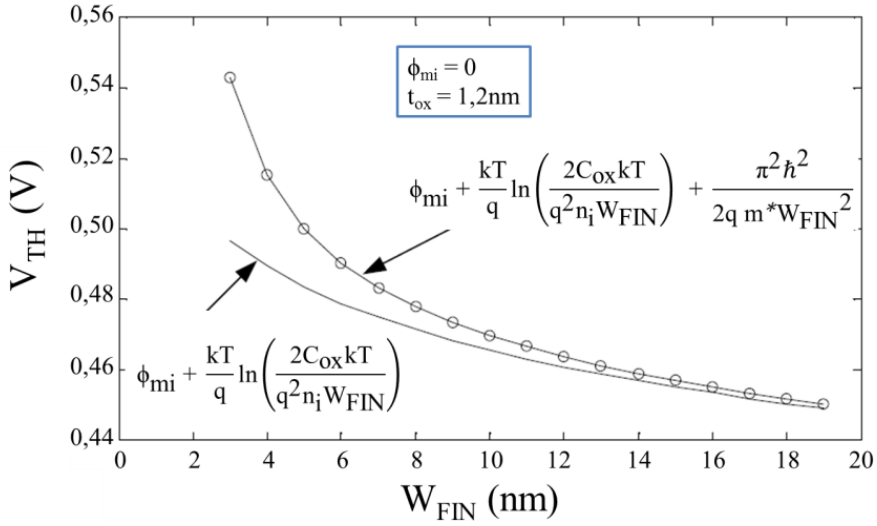
(B)

Fonte: Autor "adaptado de" Colinge, 2008, p. 35

Com a rarefação da densidade de estados disponíveis decorrente do confinamento quântico, é necessário aplicar um potencial mais alto na porta, para atingir determinada

densidade de portadores, isto é, há um aumento da tensão de limiar (ERNST et al., 1999). O último termo da equação (3), que descreve V_{TH} para transistores de porta dupla (POIROUX et al., 2005), representa a variação da energia mínima na banda de condução, que ocorre devido aos efeitos de confinamento, com a redução da espessura da camada de silício entre as duas portas. A Figura 28 apresenta a implementação da equação (3), comparando o cálculo de V_{TH} utilizando a expressão completa e desconsiderando o último termo, relacionado ao efeito quântico (COLINGE, 2008). É possível observar que V_{TH} aumenta com a redução de W_{FIN} e esse aumento é mais pronunciado considerando a expressão completa, isto é, V_{TH} aumenta com o confinamento dos portadores no canal.

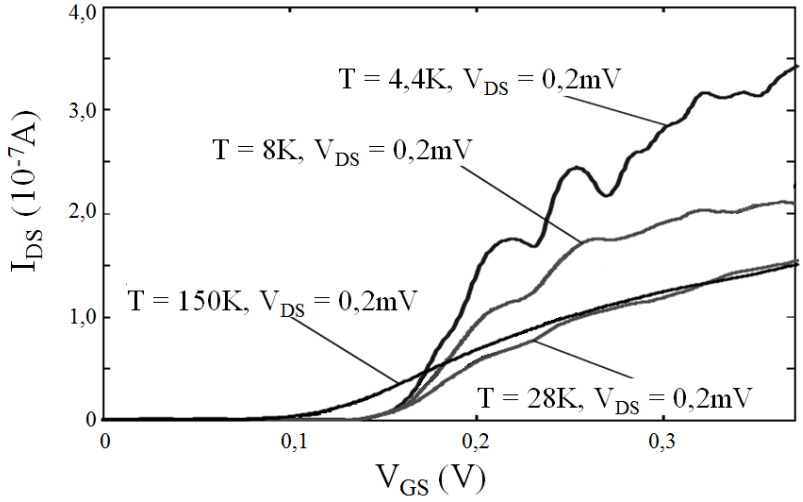
Figura 28 – V_{TH} em função de W_{FIN} para transistor de porta dupla, considerando modelo com e sem efeitos de confinamento.



Fonte: Autor “adaptado de” Colinge, 2008, p. 33

Os portadores que ocupam diferentes sub-bandas, considerando as densidades de estados 1D e 2D, sofrem espalhamentos que reduzem sua mobilidade. Se a energia térmica disponível e a tensão de dreno não são muito altas, comparadas com a energia que separa duas sub-bandas, é possível observar este efeito diretamente na curva da corrente elétrica do transistor (COLINGE, 2007; COQUAND et al., 2013b). Como na Figura 29, ondulações na curva de I_{DS} são verificadas, aumentando V_{GS}, correspondendo à variação da mobilidade que ocorre cada vez que os elétrons atingem o nível energético necessário para popular uma nova sub-banda (COLINGE, 2007).

Figura 29 – Ondulações na curva de I_{DS} em função de V_{DS} para um transistor de múltiplas portas, com V_{DS} = 0,2mV e diversas temperaturas.



Fonte: Autor "adaptado de" Colinge, 2008, p. 36

De acordo com a teoria clássica, os portadores fluem próximo à interface silício/óxido de porta e estão sujeitos aos mecanismos de degradação de superfície e espalhamento de interface (LEE et al., 2011). No entanto, o confinamento quântico altera a distribuição da concentração de elétrons no canal e os portadores passam a fluir mais próximo do centro, através do fenômeno denominado inversão de volume (BALESTRA et al., 1987; COLINGE et al., 1990; SRIKANTAIAH; DASGUPTA, 2012). Este efeito implica no aumento da mobilidade e da transcondutância, em relação a dispositivos cuja condução ocorre preponderantemente na superfície, uma vez que são reduzidos os mecanismos de degradação da mobilidade (COLINGE, 2008).

2.3.7 Influência da temperatura

O estudo da influência da temperatura na operação de dispositivos eletrônicos é de grande importância, pois, quando submetidos a variações de temperatura, apresentam alterações significativas em seu comportamento elétrico, o que pode prejudicar ou melhorar o seu funcionamento. O estudo das características elétricas dos transistores MOS em função da temperatura permite prever seu comportamento em condições extremas, como em aplicações aeroespaciais, geração de energia geotermal e usinas nucleares (GENTINNE et al., 1997; KAWARADA et al., 2014). Assim, o surgimento de novas aplicações e a necessidade de desenvolvimento de tecnologias robustas impulsionou o estudo de componentes e circuitos eletrônicos em temperaturas cada vez mais extremas (HAMMOUD et al., 2003).

A variação da temperatura afeta diversas propriedades dos materiais semicondutores, sendo que a largura da banda proibida (E_G) é uma das propriedades mais fundamentais. A equação (39) descreve a redução de E_G com o aumento da temperatura, para o silício (SZE; NG, 2007).

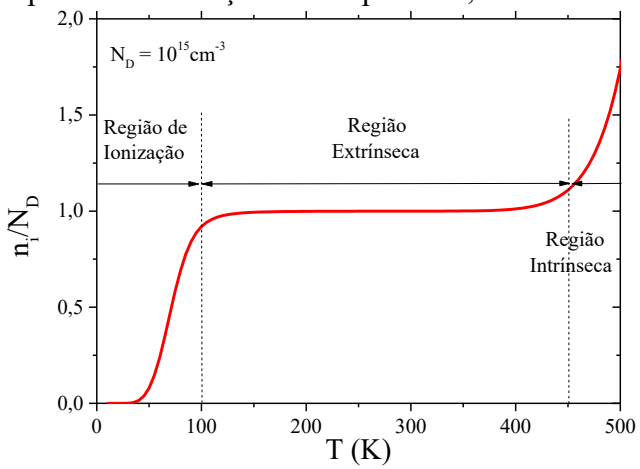
$$E_G = 1{,}170 - \frac{4{,}73 \times 10^{-4} \times T^2}{T + 636} \tag{39}$$

A concentração intrínseca de portadores é bastante dependente da temperatura e pode ser descrita pela equação (40) (SELBERHERR, 1989). N_C e N_V correspondem à densidade de estados na banda de condução e valência, respectivamente, e também variam com a temperatura (SELBERHERR, 1989).

$$n_i = \sqrt{N_C N_V} \times e^{\frac{-E_G}{kT}} \tag{40}$$

A densidade de portadores no material varia bastante com a temperatura. Na Figura 30, está apresentada a razão entre a concentração intrínseca de portadores e a concentração de impurezas em função da temperatura, para o silício dopado com $N_D = 10^{15} cm^{-3}$. São distinguidas três regiões. A região de ionização ocorre abaixo de 100K, quando a energia térmica não é suficiente para ionizar todas as impurezas e ocorre ionização parcial. De 100 a 450K, o semicondutor funciona como material extrínseco e a concentração intrínseca de portadores, praticamente, não interfere na densidade de portadores. Acima de 450K, uma grande quantidade de portadores é gerada termicamente, a concentração intrínseca de portadores é maior do que a concentração de impurezas e o material extrínseco de torna intrínseco (WOLPERT; AMPADU, 2012).

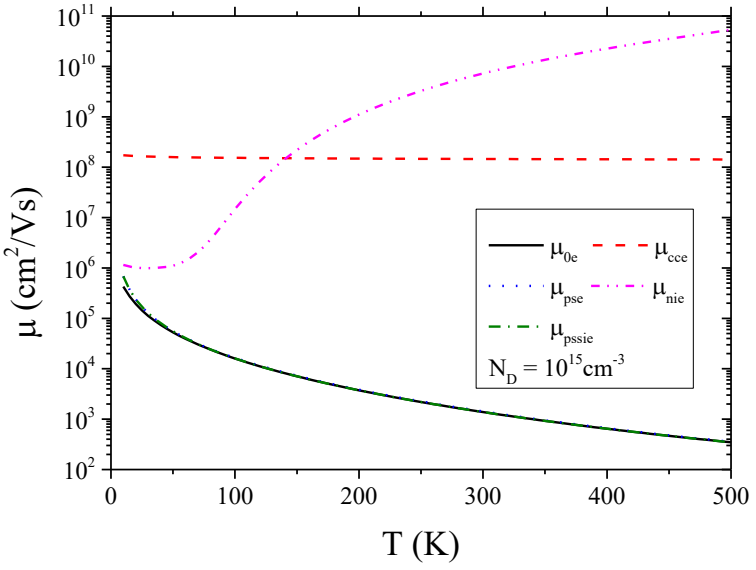
Figura 30 – Concentração intrínseca de portadores normalizada pela concentração de impurezas em função da temperatura, no silício dopado com $N_D = 10^{15} cm^{-3}$.



Fonte: Autor

Cada um dos mecanismos de degradação da mobilidade de baixo campo, detalhados na seção 2.3.3, se comporta de maneira diferente com a temperatura (GUTIÉRREZ-D.; DEEN; CLAEYS, 2001). A mobilidade degradada por fônons, μ_{pse}, reduz com o aumento da temperatura, pois há maior vibração da rede e, portanto, os portadores fluem com maior dificuldade. A mobilidade degradada pelas impurezas ionizadas, μ_{psiie}, reduz com o aumento da temperatura, pois o número de portadores ionizados aumenta. A mobilidade degradada pelas impurezas neutras, μ_{nie}, aumenta com o aumento da temperatura, pois o número de portadores não ionizados diminui com maior energia térmica. A mobilidade degradada pelo espalhamento portador-portador, μ_{cce}, reduz com o aumento da temperatura, pois há maior interação entre os portadores. A Figura 31 apresenta cada um dos mecanismos de degradação da mobilidade de baixo campo em função da temperatura, para silício dopado com $N_D = 10^{15}cm^{-3}$. Esses resultados foram obtidos através da implementação direta das equações descritas na seção 2.3.3. Observa-se que a mobilidade total, μ_{0e}, é igual à mobilidade degradada pelo espalhamento de fônons, como esperado para baixas concentrações de dopantes, e reduz com o aumento da temperatura.

Figura 31 – Mobilidade total e seus mecanismos de espalhamento em função da temperatura.

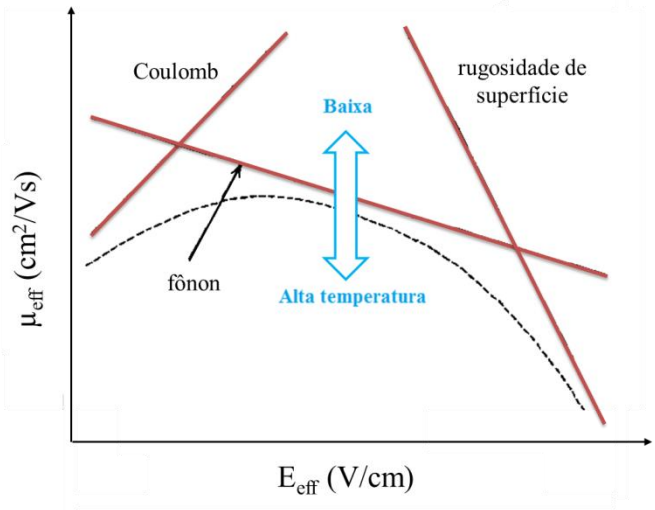


Fonte: Autor

A Figura 32 apresenta a mobilidade efetiva em função do campo elétrico efetivo, com foco para cada um dos principais mecanismos de degradação da mobilidade, variando a temperatura (TAKAGI et al., 1994a). É observado o aumento da mobilidade máxima com a

redução da temperatura, devido à redução do mecanismo de espalhamento por fônons. Para temperaturas muito baixas, o mecanismo de espalhamento por fônons passa a ser quase inexistente e a mobilidade de baixo campo passa a ser limitada pelo espalhamento Coulomb (TAKAGI et al., 1994a). Além disso, é sabido que a degradação da mobilidade devido ao espalhamento da rugosidade da superfície reduz com o aumento da temperatura. Isto ocorre porque o potencial de Fermi diminui, reduzindo o campo elétrico efetivo (GUTIÉRREZ-D.; DEEN; CLAEYS, 2001).

Figura 32 – Mobilidade efetiva em função do campo elétrico efetivo, com destaque para o comportamento dos mecanismos de degradação com a temperatura.



Fonte: Autor "adaptado de" Takagi et al., 1994, p. 2359

A redução do potencial de Fermi com o aumento da temperatura também impacta na tensão de limiar do transistor. Para um transistor MOS de porta dupla, a variação de V_{TH} com T pode ser descrita pela equação (41) (TREVISOLI; PAVANELLO, 2009).

$$\frac{\partial V_{TH}}{\partial T} = -\frac{1}{2}\frac{\partial E_G}{\partial T} + \frac{k}{q}\left(1 + \ln\left(\frac{2C_{ox}kT}{q^2 n_i W_{FIN}}\right) - \frac{T}{n_i}\frac{\partial n_i}{\partial T}\right) - \frac{\pi^2\eta^2}{2qW_{FIN}{}^2(m^*)^2}\frac{\partial m^*}{\partial T} \qquad (41)$$

Embora a expressão derivada para $\partial V_{TH}/\partial T$ seja complexa, o comportamento da tensão de limiar com a temperatura é aproximadamente linear (AKARVARDAR et al., 2007b; TREVISOLI; PAVANELLO, 2009), como observado em transistores FD SOI e MOSFET convencionais (COLINGE, 2004a). Adicionalmente, transistores de múltiplas portas possuem menor $\partial V_{TH}/\partial T$, em comparação com FD SOI MOSFETs.

A inclinação de sublimiar é diretamente proporcional à temperatura, como observado na equação (5), e, portanto, aumenta com o aumento de T.

2.4 TÉCNICAS PARA AUMENTAR A MOBILIDADE

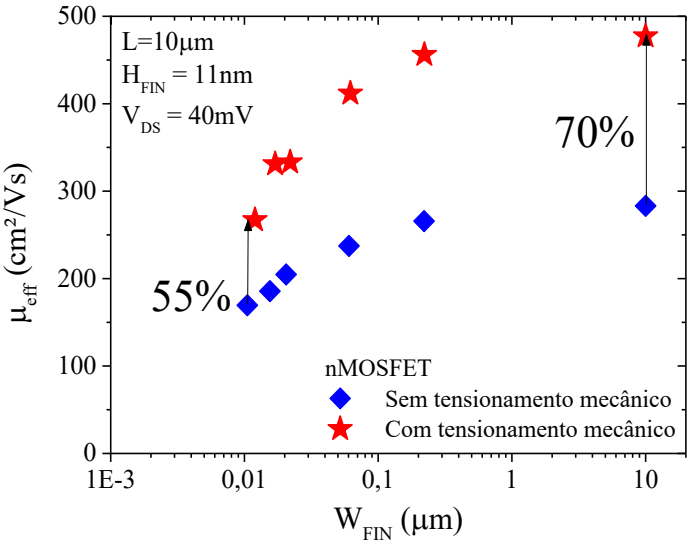
Algumas alternativas tecnológicas surgiram para contornar o fato de que diversos fenômenos físicos degradam as características elétricas dos transistores, impedindo-os de cumprir requisitos pré-determinados (RISCH, 2006). Recentemente, algumas soluções se mostraram importantes aliadas da indústria de semicondutores. Nesta seção, serão detalhadas duas tecnologias que tem por objetivo aumentar a mobilidade de MOSFETs. Nanofios transistores fabricados com essas tecnologias serão alvo de estudo e análise na seção 4.

2.4.1 Tensionamento mecânico

O tensionamento mecânico é uma das técnicas para aumentar a mobilidade mais utilizadas na tecnologia CMOS planar, amplamente difundida a partir dos anos 2000 (CHIDAMBARAM et al., 2006; HORSTMANN et al., 2005; THOMPSON et al., 2002). O tensionamento do tipo tensivo aumenta a mobilidade dos elétrons e, portanto, favorece transistores tipo n, enquanto o tensionamento do tipo compressivo aumenta a mobilidade das lacunas e, portanto, favorece transistores tipo p. Escolhendo-se adequadamente o tipo de tensionamento mecânico, é possível obter um aumento significativo da mobilidade de elétrons e/ou lacunas, como demonstrado por (HORSTMANN et al., 2005), que observou um aumento de 53% e 32% para a corrente elétrica de transistores tipo p e tipo n, respectivamente. A integração do tensionamento mecânico em tecnologias de múltiplas portas tem apresentado resultados muito promissores (COQUAND et al., 2012b; KOYAMA et al., 2012).

A Figura 33 apresenta resultados medidos da mobilidade efetiva de nanofios transistores de porta Ω em função da largura do *fin*. Observa-se um ganho de até 55% na mobilidade dos elétrons para os transistores mais estreitos, com a utilização do canal tensionado.

Figura 33 – μ_{eff} em função de W_{FIN}, para nanofios transistores tipo n, com e sem tensionamento mecânico.



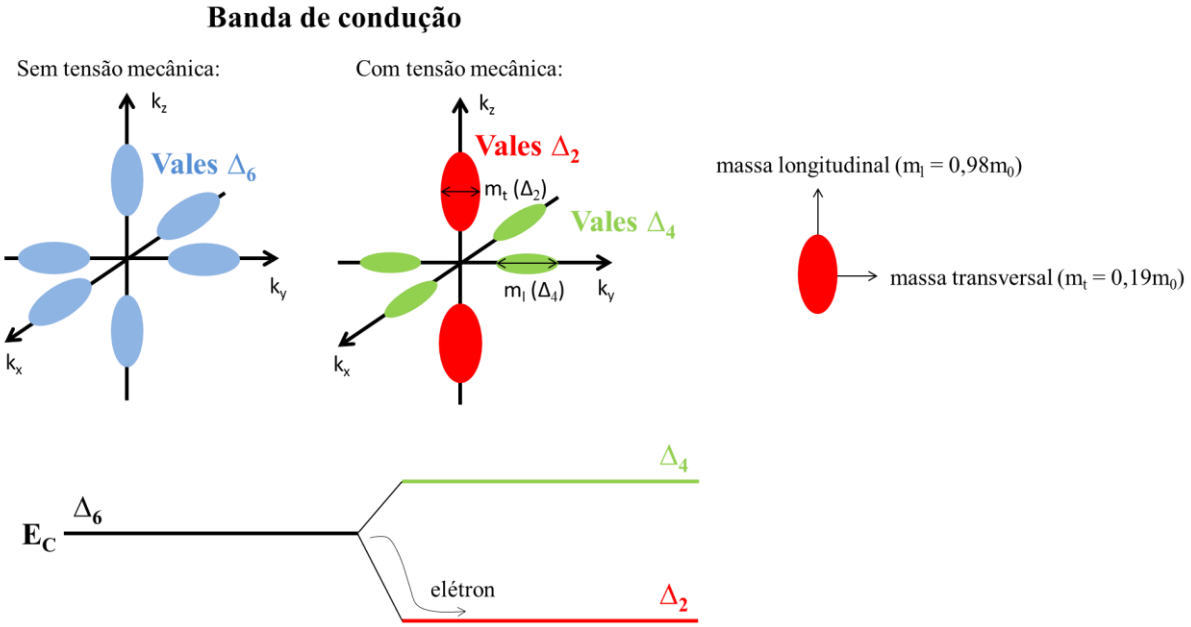
Fonte: Autor

Existem diversas técnicas para aplicação da tensão mecânica, sendo que as mais utilizadas são a biaxial e a uniaxial. O tensionamento mecânico é uniaxial quando aplicado no sentido do comprimento do canal e biaxial quando aplicado no sentido do comprimento e da largura do canal. Também é possível somar os efeitos de cada um dos tensionamentos, combinando as diferentes técnicas, biaxial e uniaxial.

O tensionamento mecânico aumenta a mobilidade dos portadores porque reduz sua massa efetiva (RIM et al., 2002; YANG et al., 2007). A Figura 34 apresenta um esquema da banda de condução do silício antes e depois de ser tensionado biaxialmente (CHAN et al., 2005; YANG et al., 2007). Antes do tensionamento, a banda de condução é formada por seis vales de mesma energia (Δ_6, representados por elipsoides azuis), que determinam a energia de condução mínima. Com a aplicação de um tensionamento mecânico biaxial no plano k_xk_y, os níveis de energia sofrem uma divisão, de modo que os dois vales fora do plano k_xk_y tem sua energia reduzida (Δ_2, representados por elipsoides vermelhos) e os quatro vales no plano k_xk_y tem sua energia aumentada (Δ_4, representados por elipsoides verdes). Com a divisão dos níveis energéticos, os elétrons sofrem uma redistribuição e passam a ocupar, predominantemente, os vales de menor energia, Δ_2. A massa efetiva é composta pelas componentes transversal (m_t, perpendicular ao eixo) e longitudinal (m_l, paralela ao eixo), como indicado na Figura 34. Como os vales mais ocupados, Δ_2, possuem menor massa no plano de condução (k_xk_y), isto é, $m_t(\Delta_2) < m_l(\Delta_4)$, há uma redução na massa efetiva e, portanto, um aumento da mobilidade (RIM et al., 2002; YANG et al., 2007). Adicionalmente,

a redistribuição dos elétrons nos vales reduz os espalhamentos na rede, o que aumenta ainda mais a mobilidade (GOROFF; KLEINMAN, 1963).

Figura 34 – Representação da banda de condução do silício antes e após aplicação de tensionamento mecânico biaxial no plano k_xk_y.



Fonte: Autor "adaptado de" Chan et al., 2005, p. 668

Para as lacunas, também há uma redução da massa efetiva com a divisão de níveis energéticos da banda de valência. As lacunas passam a ocupar o nível mais alto de energia, aumentando sua mobilidade. A redução da banda de condução e o aumento da banda de valência levam à redução da largura da banda proibida e, consequentemente, da tensão de limiar do transistor.

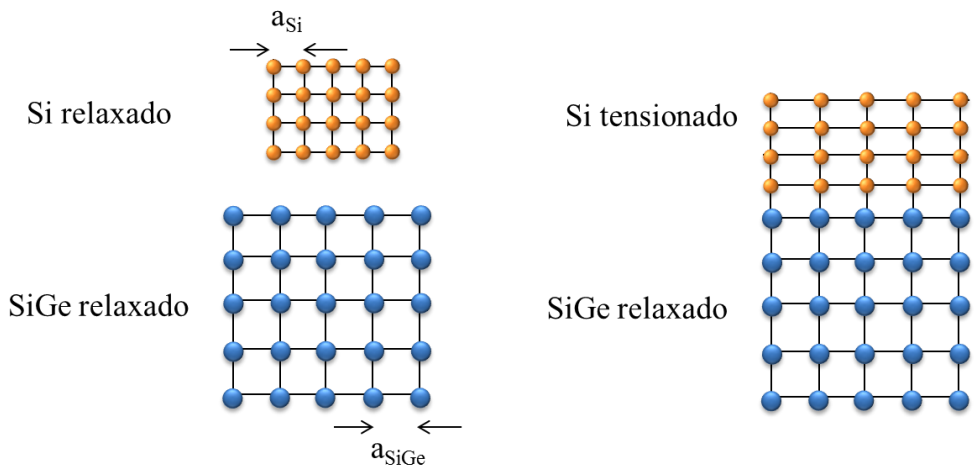
A seguir serão descritas duas técnicas de tensionamento mecânico, que foram utilizadas no processo de fabricação dos nanofios transistores com canal tensionado, estudados neste trabalho.

2.4.1.1 Tensionamento do substrato - Strained SOI (sSOI)

O tensionamento biaxial pode ser obtido através do crescimento de silício sobre uma camada de silício-germânio ($Si_{1-x}Ge_x$), uma vez que a distância interatômica do Si é menor do que a da liga de SiGe, como representado na Figura 35, em que a_{Si} e a_{SiGe} representam os espaçamentos cristalinos do silício e da liga silício-germânio, respectivamente. A tensão

mecânica gerada na camada de silício depende da proporção da liga de SiGe. Por exemplo, para uma liga de $Si_{0,8}Ge_{0,2}$, a tensão mecânica gerada é de 1,4GPa (CASSE et al., 2012c).

Figura 35 – Tensionamento do Si através de liga de SiGe.



Fonte: Autor

Para fabricar um substrato SOI de silício tensionado (sSOI – *Strained* SOI), parte-se de uma lâmina de silício convencional, faz-se o crescimento gradual de uma liga de SiGe e, sob a camada de SiGe relaxada, é realizado o crescimento epitaxial de uma nova camada de silício puro, a qual já apresentará tensionamento biaxial. Essa lâmina é unida a uma segunda lâmina de substrato SOI e, por fim, é feita a corrosão da camada de SiGe remanescente (COLINGE, 2008).

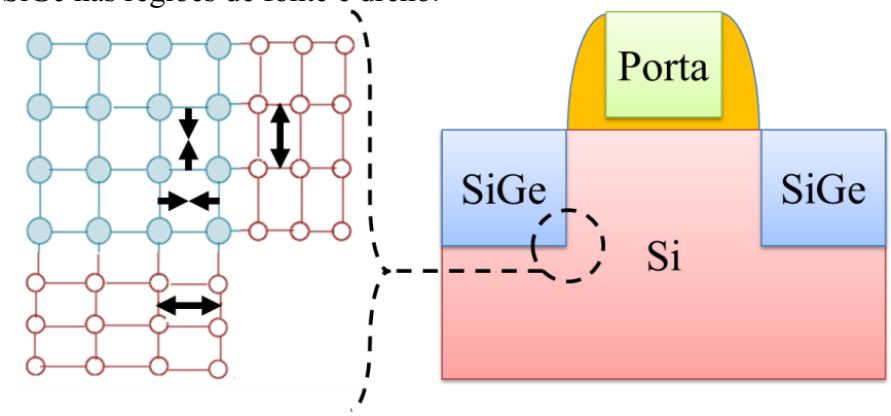
Para transistores de múltiplas portas, com a redução da largura do *fin*, o tensionamento mecânico biaxial passa a ser uniaxial, devido ao relaxamento lateral que ocorre após a etapa de corrosão da aleta de silício (COQUAND et al., 2012b).

2.4.1.2 SiGe nas regiões de fonte e dreno

A utilização de uma liga de SiGe nas regiões de fonte e dreno provocam um tensionamento compressivo no canal, benéfico para transistores tipo p (HORSTMANN et al., 2005). Devido à sua eficácia, essa técnica é utilizada não somente em dispositivos planares, mas também em transistores de múltiplas portas (BARRAUD et al., 2016). Embora resulte em um tensionamento uniaxial, os efeitos observados são similares aos discutidos anteriormente para o tensionamento biaxial (THOMPSON et al., 2006).

A Figura 36 mostra como a diferença entre as distâncias interatômicas do Si e SiGe comprime o canal do transistor. O tensionamento gerado depende do volume do SiGe e da sua proximidade ao canal, de modo que esta técnica depende do *layout* do transistor e é mais eficiente com a redução de L (COLINGE, 2008).

Figura 36 – Representação de tensionamento compressivo no canal de transistor através de SiGe nas regiões de fonte e dreno.

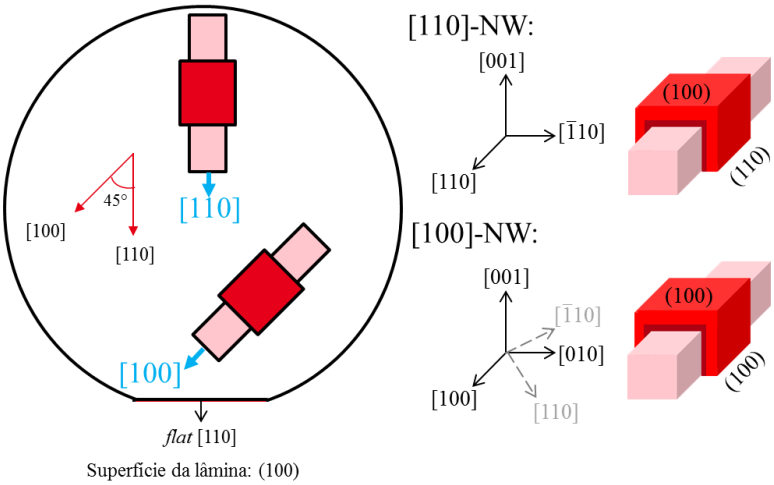


Fonte: Autor

2.4.2 Rotação do substrato

A mobilidade dos portadores varia com a orientação cristalográfica, isto é, lacunas e elétrons não fluem com a mesma facilidade em diferentes planos de condução. Em MOSFETs planares, o canal se encontra em apenas um plano de condução, (100) em lâminas usuais cuja superfície está no plano (100). No entanto, em transistores de múltiplas portas, o canal pode se encontrar em outros planos de condução. Considerando uma lâmina usual no plano (100), normalmente, o transistor é fabricado com o canal perpendicular ou paralelo ao *flat*, região chanfrada da lâmina que indica a direção [110] (CHANG et al., 2003; COLINGE, 2008). Desse modo, um nanofio transistor de porta tripla orientado na direção [110], [110]-NW, possui dois canais nas superfícies laterais, no plano (110), e um canal na superfície do topo, no plano (100), como indicado na Figura 37.

Figura 37 – Representação de nanofios transistores de porta tripla em lâmina usual (100), orientados nas direções [110] e [100].



Fonte: Autor

A massa efetiva dos portadores varia com o plano de condução (COLINGE, 2008), de modo que a mobilidade dos elétrons é favorecida no plano (100), enquanto a mobilidade das lacunas é maior no plano (110), como indicado na Tabela 1. Isto implica em uma degradação da mobilidade de nanofios transistores de porta tripla tipo n de largura de *fin* reduzida, pois a contribuição do plano (110) aumenta. De maneira análoga, a mobilidade de nanofios transistores de porta tripla tipo p aumenta com a redução da largura do *fin* (KOYAMA et al., 2013).

Tabela 1 – Transporte de elétrons e lacunas de acordo com o plano de condução.

Elétrons		Lacunas	
(100)	(110)	(100)	(110)
>	<	<	>

Fonte: Autor "adaptado de" Koyama et al., 2013, p. 49

Por esse motivo, a rotação do canal de determinados dispositivos em 45º pode ser benéfica para a mobilidade. Rotacionando um [110]-NW em 45º, obtemos um nanofio transistor com canal orientado na direção [100], [100]-NW, cujas superfícies de condução nas laterais e no topo encontram-se no plano (100), como observado na Figura 37.

A orientação do substrato altera as características do tensionamento mecânico e afeta, significativamente, transistores de múltiplas portas (CHAN et al., 2005; KOYAMA et al., 2013; PELLOUX-PRAYER et al., 2014).

3 SIMULADOR

Simulações numéricas tridimensionais foram utilizadas ao longo deste trabalho para entender melhor o comportamento de nanofios transistores MOS não empilhados e validar métodos propostos para extração de parâmetros de nanofios transistores empilhados. Referente aos NWs não empilhados, simulações foram utilizadas para comparar o efeito de modulação do comprimento de canal em nanofios tipo n e tipo p e avaliar o efeito da polarização do substrato na mobilidade dos portadores em nanofios estreitos, de modo a explicar os resultados obtidos experimentalmente. Para os NWs empilhados, os resultados extraídos, através de metodologias propostas neste trabalho, para a espessura efetiva do óxido de porta (EOT – *Effective Oxide Thickness*) e a largura da aleta do transistor foram validados através de simulações.

Para construir as estruturas a serem simuladas, foi utilizado o simulador de processos Sentaurus Process, da Synopsys ("Sentaurus Process User Guide, Version A-2007.12", 2007). Um arquivo de exemplo para a geração de um nanofio transistor tipo p se encontra no Apêndice A. Os arquivos gerados pelo Sentaurus Process são utilizados como entrada para o arquivo de simulação de dispositivo, onde os modelos analíticos são especificados para considerar os efeitos físicos desejados.

Para as simulações numéricas tridimensionais dos dispositivos, foi utilizado o Sentaurus Device Simulator (SDEVICE), da Synopsys ("Sentaurus Device User Guide, Version C-2009.06", 2009). Para chegar a uma solução para cada um dos pontos desejados, este simulador resolve equações de continuidade e de Poisson através do método de elementos finitos. Um arquivo de exemplo para a simulação de uma curva $I_{DS}(V_{GS})$ de um nanofio transistor tipo p se encontra no Apêndice B.

A fim de descrever apropriadamente o funcionamento dos transistores, diversos fenômenos físicos foram considerados, de modo que os modelos físicos utilizados descrevem o comportamento da mobilidade dos portadores, os mecanismos de geração e recombinação e o estreitamento da banda proibida.

Para descrever o comportamento da mobilidade dos portadores, foram utilizados os modelos descritos a seguir.

Inversion and Accumulation Layer Mobility Model – IALMob: Este modelo de degradação de mobilidade para camadas de inversão e acumulação consiste em uma modificação dos modelos tradicionais de Klaassen (KLAASSEN, 1992) e Lombardi (LOMBARDI et al.,

1988). O modelo considera os mecanismos de espalhamento por fônons, Coulomb e rugosidade de superfície.

Enormal: Este modelo considera a atração dos portadores para a interface semicondutor/isolante quando há alto campo elétrico vertical. Este modelo de degradação é descrito por Lombardi (LOMBARDI et al., 1988).

HighFieldSaturation: Este modelo é descrito por Canali *et al*. (CANALI et al., 1975) e determina a influência do alto campo elétrico lateral na mobilidade dos portadores. Estes, por sua vez, na situação de alto campo elétrico, não fluem com velocidade de deriva dependente deste campo, mas sim com um valor limitado pela velocidade de saturação.

Para considerar o mecanismo de geração e recombinação dos portadores, foram utilizados os modelos a seguir, os quais representam os dois processos de recombinação mais importantes no silício (SCHENK, 1992).

SRH(DopingDep): O efeito de *Shockley-Read-Hall* (SRH) quantifica a recombinação dos portadores devido aos defeitos presentes na rede cristalina do semicondutor e é contabilizado pelo modelo que leva o seu nome. Quando utilizado o sub-modelo *DopingDep*, o tempo de vida dos portadores é calculado com base em sua dependência com a concentração de dopantes.

Auger: Este modelo contabiliza o mecanismo de recombinação que ocorre quando o nível de energia resultante de uma recombinação de um elétron mais energético é suficiente para gerar um portador. Esse modelo tem maior importância no caso de regime de alta injeção de portadores.

Para realizar o cálculo da largura da banda proibida foi considerado o modelo a seguir:

BandGapNarrowing (OldSlotboom): Este modelo é utilizado para considerar o efeito do estreitamento da largura da banda proibida, que ocorre dependendo da concentração de dopantes do semicondutor e da temperatura. O cálculo da largura da banda proibida é bastante importante, pois está diretamente associado ao valor da concentração intrínseca de portadores.

Os efeitos quânticos foram considerados através do modelo denominado *Density Gradient Quantization Model*, ativado através dos comandos *eQuantumPotential* e

hQuantumPotential, para os elétrons e lacunas, respectivamente. Este modelo contabiliza os efeitos quânticos relacionados à modificação da densidade de portadores, sendo capaz de descrever a distribuição de cargas no interior do transistor, bem como a variação da tensão de limiar e da capacitância da porta relacionados ao confinamento quântico.

4 RESULTADOS E DISCUSSÕES

Nessa seção, subdividida em 4 tópicos principais, serão apresentados e discutidos os resultados do estudo de nanofios transistores MOS. As seções estão ordenadas respeitando as evoluções tecnológicas da fabricação dos nanofios. A seção 4.1 aborda resultados de nanofios transistores não empilhados sem tensionamento mecânico, tipo n e tipo p, de comprimento de canal longo e curto, com diferentes valores de W_{FIN}. A seção 4.2 apresenta resultados do estudo de nanofios transistores não empilhados com tensionamento mecânico, sendo que o nanofio tipo n foi fabricado em substrato sSOI e o nanofio tipo p consiste em SiGe-Sobre-Isolante (SGOI: *SiGe-On-Insulator*). Em ambos os NWs tipo n e p com tensionamento, o efeito da temperatura é investigado. A seção 4.3 trata de nanofios transistores empilhados tipo p, com tensionamento mecânico, considerando duas orientações de canal.

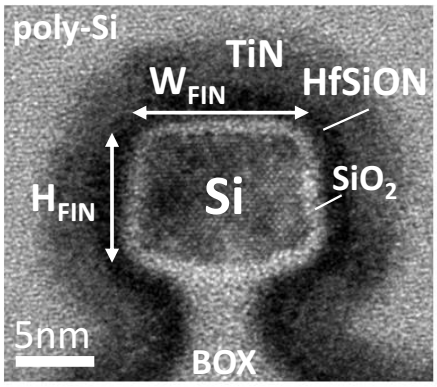
Todos os nanofios transistores estudados neste trabalho, não empilhados e empilhados, foram fabricados no CEA – Leti.

As medidas elétricas foram realizadas através do analisador de dispositivos semicondutores B1500 da Keysight (KEYSIGHT TECHNOLOGIES, 2017). Como o B1500 contém um módulo de capacitância integrado, foi possível medir tanto as curvas I-V como as curvas C-V dos NWs utilizando o mesmo equipamento. As medidas foram realizadas com tempo de integração de médio a longo e passo de V_{GS} entre 10 e 20mV.

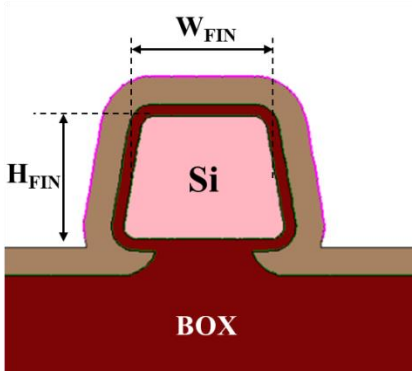
4.1 NANOFIOS TRANSISTORES NÃO EMPILHADOS SEM TENSIONAMENTO MECÂNICO

Os nanofios transistores não empilhados são constituídos de uma aleta de silício orientada na direção [110], de porta Ω, envolta por camadas de SiO_2, HfSiON, TiN e silício policristalino, como indicado na Figura 38 (BARRAUD et al., 2012; COQUAND et al., 2012b; PELLOUX-PRAYER et al., 2014). A espessura efetiva do óxido é de 1,4nm. NWs quasi-planares (W_{FIN} = 10µm) são transistores de um único *fin*, enquanto que os nanofios transistores com $W_{FIN} \neq$ 10µm são fabricados em estruturas multi-dedos, com 10 ou 50 *fins* em paralelo.

Figura 38 – Imagem de TEM (A) e representação esquemática (B) de nanofio transistor SOI.



(A)



(B)

Fonte: Pelloux-Prayer et al., 2014, p. 1 (A) e autor (B)

As tabelas abaixo apresentam a descrição dos parâmetros dos nanofios transistores estudados nessa seção. A Tabela 2 apresenta os nanofios transistores não empilhados tipo n de canal longo (L = 10µm), enquanto a Tabela 3 apresenta os nanofios transistores não empilhados tipo n de canal curto (L = 40nm) e tipo p de canal longo e curto (L = 10µm e 40nm).

Tabela 2 – Descrição de parâmetros de nanofios transistores SOI tipo n de canal longo.

Parâmetro	Descrição
EOT	1,4nm
t_{BOX}	145nm
L	10µm
H_{FIN}	11nm
W_{FIN}	9,5, 14,5, 19,5, 39,5, 59,5, 99,5nm (50 *fins*) 10µm (1 *fin*)
Dopagem no canal	$10^{15}cm^{-3}$
Materiais do eletrodo de porta	SiO_2, HfSiON, TiN, Si policristalino
Material do canal	Si
Material de fonte/dreno	Si
Tipo de substrato	SOI
Orientação cristalográfica	[110]
Tipo de transistor	nMOS

Fonte: Autor

Tabela 3 – Descrição de parâmetros de nanofios transistores SOI tipo n de canal curto e tipo p de canal longo e curto.

Parâmetro	Descrição
EOT	1,4nm
t_{BOX}	145nm
L	10µm e 40nm
H_{FIN}	11nm
W_{FIN}	15, 20, 25, 45, 65, 105nm (50 *fins*) 10µm (1 *fin*)
Dopagem no canal	$10^{15}cm^{-3}$
Materiais do eletrodo de porta	SiO_2, HfSiON, TiN, Si policristalino
Material do canal	Si
Material de fonte/dreno	Si
Tipo de substrato	SOI
Orientação cristalográfica	[110]
Tipo de transistor	nMOS (apenas L = 40nm), pMOS

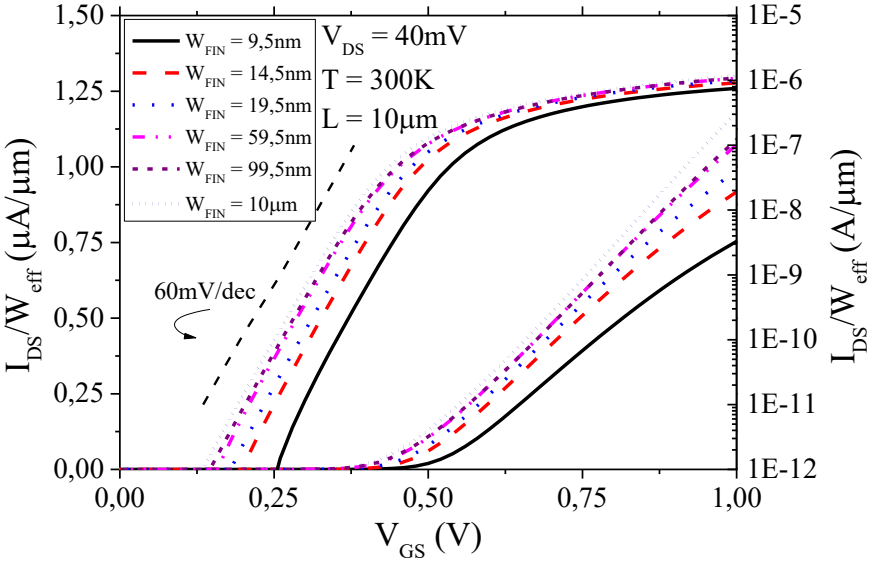
Fonte: Autor

Os valores de W_{FIN} apresentados nas tabelas foram fornecidos pelo CEA – Leti e obtidos através de estudos de imagens de TEM, de modo que indicam a média desse parâmetro para um conjunto de NWs provenientes da mesma lâmina estudada ao longo deste trabalho. Devido a variações no processo de fabricação ao longo da lâmina e ao controle da etapa de corrosão da aleta de silício, é possível que W_{FIN} real dos nanofios estudados sofram uma variação de alguns nanômetros em relação aos valores apresentados nas tabelas.

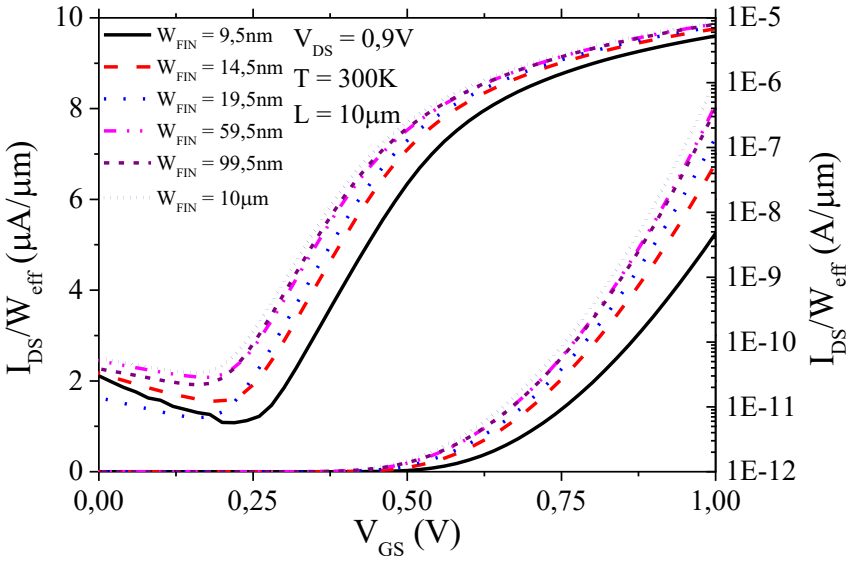
A Figura 39 apresenta a corrente de dreno normalizada pela largura efetiva de porta em função de V_{GS}, com V_{DS} = 40mV (A) e 0,9V (B), para nanofios transistores tipo n, com canal longo, W_{FIN} variando de 9,5nm até 10µm, em temperatura ambiente, em escala linear e logarítmica. Por uma questão de simplificação, embora a estrutura medida apresente porta em formato Ω (Figura 38), W_{eff} será calculado através da expressão utilizada para NWs de porta tripla, $W_{eff} = 2H_{FIN} + W_{FIN}$. Os valores de V_{DS} = 40mV e 0,9V foram utilizados para proteger o eletrodo de porta, cujo óxido pode romper se os portadores gerados por ionização por impacto adquirirem energia suficiente para serem injetados no óxido (DJEFFAL et al., 2009). Adicionalmente, estes valores de V_{DS} podem ser considerados como mais adequados para nós tecnológicos a partir de 14nm, em aplicações digitais, uma vez que é necessária a redução da potência consumida para a continuidade da tecnologia CMOS (CHENG et al., 2010). A

Figura 39 destaca a região de sublimiar das curvas, indicando que os NWs apresentam inclinação de sublimiar próxima do limite teórico, tanto para os nanofios estreitos quanto para a estrutura quasi-planar. Com a redução de W_{FIN}, há uma redução de I_{DS}/W_{eff}, devido à degradação da mobilidade efetiva, pois a mobilidade dos elétrons é favorecida no plano da superfície de topo, (100), o qual possui menor contribuição à medida que os nanofios ficam mais estreitos.

Figura 39 – Corrente de dreno normalizada pela largura efetiva de porta em função de V_{GS} para nanofios transistores tipo n, variando W_{FIN}, com V_{DS} = 40mV (A) e 0,9V (B).



(A)



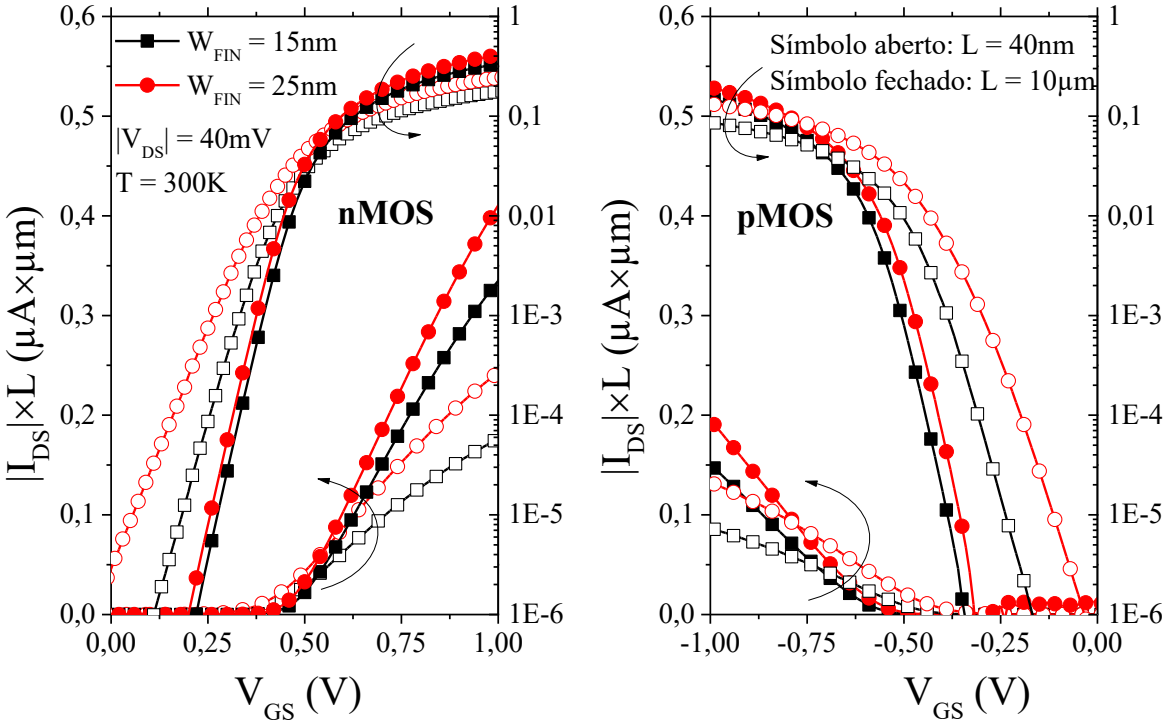
(B)

Fonte: Autor

A Figura 40 apresenta $|I_{DS}| \times L$ em função de V_{GS} para nanofios transistores tipo n e tipo p, com W_{FIN} = 15nm e 25nm, comprimento de canal longo (10µm) e curto (40nm), $|V_{DS}|$

= 40mV, em temperatura ambiente. Os NWs com L = 40nm e W_{FIN} = 15nm apresentam S um pouco degradado, próximo de 70mV/dec, para ambos n- e pMOSFET, enquanto os nanofios com W_{FIN} = 25nm possuem S igual a 95 e 83mV/dec, para n- e pMOSFET, respectivamente. Com o aumento de W_{FIN}, os efeitos de canal curto aumentam, devido à redução do controle eletrostático da região do canal. Adicionalmente, os transistores de canal curto apresentam menores $|I_{DS}| \times L$, em comparação com os transistores de canal longo, devido à degradação da mobilidade e ao aumento do efeito de resistência série.

Figura 40 – $|I_{DS}|\times L$ em função de V_{GS} para nanofios transistores tipo p e tipo n, $|V_{DS}|$ = 40mV e T = 300K.

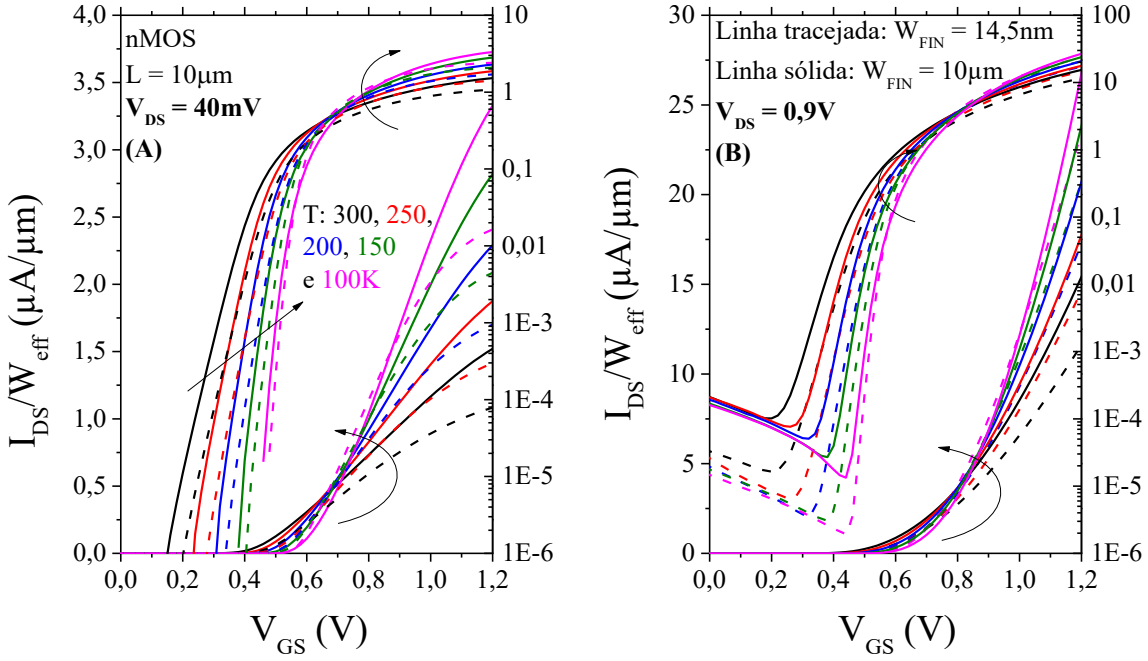


Fonte: Autor

A Figura 41 apresenta I_{DS}/W_{eff} em função de V_{GS} para NWs quasi-planar e estreito, tipo n, com W_{FIN} = 14,5nm, variando a temperatura de 300 a 100K, com V_{DS} de 40mV (A) e 0,9V (B). É possível observar o ponto invariante com a temperatura (ZTC – *Zero Temperature Coefficient*), indicando que existe uma tensão V_{GS} na qual a corrente de dreno se mantém constante independente da temperatura (SHOUCAIR, 1989), próxima de 0,7V para V_{DS} = 40mV, bem como o aumento da tensão de limiar e a redução da inclinação de sublimiar conforme a temperatura diminui. Assim como na Figura 39.B, é possível notar, na Figura 41.B, em escala logarítmica, que, com alto V_{DS}, a corrente de dreno apresenta um aumento na região do sublimiar, com baixos valores de V_{GS}, comparando com as curvas em baixo V_{DS}.

Esse efeito é denominado GIDL (*Gate-Induced drain leakage* – Corrente de fuga no dreno induzida pela porta) e ocorre quando as tensões de dreno e porta são suficientes para permitir o tunelamento de elétrons na região abaixo da porta, próxima do dreno (GALETI et al., 2012).

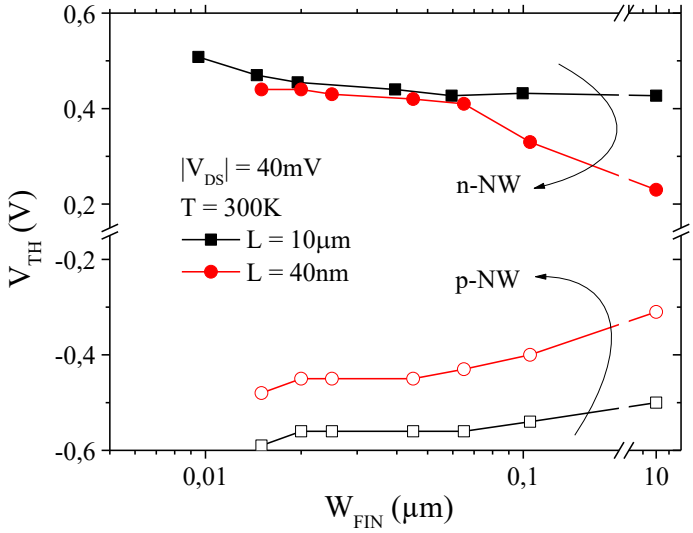
Figura 41 – I_{DS}/W_{eff} em função de V_{GS} para nanofios transistores tipo n de canal longo, T = 300 a 100K, V_{DS} = 40mV (A) e 0,9V (B).



Fonte: Autor

A Figura 42 apresenta V_{TH} em função de W_{FIN} para n- e p-NWs em temperatura ambiente e $|V_{DS}|$ de 40mV. Para os nanofios de canal curto (L = 40nm), V_{TH} sofre uma degradação de 47% e 35% para os n- e p-NWs, respectivamente, comparando W_{FIN} = 15nm com 10µm. Para os nanofios de canal longo (L = 10µm), essa degradação é de 9% e 15% para n- e p-NWs, respectivamente. Assim, é possível observar que o nanofio mais estreito apresenta maior $|V_{TH}|$ em comparação com o dispositivo quasi-planar e que, no caso de L = 40nm, essa diferença é bastante significativa.

Figura 42 – V_{TH} em função de W_{FIN} para nanofios transistores tipo n e tipo p de canal longo e curto, T = 300K e V_{DS} = 40mV.



Fonte: Autor

4.1.1 Parâmetros analógicos básicos

Nessa seção serão estudados alguns dos principais parâmetros analógicos que caracterizam o comportamento de um transistor MOS: transcondutância, condutância de saída, ganho intrínseco de tensão e tensão Early.

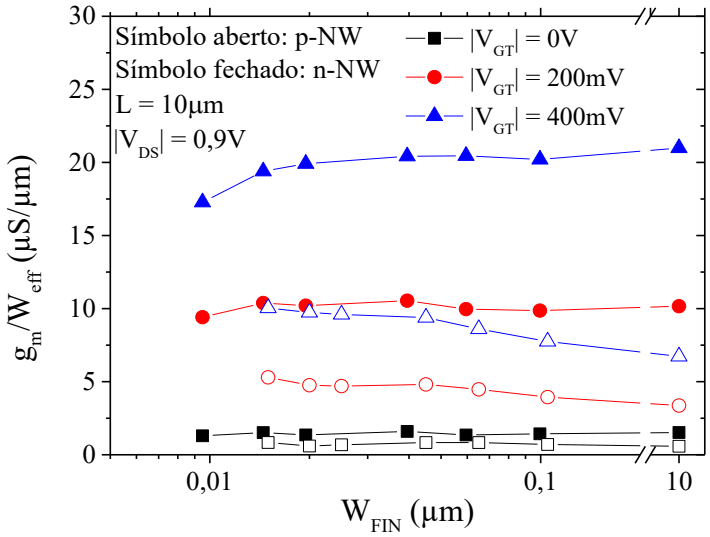
Inicialmente, a análise será feita considerando nanofios transistores tipo n e tipo p, com diversos valores de W_{FIN} e comprimento de canal longo (seção 4.1.1.1). Posteriormente, o estudo será estendido para nanofios transistores tipo n e tipo p, com diversos valores de W_{FIN} e canal curto (seção 4.1.1.2).

4.1.1.1 Nanofios transistores de canal longo

A Figura 43 apresenta a transcondutância normalizada pela largura efetiva de porta (g_m/W_{eff}) em função de W_{FIN}, para NWs tipo n e tipo p, com L = 10µm, em 300K. Os transistores estão polarizados em saturação com $|V_{DS}|$ = 0,9V e $|V_{GT}|$ = 0, 200 e 400mV. A partir da Figura 43, é observado que g_m/W_{eff} reduz, isto é, degrada, com a redução de W_{FIN} para os NWs tipo n e aumenta para os NWs tipo p. Adicionalmente, g_m/W_{eff} é maior para n-NWs, em comparação com p-NWs. O comportamento de g_m está diretamente associado à mobilidade dos portadores. Como detalhado na seção 2.4.2, o plano de condução relacionado à altura do *fin*, (110)/[110], favorece a mobilidade das lacunas e o plano de condução relacionado à largura do *fin*, (100)/[110], favorece a mobilidade dos elétrons (COLINGE,

2004a). Na Figura 43, para $|V_{GT}|$ = 400mV, comparando o n-NW mais estreito (W_{FIN} = 9,5nm) com o dispositivo quasi-planar (W_{FIN} = 10µm), g_m/W_{eff} degrada 19%. Para o caso dos p-NWs, há uma melhora de 52% em g_m/W_{eff} com $|V_{GT}|$ = 400mV reduzindo W_{FIN} de 10µm para 15nm.

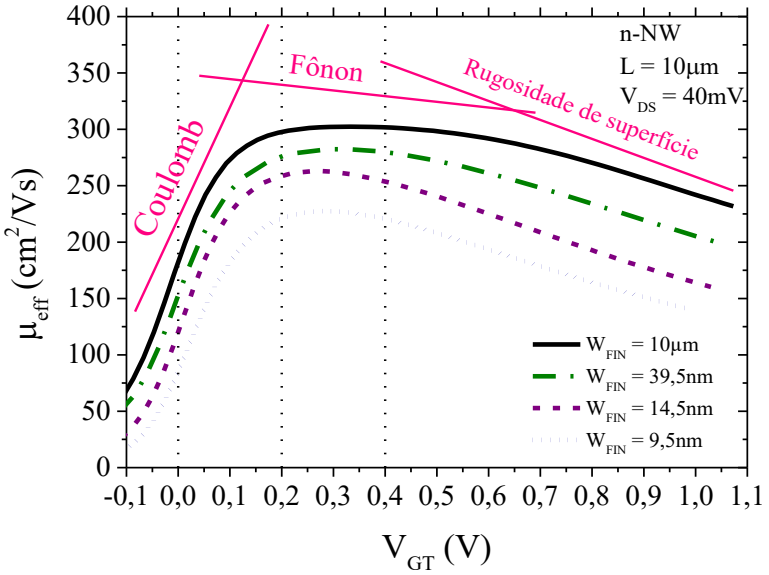
Figura 43 – g_m/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 10µm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV.



Fonte: Autor

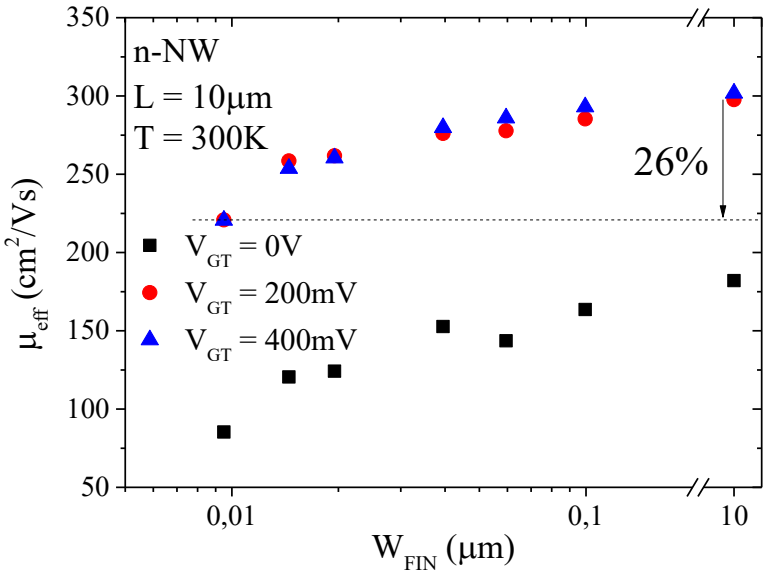
A Figura 44 mostra a mobilidade efetiva de n-NWs em função de V_{GT}, extraída a partir do método Split C-V (OHATA; CASSÉ; CRISTOLOVEANU, 2007; ROMANJEK et al., 2004). Observa-se que o mecanismo de degradação dominante para V_{GT} = 0V é o espalhamento Coulomb, enquanto, em inversão moderada, para V_{GT} = 200 e 400mV, o mecanismo predominando é o espalhamento por fônons. Analisando μ_{eff} em função de W_{FIN} em n-NWs, para V_{GT} = 0, 200 e 400mV, através da Figura 45, é observado que conforme a contribuição da superfície (110) é mais significativa, isto é, reduzindo W_{FIN}, μ_{eff} degrada em 26% para V_{GT} = 400mV, resultado próximo do obtido para a degradação de 19% de g_m/W_{eff}, na Figura 43.

Figura 44 – μ_{eff} em função de V_{GT} para n-NW with L = 10µm.



Fonte: Autor

Figura 45 – μ_{eff} em função de W_{FIN} para nanofios transistores tipo n, L = 10µm, V_{GT} = 0, 200 e 400mV e T = 300K.

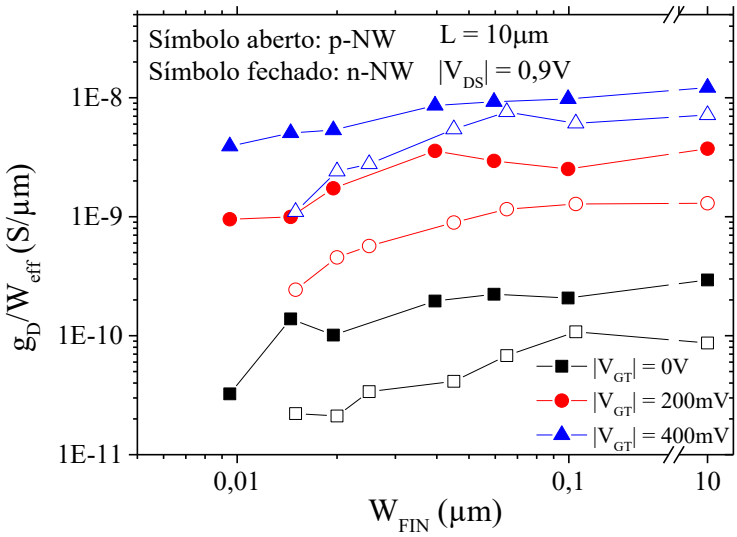


Fonte: Autor

A Figura 46 apresenta a condutância de saída normalizada pela largura efetiva de porta, g_D/W_{eff}, em função de W_{FIN}, para nanofios transistores tipo n e tipo p, com L = 10µm, em 300K, $|V_{DS}|$ = 0,9V e $|V_{GT}|$ = 0, 200 e 400mV. Como a condutância de saída é diretamente proporcional à mobilidade (equação (29)), os n-NWs apresentam maior g_D/W_{eff} do que os nanofios tipo p. No entanto, para ambos os tipos, n e p, g_D/W_{eff} reduz com a redução de W_{FIN}, melhorando em quase uma ordem de magnitude, comparando o dispositivo quasi-planar e o

NW mais estreito. Este resultado se deve ao melhor controle eletrostático do transistor e menor efeito de modulação do comprimento de canal, com a redução de W_{FIN} (VEERARAGHAVAN; FOSSUM, 1989). Assim, o efeito do aumento da mobilidade com a redução de W_{FIN} nos transistores tipo p não é observado na Figura 46, pois é suprimido pelo efeito da redução da modulação do comprimento de canal, o qual é predominante.

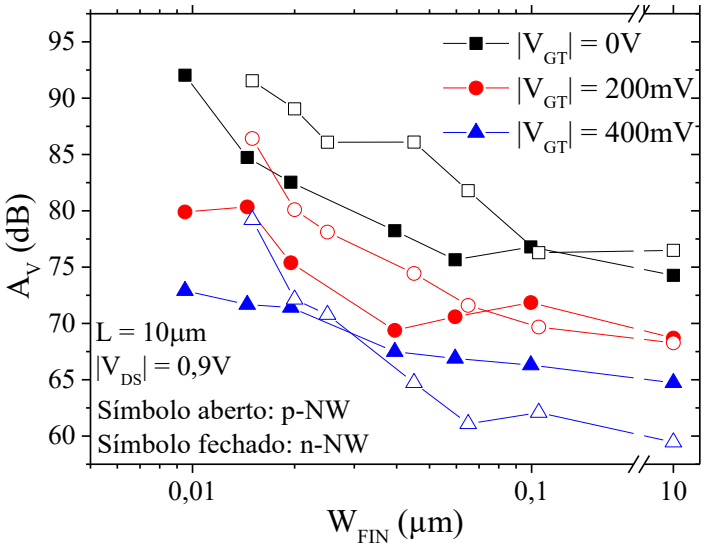
Figura 46 – g_D/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 10µm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV.



Fonte: Autor

A Figura 47 mostra os resultados do cálculo do ganho intrínseco de tensão em função de W_{FIN}. Para ambos os tipos de nanofios transistores, n e p, é observada a mesma tendência de A_V com W_{FIN}, correspondendo ao inverso do comportamento de g_D/W_{eff}. Como ambos os parâmetros g_m e g_D são proporcionais à mobilidade efetiva, o cálculo da razão g_m/g_D (equação (31)) atenua os efeitos da degradação de μ_{eff} verificados na transcondutância de transistores tipo n. Desse modo, embora os n-NWs apresentem redução de g_m/W_{eff} em nanofios mais estreitos, é observado um aumento do ganho intrínseco de tensão. Portanto, a redução da condutância de saída é responsável por um aumento significativo de A_V, conforme a largura do *fin* vai se estreitando, o que representa uma importante vantagem de nanofios transistores estreitos, do ponto de vista de seu desempenho analógico.

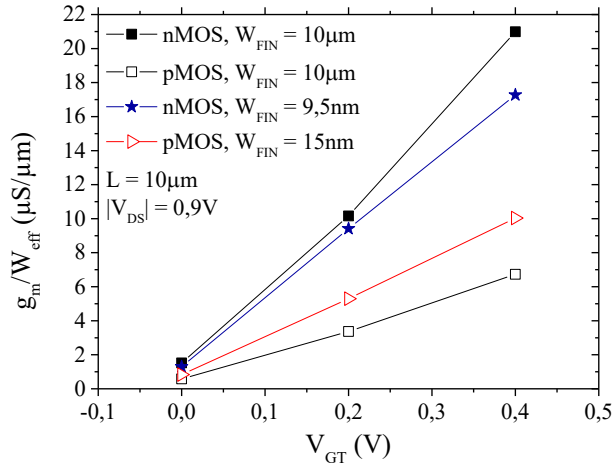
Figura 47 – A_V em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 10µm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200mV e 400mV.



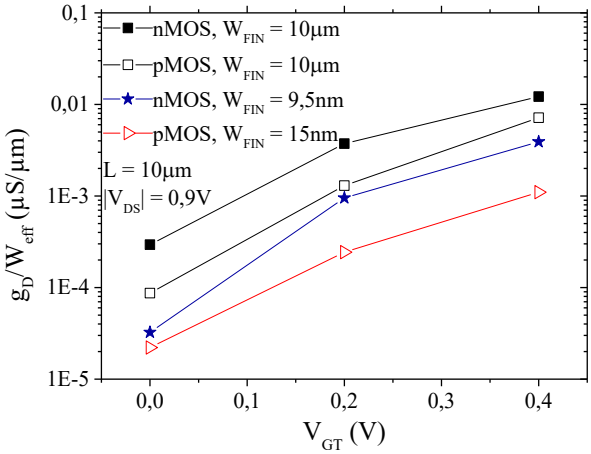
Fonte: Autor

A partir da Figura 47, também se observa que o ganho intrínseco de tensão é maior para menores valores de V_{GT}, devido ao fato de que g_m e g_D apresentam dependências diferentes com V_{GT}. Como indicado nas equações (25) e (29), g_m e g_D são diretamente proporcionais a V_{GT} e V_{GT}^2, respectivamente. A Figura 48 apresenta ambos g_m/W_{eff} e g_D/W_{eff} em função de V_{GT}, para nanofios transistores estreitos e quasi-planares, tipo n e tipo p. Ambos os parâmetros, g_m e g_D, aumentam com V_{GT}. No entanto, como esperado, é observado que a degradação de g_D é maior do que a melhora de g_m, o que causa a redução de A_V, variando V_{GT} de 0V a 400mV.

Figura 48 – g_m/W_{eff} (A) e g_D/W_{eff} (B) em função de V_{GT} para nanofios transistores quasi-planares e nanofios estreitos, tipo n e tipo p, L = 10µm e $|V_{DS}|$ = 0,9V.



(A)



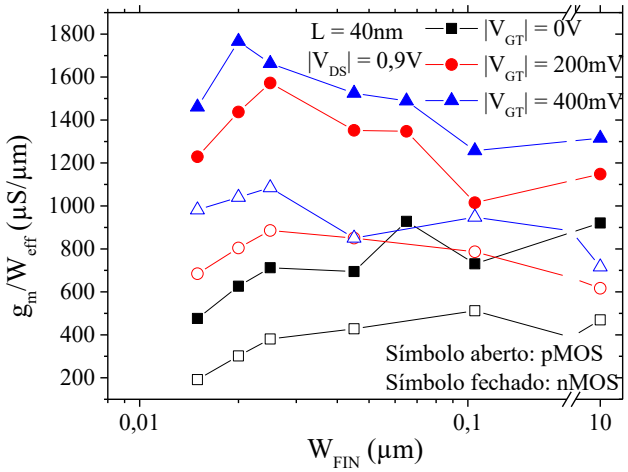
(B)

Fonte: Autor

4.1.1.2 Nanofios transistores de canal curto

A Figura 49 apresenta g_m/W_{eff} em função de W_{FIN}, para NWs tipo n e tipo p, com L = 40nm, em 300K, $|V_{DS}|$ = 0,9V e $|V_{GT}|$ = 0, 200 e 400mV. Para transistores de canal curto, a transcondutância não é determinada apenas pela mobilidade efetiva, uma vez que efeitos de canal curto e resistência série são de grande importância. Por exemplo, para n-NWs, embora μ_{eff} reduza para W_{FIN} mais estreitos, causando a degradação de g_m/W_{eff}, um efeito oposto é esperado predominar devido à redução dos efeitos de canal curto, como demonstrado em (KILCHYTSKA et al., 2015). Adicionalmente, a redução de W_{FIN} aumenta o efeito da resistência série, levando à degradação de g_m/W_{eff} observada para NWs com W_{FIN} menor do que 25nm.

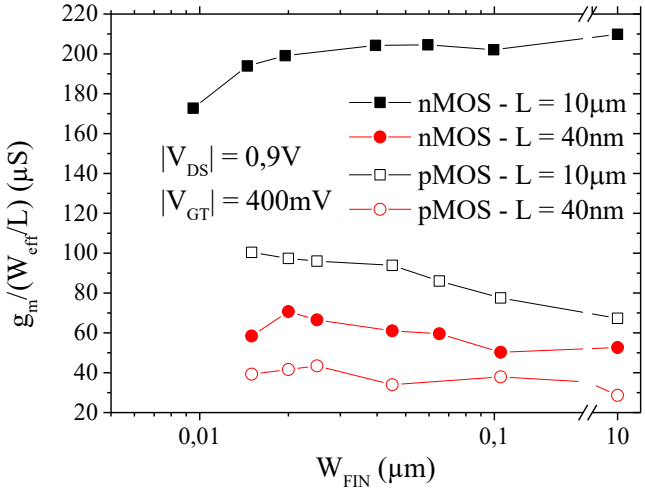
Figura 49 – g_m/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV.



Fonte: Autor

A fim de comparar os resultados de g_m para nanofios transistores de canal longo e curto, a Figura 50 apresenta g_m normalizado por W_{eff}/L, para NWs tipo n e tipo p, com L = 10µm e 40nm e $|V_{GT}|$ = 400mV. Observa-se que NWs com L = 10µm apresentam maior $g_m/(W_{eff}/L)$ em comparação com NWs de canal curto. A redução do comprimento do canal degrada a mobilidade efetiva devido ao aumento do espalhamento de impurezas que ocorre com a aproximação das regiões de fonte e dreno (GHIBAUDO et al., 2009). Adicionalmente, nenhum fenômeno relacionado ao transporte balístico foi verificado em qualquer um dos NWs estudados, incluindo os transistores empilhados que foram medidos com L de até 15nm (BAYKAN; THOMPSON; NISHIDA, 2012; PALESTRI et al., 2005; TIMP et al., 1999). Na Figura 50, de L = 10µm a 40nm, há uma redução de 75% e 57%, para n- e p-NWs quasi-planares, respectivamente. Essa porcentagem permanece semelhante para nanofios estreitos. Para W_{FIN} de 14,5nm, $g_m/(W_{eff}/L)$ reduz 70% e 60%, para NWs tipo n e tipo p, respectivamente.

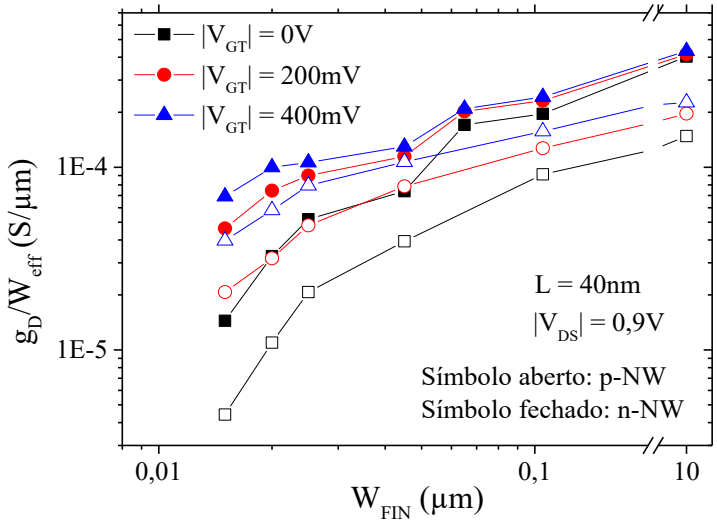
Figura 50 – $g_m/(W_{eff}/L)$ em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm e 10µm, $|V_{DS}|$ = 0,9V e $|V_{GT}|$ = 400mV.



Fonte: Autor

A Figura 51 apresenta g_D/W_{eff} em função de W_{FIN}, para NWs tipo n e tipo p, com L = 40nm, em 300K, $|V_{DS}|$ = 0,9V e V_{GT} = 0, 200 e 400mV. Como observado para os transistores de canal longo, na Figura 46, g_D/W_{eff} também melhora com a redução de W_{FIN}, para nanofios transistores de canal curto, tipo n e tipo p, devido à redução dos efeitos de canal curto. A redução do comprimento efetivo do canal em saturação é mais crítica para L menores, logo, o controle dos efeitos de canal curto se torna mais importante.

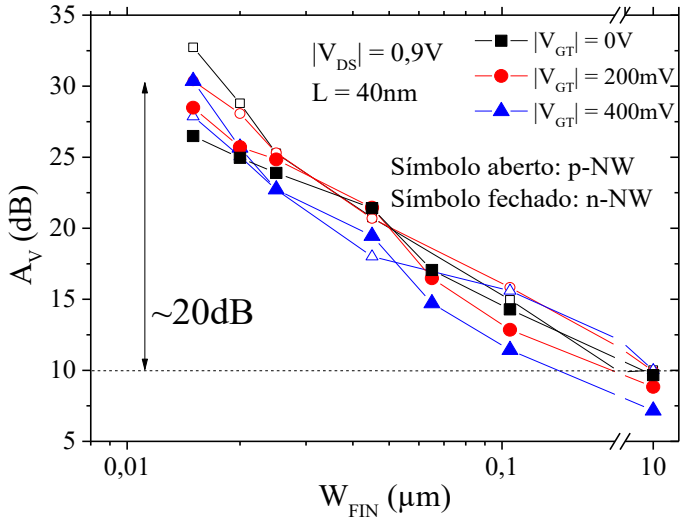
Figura 51 – g_D/W_{eff} em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV.



Fonte: Autor

Calculado a partir dos resultados de g_m e g_D, a Figura 52 apresenta os resultados de A_V em função de W_{FIN}, para L = 40nm. O inverso do comportamento de g_D determina a tendência dos resultados de A_V, levando este a um aumento de cerca de 20dB, comparando os NWs mais estreitos com os quasi-planares, para ambos os tipos n e p. Uma observação interessante é que os nanofios transistores tipo n e tipo p apresentam resultados muito similares para o ganho intrínseco de tensão, variando W_{FIN}, apesar de possuírem valores diferentes para g_m/W_{eff} e g_D/W_{eff}. Os valores de g_m/W_{eff} e g_D/W_{eff} são maiores para os n-NWs devido à sua maior mobilidade efetiva. Como μ_{eff} deve afetar de maneira similar g_m e g_D, essa influência deve desaparecer no cálculo da razão g_m/g_D, enfatizando que a modulação do comprimento do canal é o fator determinante para o resultado de A_V. Assim os resultados sugerem que tanto os n-NWs como os p-NWs sofrem o efeito da modulação do comprimento de canal com intensidade similar.

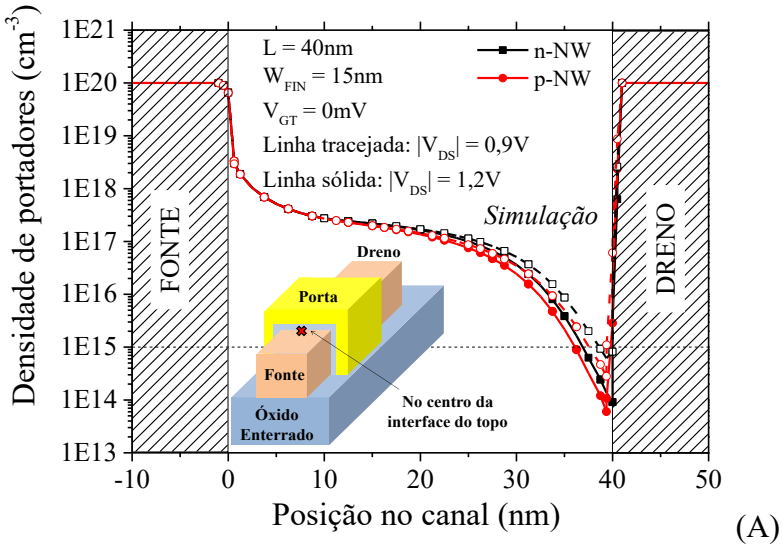
Figura 52 – A_V em função de W_{FIN} para nanofios transistores tipo n e tipo p, L = 40nm, $|V_{DS}|$ = 0,9V, $|V_{GT}|$ = 0, 200 e 400mV.



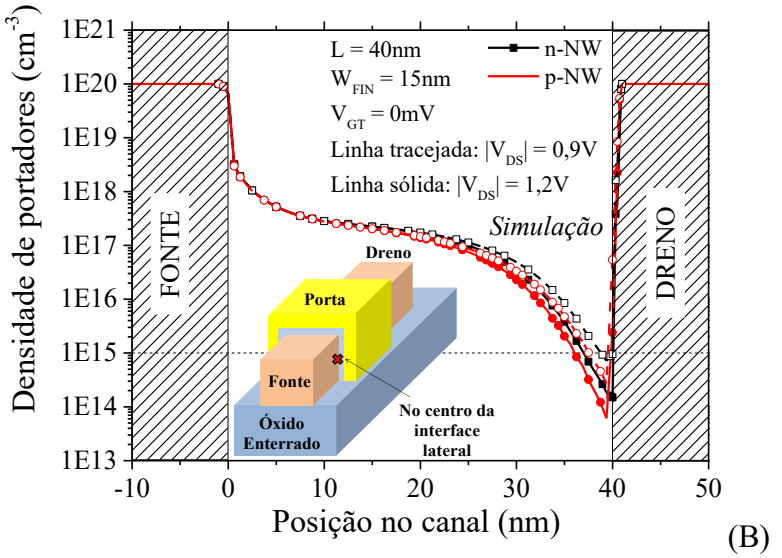
Fonte: Autor

Para verificar se os NWs tipo n e tipo p sofrem similar efeito de modulação do comprimento do canal, simulações numéricas tridimensionais foram realizadas, conforme especificado na seção 3. A Figura 53 apresenta os resultados simulados para a densidade de elétrons e lacunas ao longo do canal de NWs tipo n e tipo p, em 300K, com L = 40nm e W_{FIN} = 15nm. Como indicado nos esquemas da Figura 53, a densidade dos portadores foi extraída na interface SiO_2/Si, no centro da superfície do topo (A) e da lateral (B), onde a condução ocorre. As condições de polarização são $|V_{GT}|$ = 0V e $|V_{DS}|$ = 0,9 e 1,2V. A linha tracejada indica a concentração de dopantes do canal ($1\times10^{15}cm^{-3}$). Quando a densidade dos portadores é maior do que $1\times10^{15}cm^{-3}$, uma camada de inversão é observada, do contrário, a região está depletada, como é possível observar próximo do dreno. O efeito da modulação do comprimento do canal pode ser observado na Figura 53, através do aumento do comprimento da região de depleção com o aumento de $|V_{DS}|$. Para ambos os valores aplicados de tensão no dreno, a região de depleção é similar, comparando-se NWs tipo n e tipo p, de modo que o comprimento efetivo do canal do pMOS apenas 1nm mais curto em relação ao nMOS. Esses resultados sustentam o fato de que os nanofios transistores tipo n e tipo p sofrem de maneira similar os efeitos de modulação do comprimento de canal, o que explica o comportamento de g_D e, portanto, os resultados próximos de A_V.

Figura 53 – Resultados simulados da densidade dos portadores no topo (A) e na lateral (B) ao longo do canal, para nanofios transistores tipo n e tipo p, L = 40nm, W_{FIN} = 15nm, $|V_{GT}|$ = 0V, $|V_{DS}|$ = 0,9 e 1,2V.



(A)



(B)

Fonte: Autor

4.1.2 Distorção harmônica

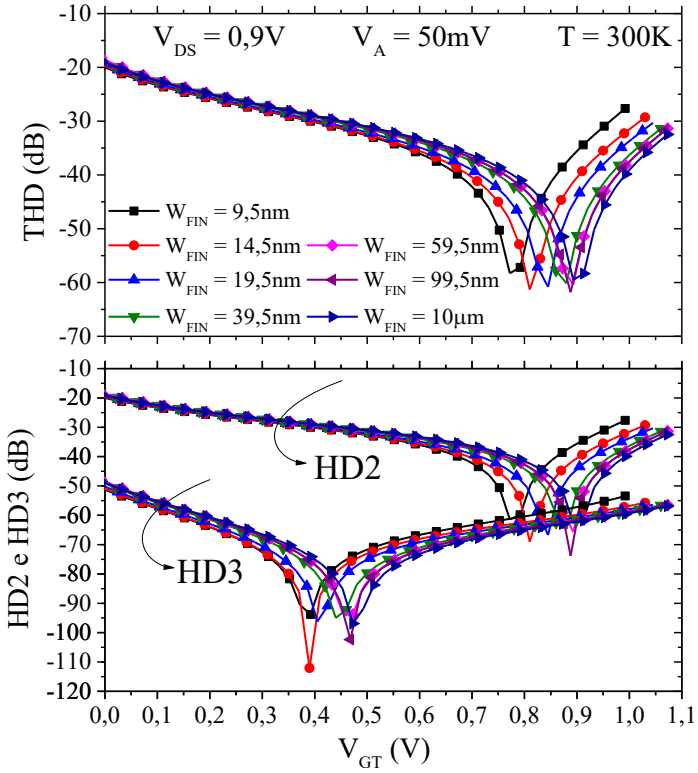
Nesta seção, será estudada a distorção harmônica de nanofios transistores tipo n operando como amplificador de transistor único, em regime de saturação, com V_{DS} = 0,9V. A análise será feita em função da temperatura, variando T de 300 a 100K. Conforme indicado na Figura 22, o sinal de entrada, aplicado à porta do NW, é composto por uma senoide de amplitude V_A, somada de uma componente contínua, responsável pela polarização do transistor, de amplitude V_O. Para desconsiderar diferenças de V_{TH} entre os NWs, neste trabalho, o valor de V_O utilizado é igual a V_{GT}.

Dois casos distintos de polarização do amplificador serão considerados. A seção 4.1.2.1 apresenta resultados com sinal de entrada fixo em V_A = 50mV, enquanto a seção 4.1.2.2 aborda os resultados obtidos com amplitude do sinal de saída fixo em V_{OUT} = 1,5V.

4.1.2.1 Análise considerando um sinal de entrada fixo

A Figura 54 apresenta THD, HD2 e HD3 em função de V_{GT}, para NWs com W_{FIN} variando de 10µm até 9,5nm, em temperatura ambiente. Os valores obtidos para HD2 são muito similares aos de THD, revelando que a maior contribuição para a distorção harmônica total é proveniente da componente de segunda ordem. Para valores baixos de V_{GT}, a distorção harmônica de terceira ordem é em torno de 30dB menor que HD2. Com o aumento de V_{GT}, HD3 se torna mais significativa e, quando HD2 atinge seus valores mínimos, HD3 é maior que HD2, isto é, HD3 se torna a fonte dominante de não-linearidade dos NWs estudados. Este fenômeno é diretamente observado nas curvas de THD, em que seus valores mínimos (picos negativos) são limitados por HD3, para todos os NWs.

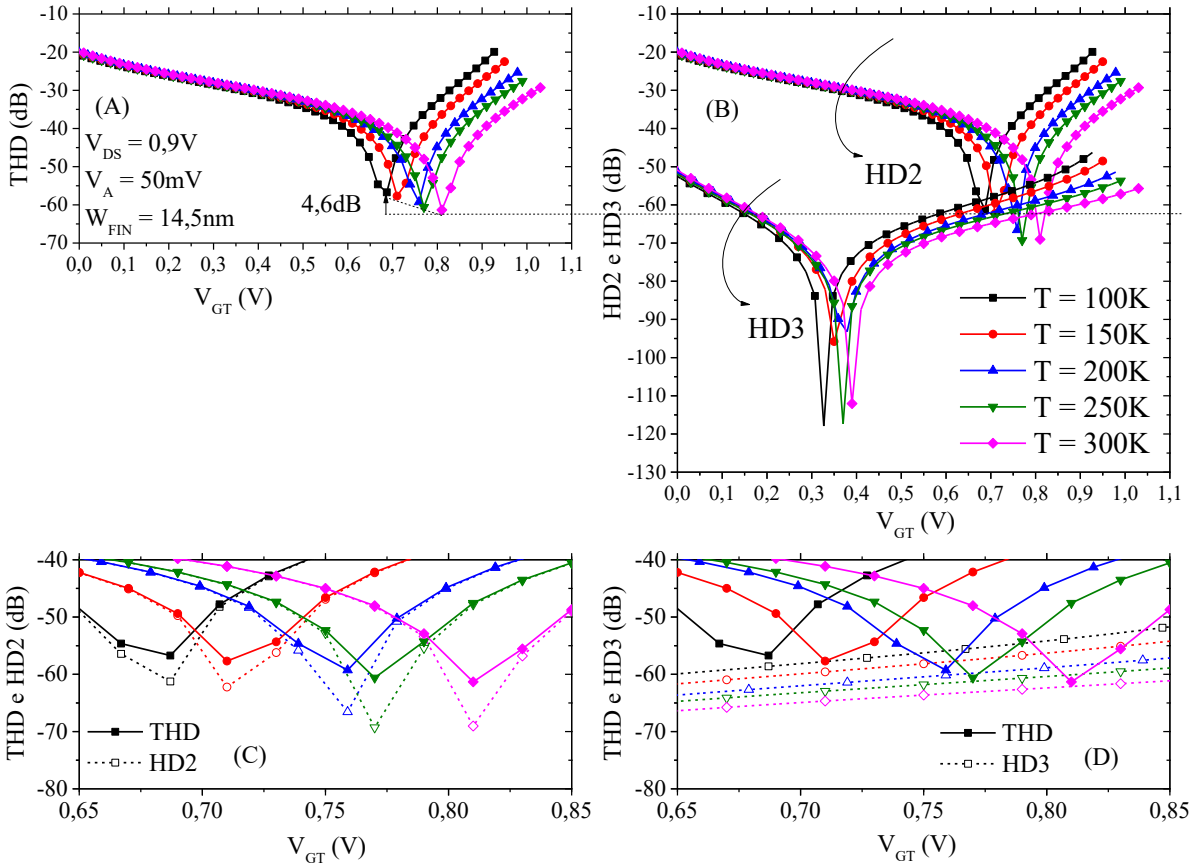
Figura 54 – THD, HD2 e HD3 em função de V_{GT}, para diversos nanofios variando W_{FIN} em 300K, V_A = 50mV e V_{DS} = 0,9V.



Fonte: Autor

A Figura 55 apresenta a influência da temperatura sobre os parâmetros de distorção harmônica, THD, HD2 e HD3, em função de V_{GT}, de 300 a 100K, para um nanofio transistor estreito, com W_{FIN} = 14,5nm. As figuras A e B mostram que a influência da temperatura na distorção harmônica é pequena, à esquerda dos valores mínimos. HD3 segue dominante nos picos negativos de THD até 100K. A Figura 55.C enfatiza que os valores mínimos de THD são maiores do que HD2 e a Figura 55.D mostra que estes correspondem a HD3. É possível observar que HD3 aumenta com a redução da temperatura, considerando o intervalo de V_{GT} da Figura 55.D, em que THD alcança seus picos negativos. Dessa forma, os valores mínimos de THD aumentam com a redução da temperatura, até 4,6dB, conforme destacado na Figura 55.A. A Figura 55.B mostra que, para o intervalo de V_{GT} fora da região em que THD atinge seus valores mínimos, é verificado que HD2 é dezenas de dB maior que HD3 e, portanto, representa a maior contribuição na distorção harmônica total.

Figura 55 – THD, HD2 e HD3 em função de V_{GT}, nanofio estreito com W_{FIN} = 14,5nm, variando T de 300 a 100K, V_A = 50mV e V_{DS} = 0,9V. As curvas da distorção harmônica estão apresentadas para todo o intervalo de V_{GT} em (A) e (B). Ampliação dos resultados de THD, HD2 e HD3, focando os picos negativos, está apresentada em (C) e (D).

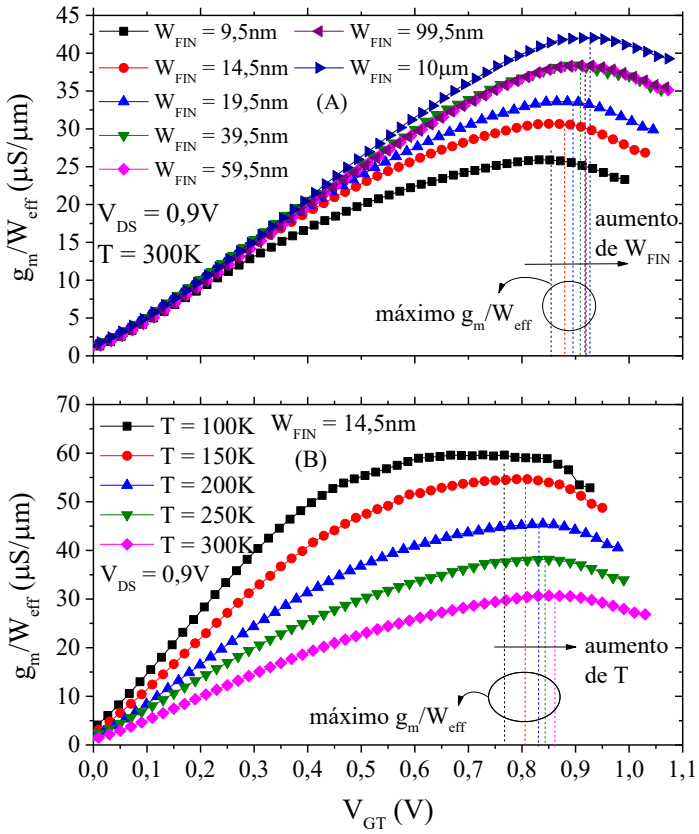


Fonte: Autor

Os picos negativos de THD representam a melhor condição de operação para o transistor, sob o ponto de vista de distorção harmônica. Embora indiquem a menor não-linearidade possível, polarizar os transistores nesta região de operação não é uma tarefa fácil, pois sua posição em V_{GT} varia com a temperatura, como verificado na Figura 55, e com o processo de fabricação. No entanto, a compreensão da posição dos picos de linearidade é de grande importância, porque estes estão relacionados à mudança da fonte principal de não-linearidade, conforme demonstrado na literatura (LANGEVELDE; KLAASSEN, 1997).

A partir das equações (32) e (33), é observado que a distorção harmônica está relacionada à transcondutância e sua derivada em relação à V_{GT}. A equação (32) revela que os mínimos de THD e HD2 estão relacionados ao valor máximo de g_m, quando $\partial g_m/\partial V_{GT} = 0$. Para validar essa relação, a Figura 56 apresenta g_m/W_{eff} em função de V_{GT}, considerando NWs com diversos W_{FIN} em 300K (A) e com W_{FIN} = 14,5nm em diferentes condições de temperatura (B). Os valores máximos de g_m/W_{eff} e sua posição em V_{GT} estão destacados.

Figura 56 – g_m/W_{eff} em função de V_{GT} variando W_{FIN} em 300K (A) e variando T para W_{FIN} = 14,5nm (B), V_{DS} = 0,9V.



Fonte: Autor

Comparando os resultados da Figura 56.A com a Figura 54 e da Figura 56.B com a Figura 55, é possível notar a correspondência dos valores de V_{GT} em que aparecem os mínimos de HD2 e os valores máximos de g_m/W_{eff}. Adicionalmente, é possível notar que g_m/W_{eff} máximo se desloca para valores maiores de V_{GT} com o aumento de W_{FIN} e T, da mesma forma que ocorre para os picos de HD2. A transcondutância está diretamente relacionada a μ_{eff}, de modo que seu comportamento, valor máximo e posição de V_{GT} em que este máximo aparece, é dado pela soma dos efeitos do mecanismo principal de degradação de mobilidade e da resistência série.

A fim de determinar a origem física da posição dos picos mínimos de linearidade, a resistência série e a mobilidade efetiva serão avaliadas a seguir.

A Tabela 4 apresenta R_S, extraída através do método proposto por Dixit *et al.* (DIXIT et al., 2005), para nanofios transistores estreito com W_{FIN} = 14,5nm e quasi-planar, variando T de 300 a 100K.

Tabela 4 – R_S variando T para W_{FIN} = 14,5nm e 10µm.

T (K)	R_S (kΩ)	T (K)	R_S (kΩ)
W_{FIN} = 14,5nm		W_{FIN} = 10µm	
300	18,6	300	2,1
250	14,3	250	1,7
200	11,9	200	1,4
150	9,90	150	1,1
100	8,79	100	1,0

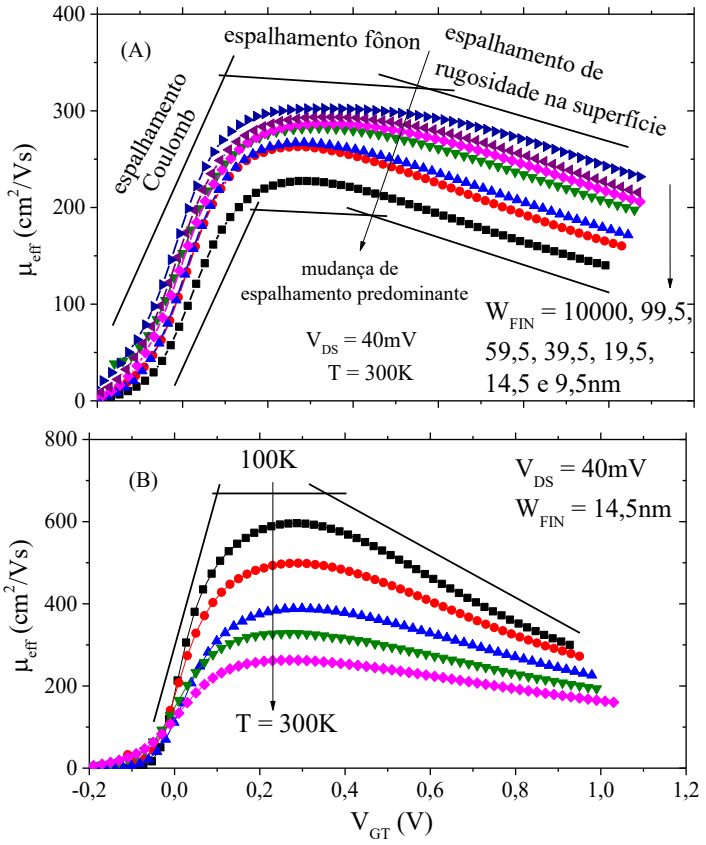
Fonte: Autor

A partir da Tabela 4, é observado que R_S aumenta com a redução de W_{FIN} e com o aumento de T. A redução da resistência série em baixa temperatura está associada com o aumento da mobilidade. Além disso, a redução de R_S até 100K indica que os nanofios sofrem de pouca ionização incompleta, do contrário, seria observado aumento de R_S devido ao congelamento dos portadores em 100K (GUTIÉRREZ-D.; DEEN; CLAEYS, 2001). A amplitude efetiva do sinal de entrada, aplicado ao transistor intrínseco, desconsiderando a queda de tensão nas regiões de fonte e dreno, reduz com o aumento de R_S, o que contribui para melhorar a distorção harmônica (GROENEWOLD; LUBBERS, 1994). Como os nanofios transistores apresentam comprimento de canal longo (10µm), é esperado que o efeito

da resistência série seja desprezível em comparação com o efeito da mobilidade efetiva, que deve ser predominante nas características de g_m.

A Figura 57 apresenta curvas da mobilidade efetiva em função de V_{GT}, variando W_{FIN} (A) e T (B), para V_{DS} = 40mV. Os resultados foram extraídos pelo método de Split C-V, que requer baixo valor de tensão de dreno para evitar variações significativas da densidade de elétrons ao longo do comprimento do canal. Embora os resultados de μ_{eff} tenham sido extraídos para V_{DS} = 40mV, os efeitos físicos observados na Figura 57 continuam válidos em regime de saturação. Alguns dos resultados em temperatura ambiente das curvas da Figura 57 já foram estudados anteriormente (Figura 44 na seção 4.1.1.1), com o diferencial de que, desta vez, são apresentados mais NWs com diferentes W_{FIN} e está destacado o intervalo de polarização V_{GT} em que o mecanismo de degradação da mobilidade dominante muda de espalhamento por fônons para rugosidade de superfície. O aumento da mobilidade para nanofios mais largos e com a redução da temperatura explica o comportamento de g_m/W_{eff} máximo com W_{FIN} e T, na Figura 56. Adicionalmente, a Figura 57 revela que o espalhamento Coulomb é similar entre os nanofios com diferentes W_{FIN}, explicando porque todos os NWs apresentam valores similares de g_m/W_{eff} para baixo V_{GT}, na Figura 56.A.

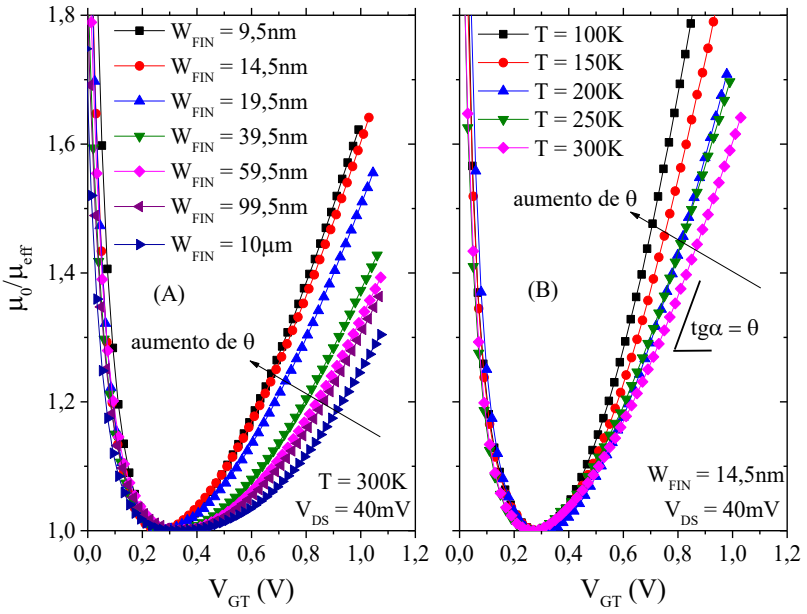
Figura 57 – μ_{eff} em função de V_{GT}, variando W_{FIN} (A) e T (B), com V_{DS} = 40mV.



Fonte: Autor

A Figura 58 apresenta curvas de μ_0/μ_{eff} em função de V_{GT}, variando W_{FIN} (A) e T (B), para V_{DS} = 40mV, em que μ_0 foi extraído através do valor máximo de μ_{eff} da Figura 57. A degradação da rugosidade da superfície pode ser melhor compreendida na Figura 58, através do coeficiente de degradação da mobilidade, dado pela inclinação das curvas de μ_0/μ_{eff} com alto V_{GT} (MCLARTY et al., 1995). Nota-se que o coeficiente de degradação da mobilidade, θ, aumenta com a redução de W_{FIN} e T, indicando uma contribuição mais significativa do mecanismo de espalhamento por rugosidade de superfície, explicando porque o ponto de máximo de g_m/W_{eff} (e portanto os picos de HD2 e THD) se desloca. O aumento da rugosidade de superfície aumenta a degradação da transcondutância e faz com que os máximos de g_m ocorram para valores menores de V_{GT}. Reduzindo W_{FIN}, é esperada maior degradação da mobilidade na superfície, devido à qualidade das interfaces laterais, em comparação com a interface do topo. Adicionalmente, conforme discutido na seção de conceitos fundamentais através da Figura 32, é sabido que o espalhamento por fônons reduz em baixa temperatura e os espalhamentos de rugosidade de superfície e Coulomb se tornam mais importantes (TAKAGI et al., 1994a, 1994b), como é possível notar na Figura 57. A rugosidade de superfície começa a dominar o comportamento da mobilidade para valores menores de V_{GT} com a redução da temperatura, conforme demonstrado pelo aumento do coeficiente de degradação da mobilidade, na Figura 58.

Figura 58 –μ_0/μ_{eff} em função de V_{GT}, variando W_{FIN} (A) e T (B), com V_{DS} = 40mV.

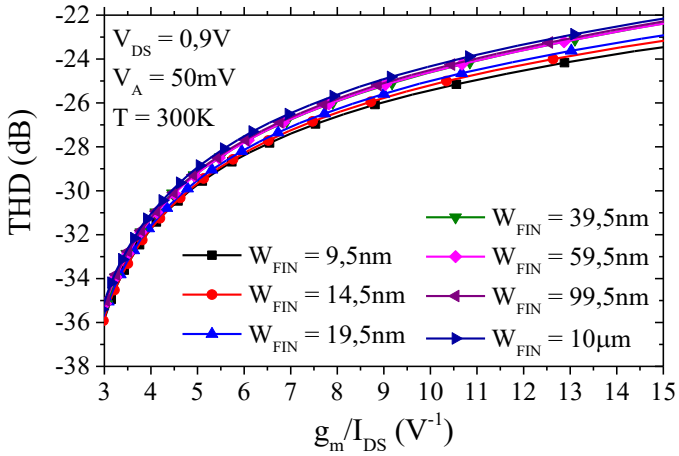


Fonte: Autor

Os picos negativos de HD3 na Figura 54 estão deslocados para a esquerda em comparação com os picos de THD e HD2. De acordo com a literatura, os mínimos de HD3 podem estar relacionados à mudança do mecanismo predominante de degradação da mobilidade ou à resistência série, em transistores de múltiplas portas, dependendo de qual efeito é mais relevante (DORIA et al., 2010, 2013). Em transistores tipo FinFET, a degradação da mobilidade é mais relevante. Desse modo, é esperado que NWs de canal longo também sejam mais afetados pelo mecanismo de degradação de rugosidade de superfície, ao invés da resistência série. Na Figura 57, é observado que o mecanismo de degradação predominante da mobilidade parece trocar de fônons para rugosidade na superfície para V_{GT} entre 0,35 e 0,5V, variando W_{FIN} de 9,5nm a 10µm. Comparando esses resultados com as posições dos mínimos de HD3, na Figura 54, é possível notar que os valores de V_{GT} em que o mecanismo de degradação dominante muda é muito similar aos valores de V_{GT} em que aparecem os picos negativos de HD3. Isso indica que, da mesma forma que ocorre para os FinFETs, conforme esperado, os mínimos de HD3 correspondem à mudança da degradação da mobilidade dominante, de fônons para rugosidade de superfície. Assim, o deslocamento dos picos de HD3 para a direita, com o aumento de W_{FIN} e T, estão relacionados ao aumento da contribuição do espalhamento devido à rugosidade de superfície.

A Figura 59 apresenta THD em função de g_m/I_{DS} para NWs com diferentes valores de W_{FIN}, em temperatura ambiente. Um intervalo de g_m/I_{DS} de 3 a $15V^{-1}$ foi considerado, porque consiste na região de maior interesse, uma vez que exclui a operação do NW em triodo ($g_m/I_{DS} < 3V^{-1}$) e em regime de inversão fraca ($g_m/I_{DS} > 15V^{-1}$). Observa-se que THD reduz, significativamente, para baixos valores de g_m/I_{DS}, pois a operação do transistor está prestes a trocar de saturação para triodo. THD reduz até 1,4dB com a redução de W_{FIN} e sua melhora é é maior com o aumento de g_m/I_{DS}. Comparando o NW mais estreito com o quasi-planar, THD é 0,88, 1,05 e 1,18dB menor para g_m/I_{DS} de 6, 9 e $12V^{-1}$, respectivamente. Embora a redução na distorção harmônica seja de cerca de 5%, esses números indicam que nanofios transistores mais estreitos possuem melhor linearidade e, portanto, são vantajosos em relação a estruturas planares.

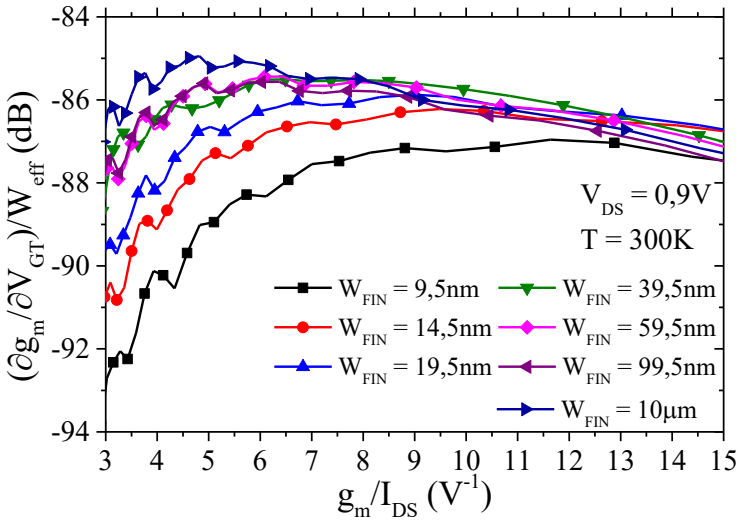
Figura 59 – THD em função de g_m/I_{DS} variando W_{FIN}, T = 300K, V_A = 50mV e V_{DS} = 0,9V.



Fonte: Autor

Uma vez que a equação (32) demonstra que HD2 e, portanto, THD, é proporcional a $\partial g_m/\partial V_{GT}$, a influência de W_{FIN} sobre THD pode ser explicada através da Figura 60, que mostra $\partial g_m/\partial V_{GT}$ em função de g_m/I_{DS} para diversos NWs em temperatura ambiente. É possível observar que $\partial g_m/\partial V_{GT}$ reduz conforme o nanofio transistor se torna mais estreito, da mesma forma que ocorre com THD na Figura 59. Esses resultados se devem à combinação dos efeitos da mobilidade e da resistência série e seus comportamentos com V_{GT}, em que transistores nanofios mais estreitos possuem maiores valores de R_S, menores valores de μ_0 e maior degradação de μ_{eff}.

Figura 60 – $(\partial g_m/\partial V_{GT})/W_{eff}$ em função de g_m/I_{DS}, para diversos nanofios variando W_{FIN}, V_{DS} = 0,9V e T = 300K.



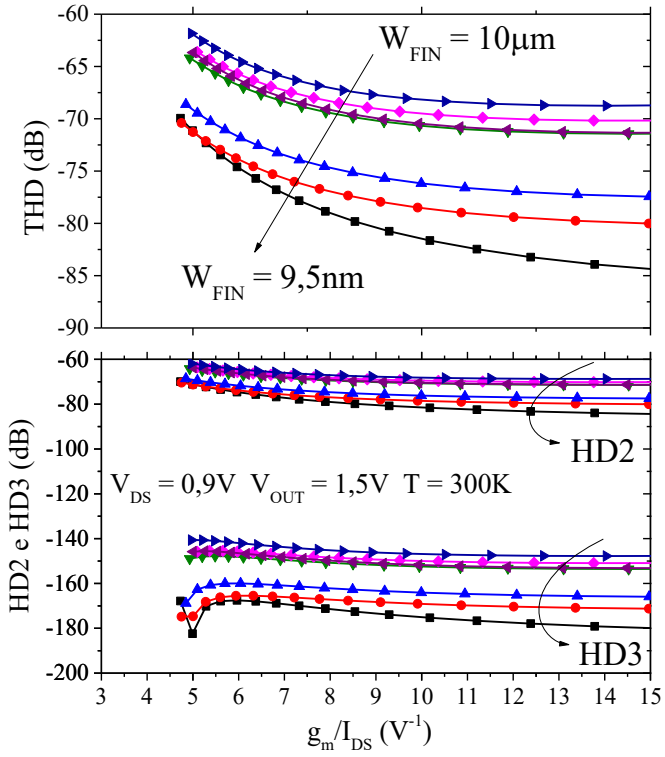
Fonte: Autor

4.1.2.2 Análise considerando um sinal de saída fixo

Conforme estudado na seção 4.1.1, os nanofios transistores apresentam diferentes valores de A_V com a variação de W_{FIN}. Desse modo, para obter um mesmo sinal de saída nos circuitos amplificadores de transistor único, variando W_{FIN}, é necessário aplicar diferentes amplitudes no sinal de entrada, o que impacta a linearidade resultante. Para considerar o efeito provocado pelos distintos valores de ganho intrínseco de tensão e, assim, poder comparar a distorção harmônica de nanofios transistores estreitos e quasi-planares, de maneira justa, o estudo da linearidade deve ser realizado com amplitude do sinal de saída fixo.

A Figura 61 mostra THD, HD2 e HD3 em função de g_m/I_{DS} para NWs com diferentes W_{FIN}, em V_{OUT} = 1,5V e T = 300K. Nanofios transistores estreitos apresentam uma forte redução da distorção harmônica, em comparação com a estrutura quasi-planar. HD3 é menor do que HD2 em quase 100dB, para NWs com W_{FIN} estreitos, menores do que 20nm. Diferentemente da Figura 59, em que no máximo 1,4dB de diferença em THD foi obtido, comparando os NWs mais estreito e quasi-planar, quando V_{OUT} é mantido fixo, variações em W_{FIN} promovem maior impacto nos resultados de linearidade, da ordem de dezenas de dB.

Figura 61 – THD, HD2 e HD3 em função de g_m/I_{DS}, para diversos nanofios, variando W_{FIN} em 300K, V_{OUT} = 1,5V e V_{DS} = 0,9V.



Fonte: Autor

A Tabela 5 sumariza os resultados da Figura 47, para o ganho intrínseco dos NWs da Figura 61, em V_{GT} = 400mV e V_{DS} = 0,9V.

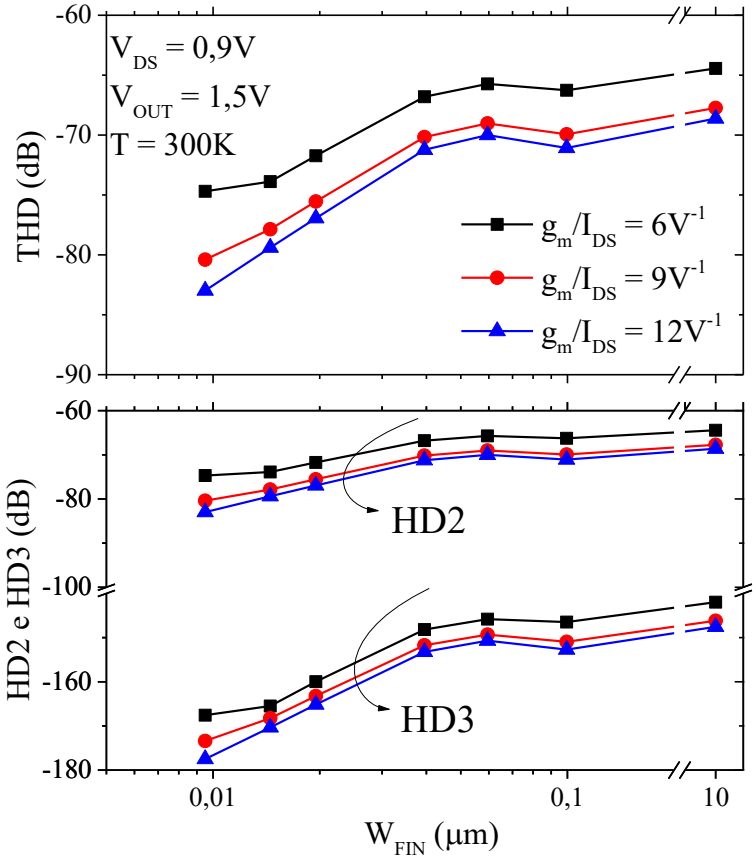
Tabela 5 – A_V variando W_{FIN} em 300K, V_{DS} = 0,9V e V_{GT} = 400mV.

W_{FIN} (nm)	A_V (dB)
10000	64,7
99,5	66,3
59,5	66,9
39,5	67,5
19,5	71,4
14,5	71,7
9,5	72,9

Fonte: Autor

Conforme discutido anteriormente, A_V aumenta com a redução de W_{FIN} devido à melhora na condutância de saída. Em V_{DS} = 0,9V e V_{GT} = 400mV, A_V é 8,2dB maior para NW com W_{FIN} = 9,5nm em comparação com o MOSFET quasi-planar. Dispositivos com maior ganho intrínseco de tensão necessitam de menores amplitudes de sinal de entrada para atingirem determinado V_{OUT}. De acordo com a literatura, menores amplitudes de entrada levam a uma redução na distorção harmônica em amplificadores de transistor único (GROENEWOLD; LUBBERS, 1994). A Figura 62 mostra THD, HD2 e HD3 em função de W_{FIN}, para g_m/I_{DS} = 6, 9 e 12V^{-1}. O mesmo comportamento é obtido para todos os g_m/I_{DS} e THD (e HD2) e HD3 melhoram em até 14,4 e 29,9dB, respectivamente. Para W_{FIN} de 10µm até 39,5nm, a Figura 62 exibe um comportamento aproximadamente constante, em que a distorção harmônica apresenta pequena redução. Por exemplo, THD reduz apenas 2,6dB para g_m/I_{DS} = 12V^{-1}. Para os três nanofios transistores mais estreitos, um aumento significativo da linearidade é observado, uma vez que essas estruturas possuem maior aumento do controle eletrostático.

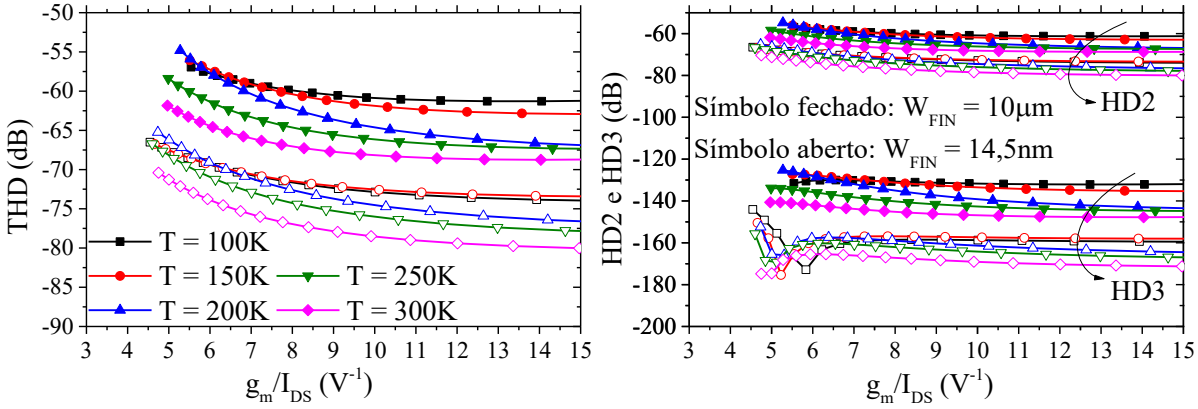
Figura 62 – THD, HD2 e HD3 em função de W_{FIN}, T = 300K, V_{OUT} = 1,5V, V_{DS} = 0,9V e g_m/I_{DS} = 6, 9 e 12V^{-1}.



Fonte: Autor

A Figura 63 mostra todos os parâmetros de distorção harmônica em função de g_m/I_{DS}, variando T de 300 a 100K, para W_{FIN} = 14,5nm e 10µm. Os resultados de THD para o NW estreito são melhores para todo o range de temperatura. Diminuindo a temperatura, ambos os nanofios transistores apresentam degradação da linearidade. As vantagens obtidas com a redução de W_{FIN} superam o aumento de THD com a redução de T, de modo que a linearidade do NW com W_{FIN} = 14,5nm em 100K é maior comparada à do NW quasi-planar em temperatura ambiente.

Figura 63 – THD, HD2 e HD3 em função de g_m/I_{DS}, para nanofios estreito e quasi-planar, T de 300 a 100K, V_{OUT} = 1,5V e V_{DS} = 0,9V.



Fonte: Autor

A Tabela 6 resume os resultados da Figura 81, para o ganho intrínseco de tensão de NWs sem tensionamento mecânico, de 300 a 100K, em V_{DS} = 0,9V e V_{GT} = 400mV. Aumentando a temperatura desde 100 a 300K, A_V varia até 3,6 e 2,1dB para os NWs estreito e quasi-planar, respectivamente. A variação de A_V com a temperatura é menor do que a variação com W_{FIN} (7dB de 10µm a 14,5nm), explicando a menor não-linearidade para o NW estreito mesmo com a redução da temperatura. Esses resultados mostrando pequenas degradações de THD em baixa temperatura, devido à redução de A_V abaixo de 300K, estão em acordo com trabalhos na literatura realizados em FinFETs (DORIA et al., 2011).

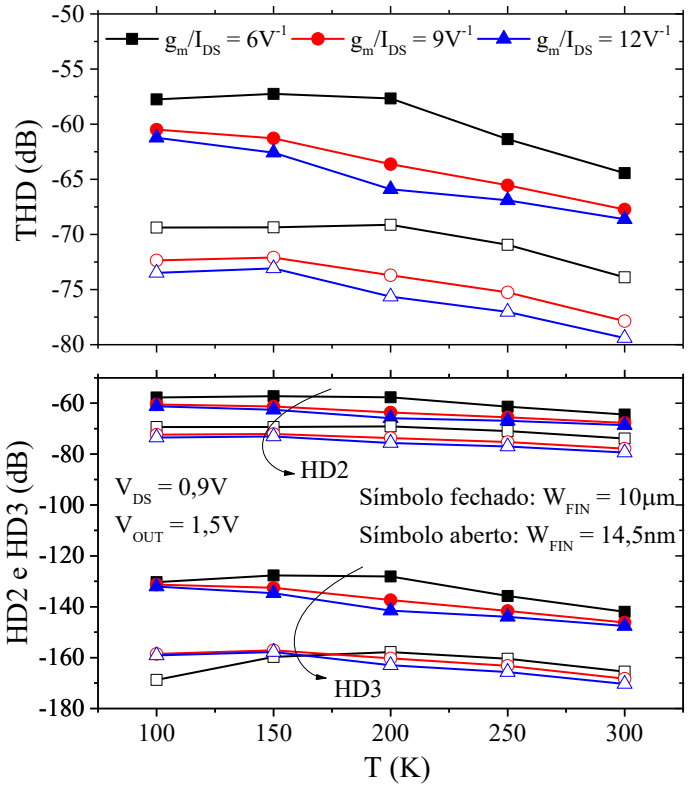
Tabela 6 – A_V em função de T para W_{FIN} = 14,5nm e 10µm, V_{DS} = 0,9V e V_{GT} = 400mV.

T (K)	A_V (dB)	T (K)	A_V (dB)
W_{FIN} = 14,5nm		W_{FIN} = 10µm	
300	71,7	300	64,7
250	70,5	250	62,7
200	69,7	200	62,6
150	69,3	150	63,0
100	68,1	100	62,6

Fonte: Autor

A Figura 64 apresenta THD, HD2 e HD3 em função da temperatura para W_{FIN} = 14,5nm e 10µm, g_m/I_{DS} = 6, 9 e 12V^{-1}. Ambos os nanofios possuem dependência similar da distorção harmônica com a temperatura. Degradações de THD de 300 até 100K atingem até 7,39 e 5,92dB para nanofios transistores quasi-planar e estreito, respectivamente.

Figura 64 – THD, HD2 e HD3 em função da temperatura, para nanofios estreito e quasi-planar, V_{OUT} = 1,5V, V_{DS} = 0,9V e g_m/I_{DS} = 6, 9 e 12V^{-1}.



Fonte: Autor

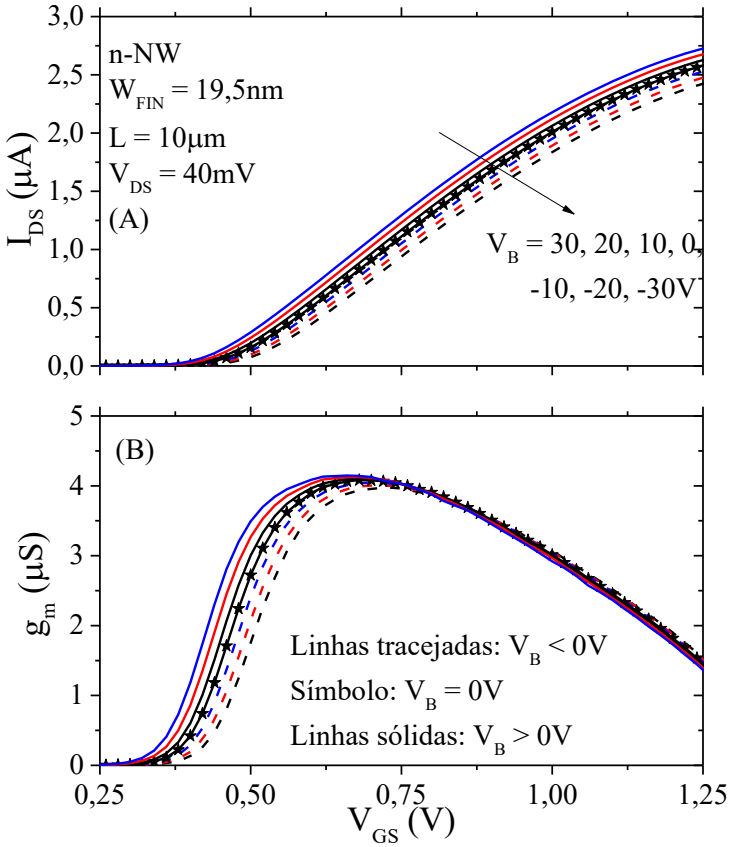
4.1.3 Influência da polarização de substrato na mobilidade efetiva

Nesta seção, serão estudados os fenômenos físicos que descrevem o comportamento da mobilidade dos portadores no canal de NWs sob diferentes condições de polarização de substrato, em temperatura ambiente. Este estudo tem por objetivo auxiliar o entendimento da metodologia proposta para a dissociação dos canais de condução de nanofios transistores empilhados na 4.3.5.

A Figura 65 apresenta I_{DS} (A) e g_m (B) em função de V_{GS} para um nanofio transistor tipo n medido com W_{FIN} = 19,5nm e L = 10µm, em V_{DS} = 40mV, V_B de -30V a 30V. É possível observar o deslocamento das curvas da corrente de dreno para a esquerda com o aumento de V_B, indicando a redução de V_{TH} esperada com o aumento da polarização de substrato (COLINGE, 2004a). Na Figura 65.B, é observada uma leve redução da transcondutância máxima com a redução de V_B. Adicionalmente, não é observada nenhuma condução na segunda interface, isto é, $V_B > 0$ não induz o aparecimento de um pico adicional

de transcondutância para baixos valores de V_{GS}. Isto é esperado em nanofios estreitos (W_{FIN} = 19,5nm), uma vez que a porta tipo Ω resulta em elevado controle eletrostático da porta frontal, que inibe a formação de um canal no reduzido espaço de interface Si/óxido enterrado (base do Ω). Ainda assim, as linhas de potencial provenientes do substrato penetram no interior da aleta do nanofio transistor e altera a característica I-V.

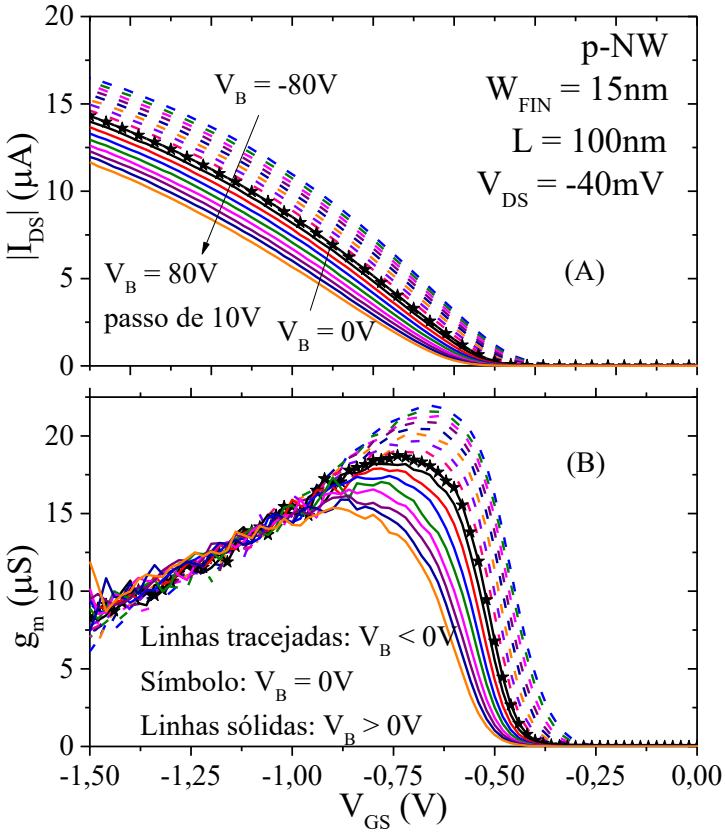
Figura 65 – I_{DS} (A) e g_m (B) em função de V_{GS} para nanofio transistor tipo n com W_{FIN} = 19,5nm, L = 10µm, V_{DS} = 40mV e V_B variando de -30 a 30V.



Fonte: Autor

A Figura 66 apresenta $|I_{DS}|$ (A) e g_m (B) em função de V_{GS} para um nanofio transistor tipo p medido com W_{FIN} = 15nm e L = 100nm, em V_{DS} = -40mV, V_B de -80V a 80V. Da mesma forma que observado para n-NW, há um deslocamento das curvas de I_{DS} para a esquerda com o aumento de V_B, indicando a redução de V_{TH} (COLINGE, 2004a). Na Figura 66.B, a redução da transcondutância máxima com aumento de V_B é mais perceptível devido ao maior intervalo de V_B considerado. Esse resultado sugere que, possivelmente, há uma degradação da mobilidade efetiva, a qual parece reduzir a uma taxa constante com a variação de V_B.

Figura 66 – $|I_{DS}|$ (A) e g_m (B) em função de V_{GS} para nanofio transistor tipo p com W_{FIN} = 15nm, L = 100nm, V_{DS} = -40mV e V_B variando de -80 a 80V.



Fonte: Autor

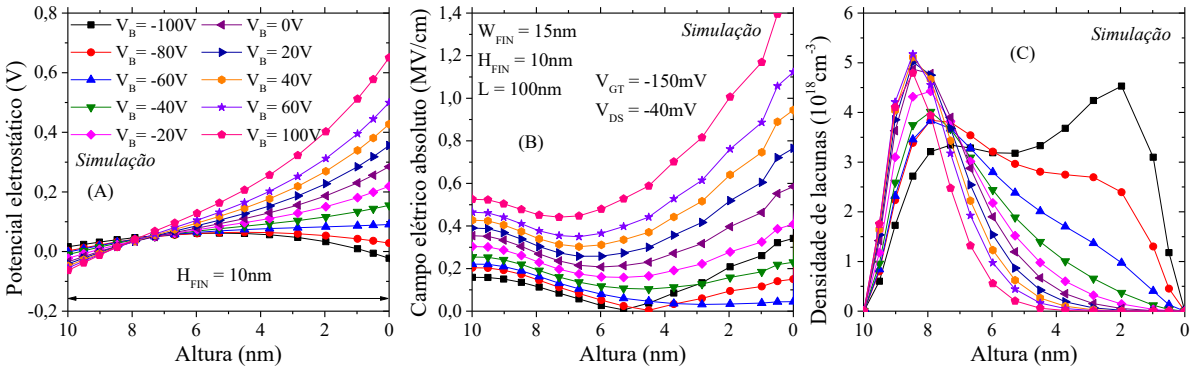
A fim de compreender os resultados obtidos na Figura 65 e na Figura 66, simulações numéricas tridimensionais foram realizadas conforme descrito na seção 3. O dispositivo foi construído utilizando o simulador de processos da Synopsys ("Sentaurus Process User Guide, Version A-2007.12", 2007), seguindo o exemplo descrito no Apêndice A. Para simulação de curvas $I_{DS}(V_{GS})$, foi utilizado o exemplo descrito no Apêndice B. Como foi verificado que o simulador superestima a corrente na segunda interface, foi utilizada uma película de cargas fixas na interface Si/óxido enterrado de $6\times10^{12}cm^{-2}$ para ajustar a tensão de limiar da segunda interface, considerando os resultados medidos na Figura 66.B. Adicionalmente, o NW simulado apresenta os mesmos materiais e características geométricas similares ao do nanofio medido da Figura 66.

A Figura 67 apresenta resultados de simulação extraídos do potencial eletrostático (A), campo elétrico (B) e densidade de lacunas (C) ao longo do corte vertical do nanofio tipo p, no centro da largura do *fin*, com V_{GT} = -150mV, V_{DS} = -40mV e V_B = -100V a 100V. Altura = 0nm indica a interface silício/óxido enterrado (segunda interface) e Altura = 10nm indica a interface óxido de porta/silício (primeira interface). Na Figura 67.A é possível observar

inversão na primeira interface para todos os valores de V_B e inversão na segunda interface para V_B = -80 e -100V, quando a polarização do substrato é negativa o suficiente para induzir condução na segunda interface. O ponto de inflexão que separa a inversão da depleção ocorre cerca de 7,5nm distante da interface silício/óxido enterrado, indicando que a camada de inversão ocorre em até 2,5nm da primeira interface. Estes efeitos são melhores percebidos na Figura 67.C, em que as conduções na primeira e segunda interfaces são observadas através dos picos de densidade de lacunas, os quais ocorrem cerca de 2nm da primeira interface. O segundo pico correspondente a condução na segunda interface também é observado na Figura 67.C, para V_B = -80 e -100V. A Figura 67.A também mostra que o potencial eletrostático reduz com o aumento de V_B próximo à primeira interface, enquanto o efeito oposto é observado na segunda interface. A variação do potencial é refletida na densidade de lacunas na Figura 67.C, em que o pico na primeira interface aumenta com o aumento de V_B e o efeito oposto é verificado na segunda interface.

A Figura 67.B apresenta o aumento do campo elétrico com o aumento de V_B, o que leva a maior degradação da mobilidade (COLINGE et al., 1990). Adicionalmente, é possível notar, na Figura 67.C, que o pico de condução se desloca ao longo da altura no canal, se movendo para o interior da camada de silício com a redução de V_B, onde a mobilidade efetiva deve ser maior devido ao menor campo elétrico, como demonstrado na Figura 67.B. Nas simulações não foram considerados diferentes parâmetros de espalhamento devido à rugosidade da superfície na primeira e segunda interfaces, porém, é sabido que, em dispositivos reais, a qualidade da segunda interface é maior em relação à primeira, o que leva a uma mobilidade ainda maior no centro do dispositivo, próximo à segunda interface (PHAM-NGUYEN et al., 2009). De fato, como discutido em (MARIN et al., 2015), V_B modula a distribuição das cargas de inversão, puxando ou empurrando os portadores ao longo da camada de silício. Portanto, a análise da Figura 67 permite afirmar que a mobilidade das lacunas deve reduzir com o aumento de V_B devido ao aumento da concentração de lacunas e sua posição ao longo do canal do NW.

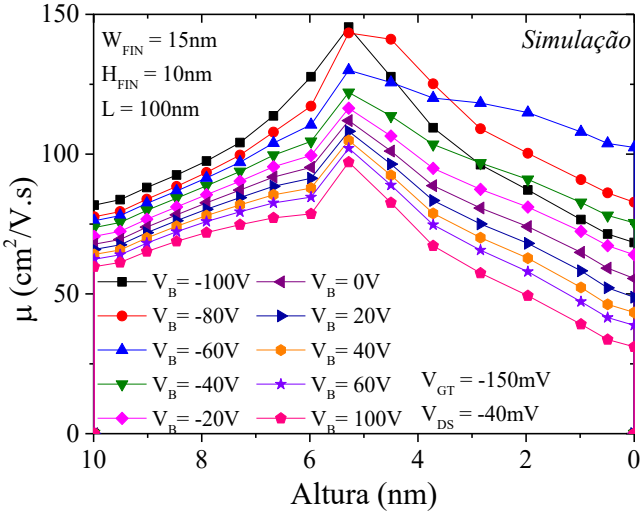
Figura 67 – Resultados simulados para o potencial eletrostático (A), campo elétrico absoluto (B) e densidade de lacunas (C) em função da posição vertical do nanofio transistor tipo p com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm, V_{DS} = -40mV, V_{GT} = -150mV e V_B variando de -100 a 100V.



Fonte: Autor

A Figura 68 apresenta μ_{eff} ao longo do corte vertical do p-NW com V_{GT} = -150mV, V_{DS} = -40mV e V_B = -100 a 100V. A mobilidade efetiva segue o inverso do comportamento do campo elétrico, aumentando com a redução de V_B e sendo maior no centro da camada de Si. Conforme comentado anteriormente, em dispositivos reais, espera-se que μ_{eff} seja ainda maior no centro e próximo à segunda interface, em comparação com a primeira, devido a menor quantidade de defeitos e melhor qualidade de interface (PHAM-NGUYEN et al., 2009). Além disso, é possível verificar que μ_{eff} reduz, próximo a segunda interface, com a redução de V_B de -60 para -100V, o que ocorre devido ao aumento da concentração de lacunas nessa região, em que a condução na segunda interface começa a aparecer, conforme verificado na Figura 67.C.

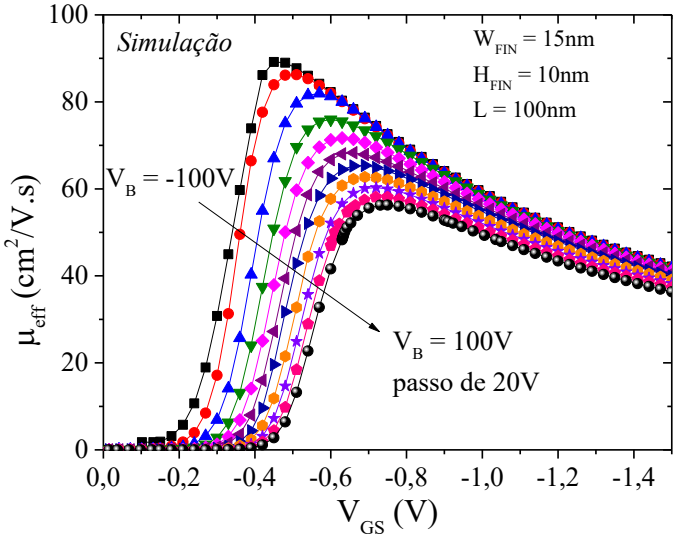
Figura 68 – Resultados simulados de μ_{eff} em função da posição vertical do nanofio transistor tipo p com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm, V_{DS} = -40mV, V_{GT} = -150mV e V_B variando de -100 a 100V.



Fonte: Autor

A Figura 69 apresenta resultados extraídos através de Split C-V para μ_{eff} em função de V_{GS} para os p-NWs simulados variando V_B de -100 a 100V. Conforme esperado a partir dos resultados de g_m da Figura 66.B, a mobilidade efetiva degrada significativamente com o aumento de V_B (até 37% considerando a máxima variação de μ_{eff}, variando V_B de -100V a 100V). As curvas se deslocam para a direita, indicando uma redução de V_{TH} com aumento de V_B, em que $\Delta V_{TH}/\Delta V_B$ foi extraído em torno de 1,1mV/V para as simulações das curvas de I_{DS} em função de V_{GS}. Resultados similares foram obtidos para as medidas da Figura 66.A, em que $\Delta V_{TH}/\Delta V_B$ = -1,0mV/V. A Figura 69 também mostra que as diferenças de μ_{eff} entre as curvas com diferentes valores de V_B reduz com o aumento de V_{GS}, indicando que o coeficiente de degradação da mobilidade de primeira ordem aumenta com a redução de V_B.

Figura 69 – Resultados simulados de μ_{eff} extraídos por split C-V em função de V_{GS} para nanofio transistor tipo p com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm, V_{DS} = -40mV, V_{GT} = -150mV e V_B variando de -100 a 100V.

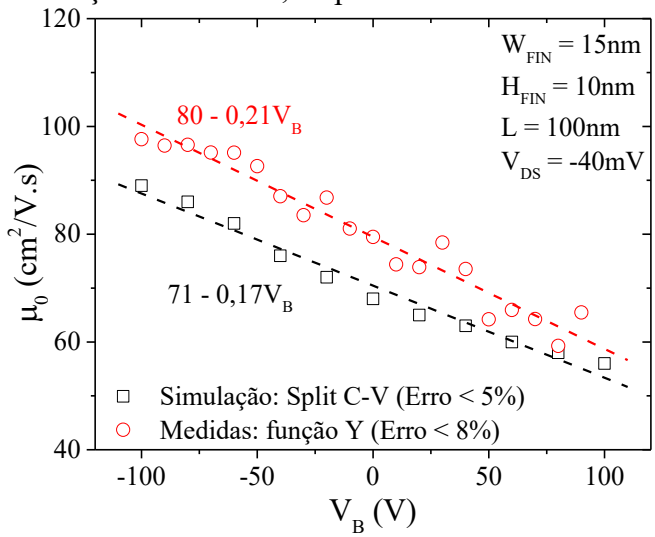


Fonte: Autor

Os símbolos da Figura 70 apresentam μ_0 em função de V_B para n-NWs simulado e medido. As linhas tracejadas indicam a regressão linear dos dados. Para as simulações, os resultados foram obtidos através dos valores máximos de μ_{eff} da Figura 69, obtidos através de Split C-V. Para as medidas, como o nanofio apresenta baixo valor de capacitância, o método de Split C-V não pode ser aplicado e os resultados de μ_0 foram obtidos através do método da função Y. Conforme discutido na seção 2.3.3.2, é esperado que os resultados de μ_0 extraídos pela função Y sejam um pouco maiores em relação aos obtidos pelo método de Split C-V. Independentemente da metodologia utilizada, ambos os resultados de simulação e medidas

experimentais podem ser representados por expressões lineares com erros aceitáveis (menores do que 5 e 8% para simulações e medidas, respectivamente). Adicionalmente, dependências similares de μ_0 em relação a V_B são observadas comparando simulação (inclinação da reta igual a -0,17cm^2/V^2.s) e medidas (inclinação da reta igual a -0,21cm^2/V^2.s). A maior dependência da mobilidade de baixo campo com V_B pode estar relacionada ao efeito não considerado nas simulações de melhor qualidade na segunda interface em comparação com a primeira, o que aumenta ainda mais a mobilidade efetiva quando o canal de inversão se desloca para o centro da camada de silício.

Figura 70 – μ_0 em função de V_B para nanofios transistores tipo p simulado e medido com W_{FIN} = 15nm, H_{FIN} = 10nm, L = 100nm e V_{DS} = -40mV. As linhas tracejadas indicam a regressão linear dos dados, em que os erros obtidos foram inferiores a 5% e 8% para simulações e medidas, respectivamente.



Fonte: Autor

4.2 NANOFIOS TRANSISTORES NÃO EMPILHADOS COM TENSIONAMENTO MECÂNICO

Nesta seção, serão estudados NWs MOSFETs não empilhados, com porta Ω, com tensionamento mecânico, tipo n e tipo p. Os resultados para os n-NWs e p-NWs serão apresentados nas seções 4.2.1 e 4.2.2, respectivamente. Os nanofios tensionados foram fabricados de acordo com o mesmo processo de fabricação que os nanofios não tensionados, detalhados na seção 4.1 e, portanto, possuem as mesmas vistas frontais da imagem TEM e representação esquemática da Figura 38.

4.2.1 Nanofios não empilhados com tensionamento tipo n

Os n-NWs com canal tensionado são fabricados em lâminas sSOI, a qual apresenta tensão mecânica biaxial de, aproximadamente, 1,4GPa. Devido ao relaxamento lateral após os processos de corrosão, é esperado um tensionamento mecânico resultante do tipo uniaxial, ao longo do canal, na direção [110] (COQUAND et al., 2012b). NWs fabricados em lâminas sSOI possuem as características indicadas na Tabela 7.

Tabela 7 – Descrição de parâmetros de nanofios transistores sSOI tipo n.

Parâmetro	Descrição
EOT	1,4nm
t_{BOX}	145nm
L	10µm
H_{FIN}	13nm
W_{FIN}	12, 17, 22, 42, 62, 102nm (50 *fins*) 10µm (1 *fin*)
Dopagem no canal	$10^{15}cm^{-3}$
Materiais do eletrodo de porta	SiO_2, HfSiON, TiN, Si policristalino
Material do canal	Si
Material de fonte/dreno	Si
Tipo de substrato	sSOI
Orientação cristalográfica	[110]
Tipo de transistor	nMOS

Fonte: Autor

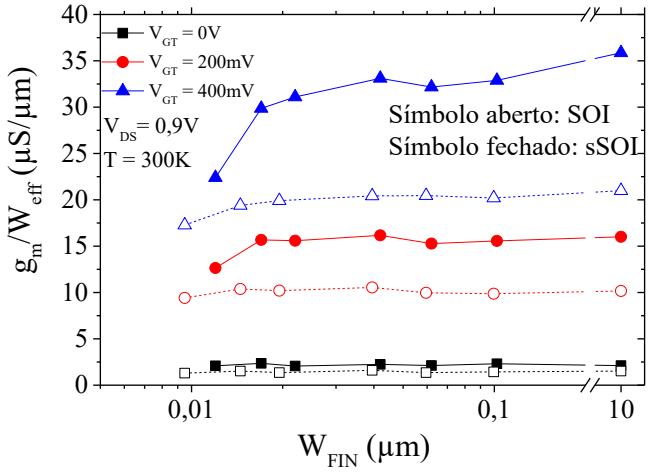
A fim de comparar o comportamento de nanofios transistores tipo n, com e sem tensionamento mecânico, resultados obtidos para NWs implementados em lâmina sSOI (descritos na Tabela 7), serão apresentados juntamente com os resultados dos n-NWs SOI, sem tensionamento mecânico, descritos na Tabela 2.

4.2.1.1 Parâmetros analógicos de nanofios transistores tipo n sSOI

A Figura 71 apresenta g_m/W_{eff} em função de W_{FIN} para nanofios transistores tipo n implementados em substratos SOI e sSOI, com V_{GT} = 0, 200 e 400mV, em temperatura

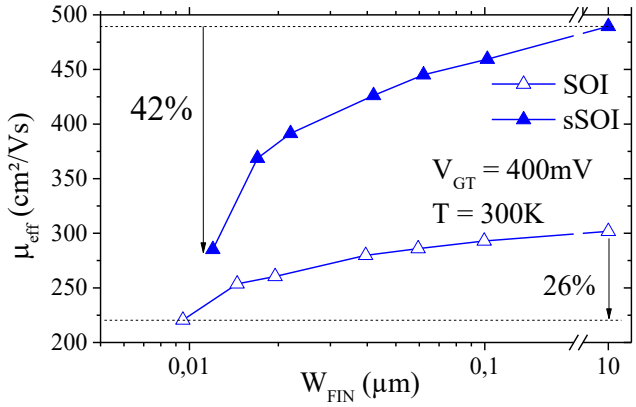
ambiente. A largura do *fin* dos NWs varia desde 10µm (quasi-planar) até 9,5 e 12nm para SOI e sSOI, respectivamente. É observado que g_m/W_{eff} reduz com W_{FIN} e é maior para nanofios sSOI, em comparação com NWs SOI, conforme esperado devido ao comportamento da mobilidade nos planos (100) e (110)/[110] e à melhora proporcionada à mobilidade dos elétrons pelo uso de tensionamento mecânico tensivo. A transcondutância de transistores com canal tensionado degrada mais em relação aos NWs SOI. Comparando o quasi-planar com NW mais estreito, g_m/W_{eff} degrada 38 e 19% para o sSOI e SOI, respectivamente, em V_{GT} = 400mV. Estes resultados estão de acordo com a Figura 72, que mostra os resultados da mobilidade efetiva, extraída por Split C-V, em função de W_{FIN}, em V_{GT} = 400mV. É observado que as degradações para o sSOI e SOI são de 42 e 26%, respectivamente.

Figura 71 – g_m/W_{eff} em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 0, 200 e 400mV, V_{DS} = 0,9V e T = 300K.



Fonte: Autor

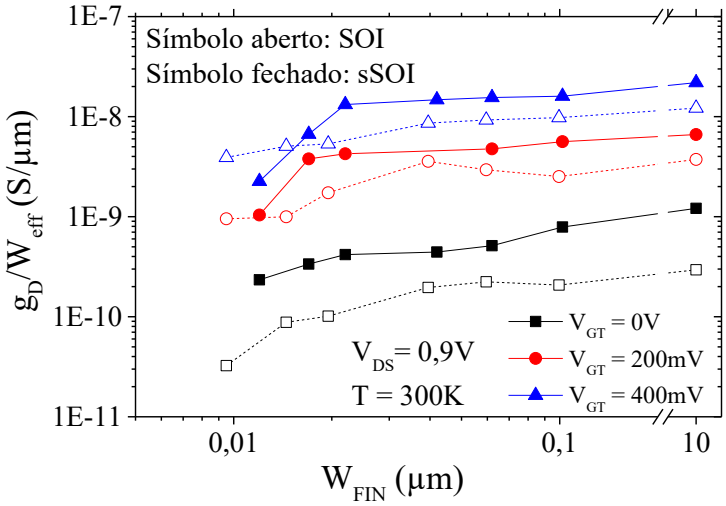
Figura 72 – μ_{eff} em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 400mV e 300K.



Fonte: Autor

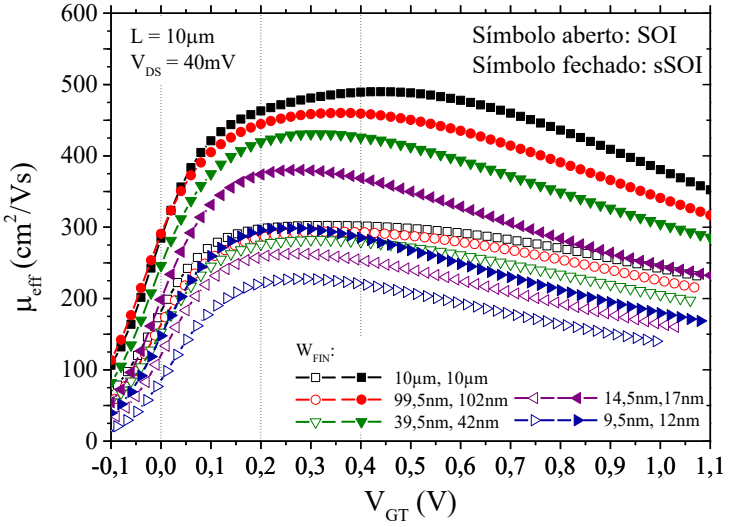
A Figura 73 mostra a melhora de g_D/W_{eff} com a redução de W_{FIN}. Conforme discutido anteriormente para NWs sem tensionamento mecânico, o efeito de modulação do comprimento de canal, que determina o valor da condutância de saída, consiste em um dos efeitos de canal curto mais determinantes, quanto ao comportamento analógico do dispositivo (COLINGE, 2004a). A melhora do acoplamento eletrostático e do controle das cargas na região do canal, proporcionada por nanofios transistores estreitos, leva à redução dos efeitos de canal curto e a um menor efeito de modulação do comprimento do canal. A menor dependência da corrente de dreno em relação ao campo elétrico horizontal é responsável pela melhora de g_D com a redução de W_{FIN}. Como g_D também está relacionado à mobilidade, é observado, na Figura 73, que a sua redução com W_{FIN} é mais acentuada em NWs sSOI do que em SOI. Além disso, como nanofios tensionados apresentam maior mobilidade, sua condutância de saída é maior. A Figura 74 apresenta a mobilidade de todos os nanofios transistores estudados, com e sem tensionamento mecânico, em função de V_{GT}. É possível observar, com maior detalhes, como a mobilidade degrada mais intensamente para NWs sSOI, com a redução da largura do *fin*.

Figura 73 – g_D/W_{eff} em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 0, 200 e 400mV, V_{DS} = 0,9V e T = 300K.



Fonte: Autor

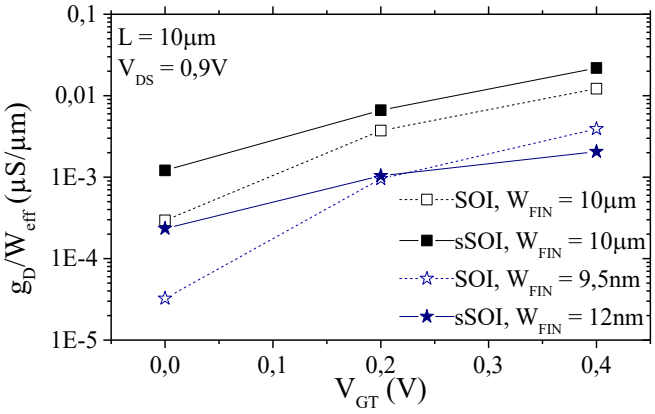
Figura 74 – μ_{eff} em função de V_{GT} para nanofios sSOI e SOI, V_{DS} = 40mV e T = 300K.



Fonte: Autor

É possível observar, na Figura 73, que g_D/W_{eff} para NWs sSOI com W_{FIN} = 12nm em V_{GT} = 400mV é menor em comparação com nanofios sem tensionamento mecânico. Isso ocorre não somente porque a mobilidade dos transistores sSOI degrada mais com a redução de W_{FIN}, mas também porque g_D dos dispositivos apresentam dependência distinta com V_{GT}. A Figura 75 apresenta g_D/W_{eff} em função de V_{GT} para os nanofios mais estreitos e mais largos, com V_{DS} = 0,9V. É possível notar que nanofios SOI possuem maior dependência com V_{GT}, variando mais intensamente. Devido a sua menor dependência com V_{GT}, o nanofio transistor com canal tensionado de W_{FIN} = 12nm apresenta melhor g_D do que o NW SOI com W_{FIN} = 9,5nm, aumentando V_{GT} acima de 200mV, mesmo possuindo maior mobilidade, como observado na Figura 74.

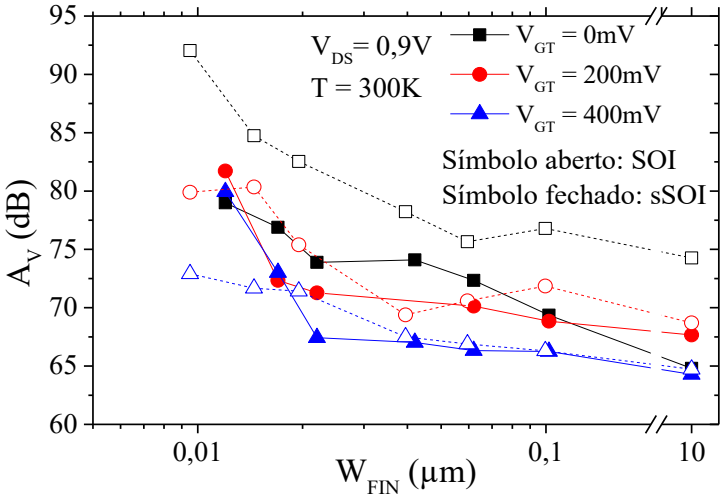
Figura 75 – g_D/W_{eff} em função de V_{GT} para nanofios transistores sSOI e SOI, V_{DS} = 0,9V e T = 300K.



Fonte: Autor

A Figura 76 apresenta A_V em função de W_{FIN}, com V_{GT} = 0, 200 e 400mV. O comportamento de A_V é determinado pelo inverso de g_D, que reduz de modo mais significativo do que g_m, com a redução de W_{FIN}. A_V aumenta com a redução de W_{FIN}, devido à menor modulação do comprimento do canal, e sua dependência varia com V_{GT}. Para altos valores de V_{GT}, nanofios transistores estreitos (W_{FIN} = 12 e 17nm) com tensionamento mecânico apresentam maior ganho em comparação com SOI MOSFETs. Reduzindo V_{GT} e aumentando W_{FIN}, NWs sSOI apresentam pequenas desvantagens em comparação com nanofios sem tensionamento mecânico, considerando A_V.

Figura 76 – A_V em função de W_{FIN} para nanofios transistores sSOI e SOI, V_{GT} = 0, 200 e 400mV, V_{DS} = 0,9V e T = 300K.



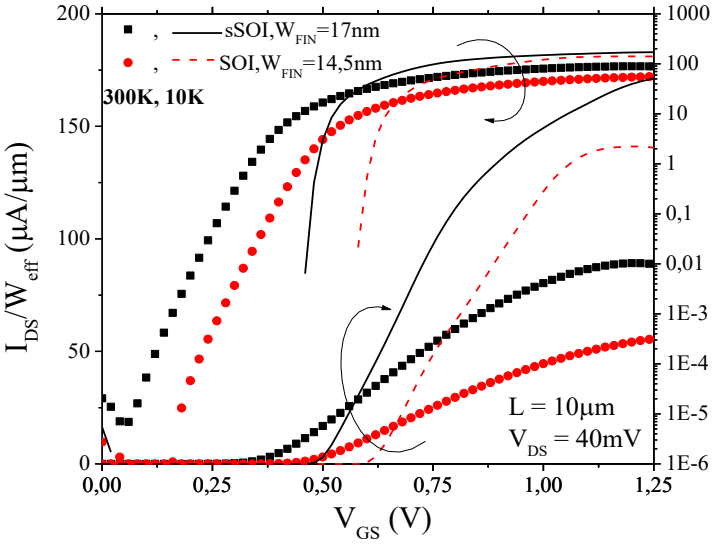
Fonte: Autor

4.2.1.2 Operação criogênica de nanofios transistores tipo n sSOI

A Figura 77 compara I_{DS}/W_{eff} em função de V_{GS} de nanofios transistores tipo n de canal longo, com e sem tensionamento mecânico, sSOI e SOI, em temperatura ambiente e 10K, com V_{DS} = 40mV. O NW SOI possui W_{FIN} = 14,5nm, enquanto o NW sSOI possui 17nm de largura de *fin*. Conforme esperado, devido ao aumento da mobilidade, os nanofios com tensionamento mecânico possuem maior corrente elétrica, sendo 62,8 e 7,9% maior do que NW SOI, em T = 300 e 10K, respectivamente, em V_{GT} = 0,5V. Em temperaturas muito baixas, a mobilidade dos portadores é limitada pelo mecanismo de degradação de rugosidade de superfície, o que faz com que a diferença entre os níveis de corrente seja de apenas 7,9% (TAKAGI et al., 1994a, 1996). Em 10K, é possível observar algumas ondulações na curva da

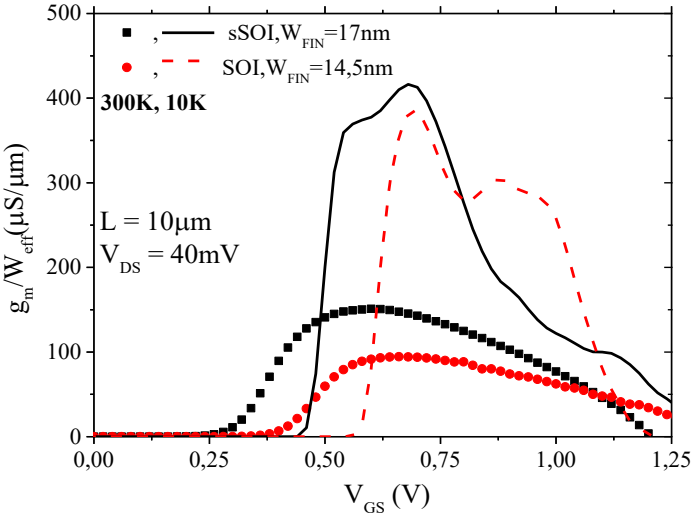
corrente, conforme a tensão de porta aumenta. Isso ocorre devido aos efeitos quânticos descritos na seção 2.2.1, uma vez que a tensão de dreno e a energia térmica disponível são baixas o suficiente. Essas ondulações indicam a variação da mobilidade que ocorre quando os elétrons atingem maiores níveis energéticos e passam a ocupar diferentes sub-bandas. Esse efeito pode ser percebido mais facilmente na curva da transcondutância, apresentada na Figura 78, para ambos NWs SOI e sSOI, em 300 e 10K.

Figura 77 – I_{DS}/W_{eff} em função de V_{GS} para nanofios transistores sSOI e SOI, V_{DS} = 40mV e T = 300 e 10K.



Fonte: Autor

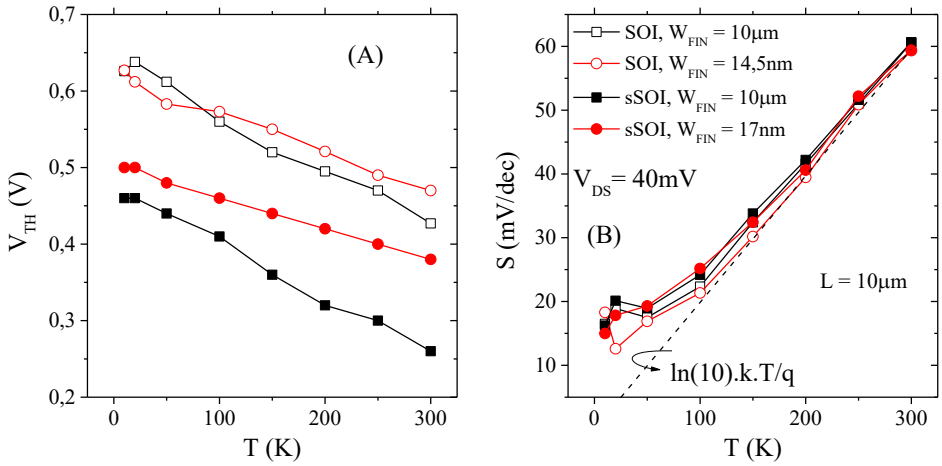
Figura 78 – g_m/W_{eff} em função de V_{GS} para nanofios transistores sSOI e SOI, V_{DS} = 40mV e T = 300 e 10K.



Fonte: Autor

A Figura 79 apresenta os resultados extraídos para V_{TH} (A) e S (B) em função da temperatura para nanofios transistores SOI e sSOI, de canal longo, quasi-planar e estreito, com V_{DS} = 40mV. A tensão de limiar foi extraída através do método da segunda derivada (ORTIZ-CONDE et al., 2002). A redução de V_{TH} nos NWs sSOI se deve à redução da largura da banda proibida. Para o transistor quasi-planar e estreito, há uma redução de ~0,17V e ~0,1V, respectivamente, do SOI para o sSOI. A redução de V_{TH} nos NWs sSOI em comparação aos NWs SOI é menor no transistor estreito devido ao relaxamento lateral que torna o tensionamento uniaxial. A variação da tensão de limiar com a temperatura ($\Delta V_{TH}/\Delta T$) é semelhante comparando NWs SOI e sSOI. Para o NW quasi-planar SOI e sSOI, $\Delta V_{TH}/\Delta T$ = -0,74 e -0,71mV/K, enquanto o NW estreito SOI e sSOI possuem -0,56 e -0,42mV/K, respectivamente. Os nanofios estudados neste trabalho apresentam dependência da temperatura similar para a tensão de limiar, comparando com FinFETs na literatura (PAVANELLO et al., 2009), em que $\Delta V_{TH}/\Delta T$ vale -0,58mV/K para W_{FIN} = 20nm e -0,70mV/K para dispositivos largos (W_{FIN} = 370nm). A Figura 79.B mostra que todos os NWs apresentam S próxima da linha tracejada, que indica o limite teórico, quando T > 100K. Para temperaturas inferiores a 100K, há uma divergência dos resultados experimentais em relação ao limite teórico, sendo que as medidas mostram maior valor de S. O comportamento da inclinação de sublimiar, em temperatura criogênica, não segue a relação ln(10).k.T/q devido ao aumento da densidade efetiva de armadilhas (COLINGE et al., 2006; TREVISOLI et al., 2015). Os nanofios transistores estreitos apresentam S ligeiramente menor do que os dispositivos quasi-planares, o que ocorre por causa do aumento do controle eletrostático com a redução de W_{FIN}, responsável por aproximar o fator de corpo da unidade.

Figura 79 – V_{TH} (A) e S (B) em função de T para nanofios transistores sSOI e SOI com V_{DS} = 40mV.

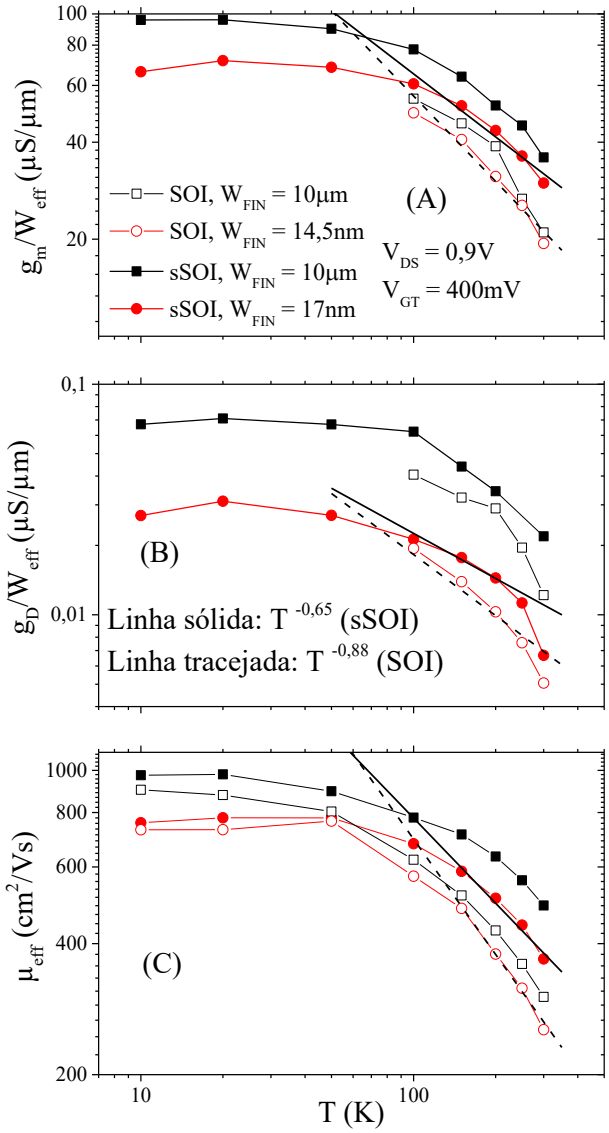


Fonte: Autor

Para observar a influência da temperatura nos parâmetros analógicos de sSOI MOSFETs, serão estudados resultados variando T de 300 até 10K, em V_{DS} = 0.9V e V_{GT} = 400mV. Serão comparados um NW quasi-planar com um de W_{FIN} = 17nm. Os resultados de NWs SOI sem tensionamento mecânico também serão apresentados até 100K, para W_{FIN} = 10µm e 14,5nm. Conforme análise da Figura 76, os nanofios escolhidos para estudo da influência da temperatura apresentam A_V similar em V_{GT} = 400mV e T = 300K (~73dB).

A Figura 80 apresenta g_m/W_{eff} (A), g_D/W_{eff} (B) e μ_{eff} (C), que foi extraída pelo método de Split C-V, em função da temperatura.

Figura 80 – g_m/W_{eff} (A), g_D/W_{eff} (B) e μ_{eff} (C) em função de T para nanofios transistores sSOI e SOI, V_{GT} = 400mV e V_{DS} = 0,9V.

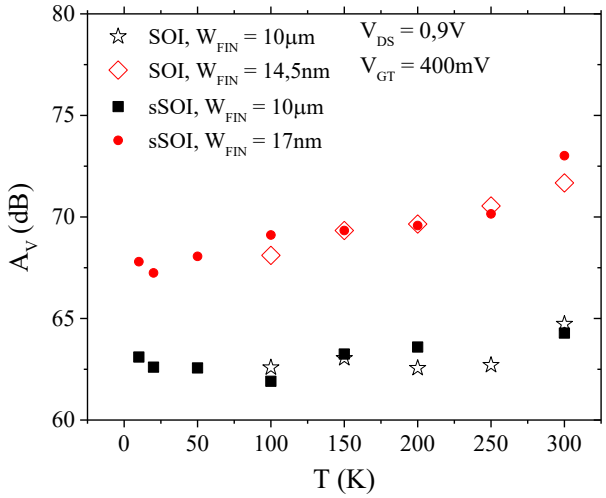


Fonte: Autor

Através da Figura 80, é observado que g_m/W_{eff} e g_D/W_{eff} seguem o mesmo comportamento que a mobilidade efetiva, variando a temperatura. Reduzindo T até 100K, a transcondutância e a condutância de saída aumentam, com seus resultados saturando em um valor máximo abaixo de 100K. A saturação de μ_{eff} acontece com T < 100K devido à limitação imposta pelo mecanismo de espalhamento de rugosidade de superfície, que se torna dominante (TACHI et al., 2010). Acima de 100K, a contribuição do mecanismo de fônons predomina, uma vez que as curvas seguem, aproximadamente, a relação $\mu_{ps} \propto T^{-\gamma}$, em que γ é o coeficiente de dependência com a temperatura (TAKAGI et al., 1994a). Ambos os eixos vertical e horizontal estão em escala logarítmica para demonstrar que μ_{eff} segue a dependência de $T^{-\gamma}$ acima de 100K, sendo que γ vale 0,65 e 0,88 para os nanofios transistores sSOI e SOI, respectivamente. Um dos efeitos da separação do vale de energia da banda de condução Δ_6 nos vales Δ_2 e Δ_4, partindo do silício sem tensionamento mecânico para o silício tensionado tensivamente, é a supressão do espalhamento de fônons entre os vales Δ_2 e Δ_4, responsável por menor γ em transistores sSOI em comparação com SOI (KOYAMA et al., 2013; TAKAGI et al., 1996). É possível observar que g_m/W_{eff} aparenta seguir exatamente o mesmo comportamento de μ_{eff}, variando a temperatura, enquanto o comportamento de g_D/W_{eff} difere um pouco em 300K, apresentando valores um pouco inferiores para o nanofio estreito. A Figura 80.C mostra um cruzamento das curvas da mobilidade entre o nanofio quasi-planar SOI e o nanofio estreito sSOI abaixo de 100K. Isto se deve ao fato de que o espalhamento da rugosidade da superfície degrada mais a mobilidade efetiva com a redução de W_{FIN}, então transistores estreitos possuem menor μ_{eff} em temperaturas criogênicas, independente de ser um SOI MOSFET com ou sem tensionamento.

A Figura 81 mostra A_V em função de T. Embora os nanofios transistores sSOI e SOI apresentem comportamentos diferentes com a temperatura (γ = 0,65 para sSOI e 0,88 para SOI), os resultados de A_V são muito próximos, variando T, indicando que g_m e g_D sofrem de efeitos de temperatura similares, os quais são anulados pela razão g_m/g_D. Para todo o intervalo de temperatura, A_V varia até 5,8dB e 2,3dB para NWs sSOI com W_{FIN} = 17nm e 10µm, respectivamente. Como essa variação representa menos do que 8% de A_V, é possível concluir que A_V é, aproximadamente, constante com T.

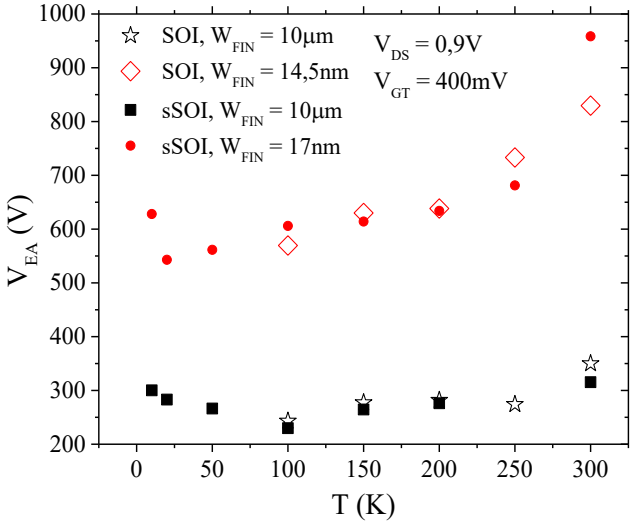
Figura 81 – A_V em função de T para nanofios transistores sSOI e SOI, V_{GT} = 400mV e V_{DS} = 0,9V.



Fonte: Autor

A Figura 82 apresenta V_{EA} em função de T. Do mesmo modo que A_V, V_{EA} é inversamente proporcional a g_D e sua característica é dada pelo comportamento de $1/g_D$. Mesmo para MOSFETs quasi-planares, os valores de V_{EA} são altos (de 200 a 300V), como esperado para transistores de canal longo, que sofrem pouco de modulação do comprimento do canal. Os resultados são próximos, comparando NWs SOI e sSOI, e nanofios estreitos apresentam maior aumento de V_{EA}, com o aumento da temperatura.

Figura 82 – V_{EA} em função de T para nanofios transistores sSOI e SOI, V_{GT} = 400mV e V_{DS} = 0,9V.



Fonte: Autor

4.2.2 Nanofios não empilhados com tensionamento tipo p

Os p-NWs com canal tensionado foram fabricados com SiGe-Sobre-Isolante (SGOI), de modo que o canal e as regiões de fonte e dreno dos nanofios são constituídas de $Si_{0,7}Ge_{0,3}$. Os nanofios SGOI com W_{FIN} > 240nm apresentam tensionamento mecânico compressivo do tipo biaxial (tensão mecânica de, aproximadamente, 2,1GPa). Devido ao relaxamento lateral, nanofios SGOI mais estreitos apresentam tensionamento compressivo uniaxial ao longo da direção [110] (NGUYEN et al., 2014). Os NWs SGOI medidos ao longo deste trabalho apresentam as características indicadas na Tabela 8.

Tabela 8 – Descrição de parâmetros de nanofios transistores SGOI tipo p.

Parâmetro	Descrição
EOT	1,4nm
t_{BOX}	145nm
L	10µm
H_{FIN}	13nm
W_{FIN}	20, 40, 60, 100nm (50 *fins*) 10µm (1 *fin*)
Dopagem no canal	$10^{15}cm^{-3}$
Materiais do eletrodo de porta	SiO_2, HfSiON, TiN, Si policristalino
Material do canal	$Si_{0,7}Ge_{0,3}$
Material de fonte/dreno	$Si_{0,7}Ge_{0,3}$
Tipo de substrato	SGOI
Orientação cristalográfica	[110]
Tipo de transistor	pMOS

Fonte: Autor

A fim de comparar o comportamento criogênico de nanofios transistores tipo p de canal longo, com e sem tensionamento mecânico, esta seção apresenta resultados obtidos para p-NWs implementados em lâmina SGOI (descritos na Tabela 8), juntamente com resultados de p-NWs SOI, sem tensionamento mecânico, descritos na Tabela 9.

Tabela 9 – Descrição de parâmetros de nanofios transistores SOI tipo p utilizados na comparação com nanofios transistores SGOI tipo p.

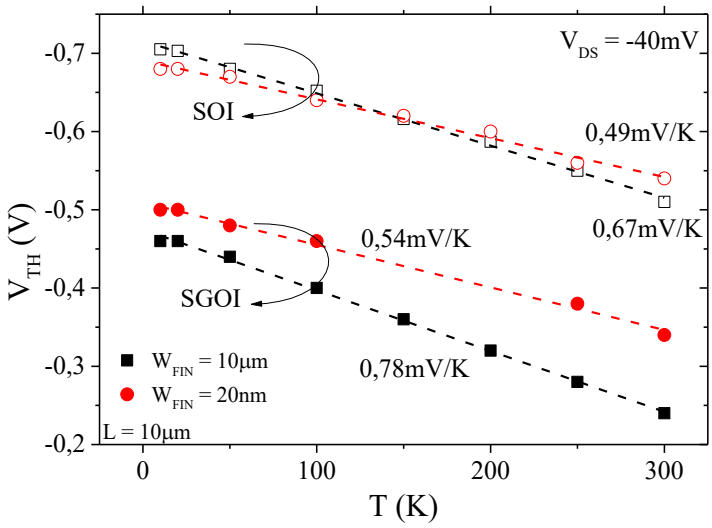
Parâmetro	Descrição
EOT	1,4nm
t_{BOX}	145nm
L	10µm
H_{FIN}	11nm
W_{FIN}	15, 20, 30, 40, 80nm (50 *fins*) 10µm (1 *fin*)
Dopagem no canal	$10^{15}cm^{-3}$
Materiais do eletrodo de porta	SiO_2, HfSiON, TiN, Si policristalino
Material do canal	Si
Material de fonte/dreno	Si
Tipo de substrato	SOI
Orientação cristalográfica	[110]
Tipo de transistor	pMOS

Fonte: Autor

4.2.2.1 Operação criogênica de nanofios transistores tipo p de SiGe

A Figura 83 apresenta V_{TH} em função de T para nanofios SOI e SGOI com W_{FIN} = 20nm e 10µm em V_{DS} = -40mV. É observado menor $|V_{TH}|$ para nanofios SGOI em comparação com NWs SOI devido à menor largura de banda proibida do SiGe (HUTIN et al., 2010). Além disso, assim como observado na Figura 79 para NWs sSOI e SOI tipo n, nanofios quasi-planares SGOI e SOI possuem maior $\Delta V_{TH}/\Delta T$ em comparação com NWs estreitos. Isto ocorre porque a variação do potencial de superfície com a temperatura aumenta com aumento de W_{FIN}, conforme discutido para FinFETs na literatura (PAVANELLO et al., 2009).

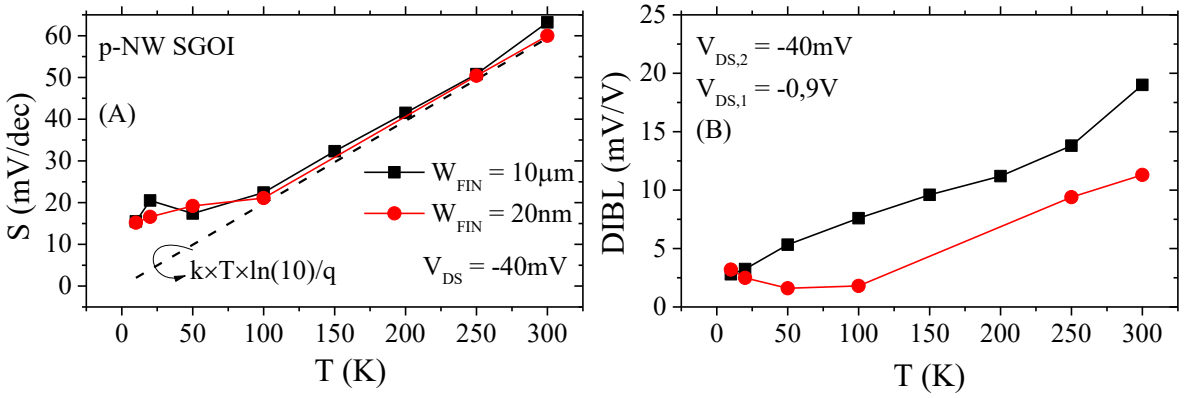
Figura 83 – V_{TH} em função de T para nanofios transistores tipo p SOI e SGOI com W_{FIN} = 10µm e 20nm, V_{DS} = -40mV.



Fonte: Autor

A Figura 84 apresenta S (A) e DIBL (B) em função de T para nanofios SGOI com W_{FIN} = 20nm e 10µm. Os resultados para a inclinação de sublimiar obtidos seguem as mesmas tendências observadas para os NWs sSOI e SOI tipo n da Figura 79, em que S segue o limite teórico para T > 100K e diverge abaixo de 100K por conta da influência da densidade de armadilhas. A Figura 84.B mostra a redução de DIBL com a redução da temperatura devido à melhora do acoplamento no canal e, portanto, maior imunidade contra a influência de V_{DS} (ACHOUR et al., 2014). Para NW SGOI estreito, DIBL estabiliza próximo de 2mV/V para T ≤ 100K, indicando excelente imunidade ao efeito do aumento de V_{DS} em V_{TH}, conforme esperado para NWs de canal longo (L = 10µm).

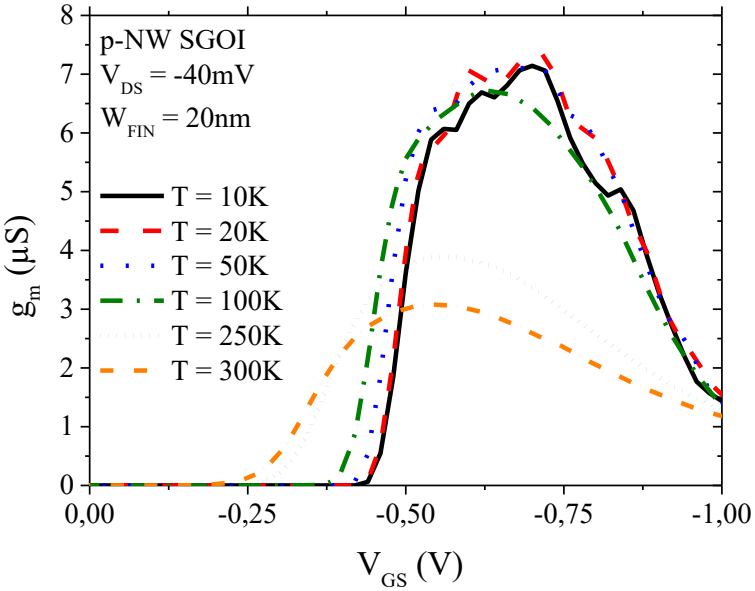
Figura 84 – S (A) e DIBL (B) em função de T para nanofios transistores tipo p SGOI com W_{FIN} = 10µm e 20nm.



Fonte: Autor

A Figura 85 apresenta g_m em função de V_{GS} para nanofio SGOI com W_{FIN} = 20nm, variando a temperatura de 300 a 10K. Ondulações são observadas para T ≤ 50K, indicando o confinamento das lacunas em duas direções, ao longo da altura e da largura do *fin*. Há formação de sub-bandas e a densidade de estados se torna unidimensional (COLINGE, 2007). Com a redução da temperatura, a energia térmica (4,3meV para T = 50K) se torna menor do que a diferença de energia entre sub-bandas, permitindo a observação das ondulações na transcondutância, que estão relacionadas à variação da mobilidade devido ao espalhamento existente entre sub-bandas.

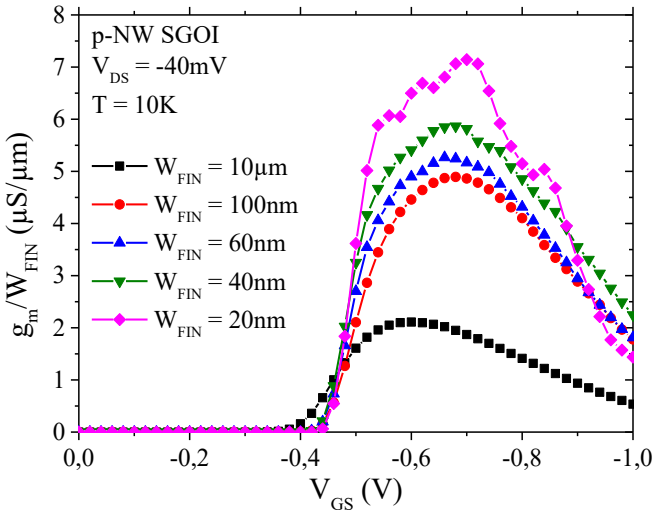
Figura 85 – g_m em função de V_{GS} para nanofio transistor tipo p SGOI com W_{FIN} = 20nm, T variando de 10 a 300K e V_{DS} = -40mV.



Fonte: Autor

A Figura 86 apresenta g_m/W_{FIN} em função de V_{GS} para nanofios SGOI com diferentes valores de W_{FIN}, em T = 10K e V_{DS} = -40mV. As ondulações na transcondutância desaparecem para W_{FIN} > 40nm, indicando que as lacunas possuem espaço para fluir e não estão mais confinadas em uma única direção.

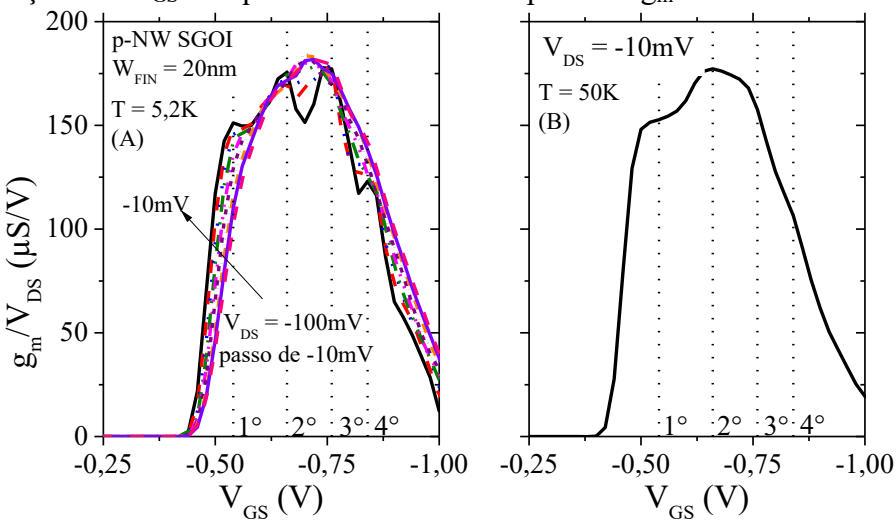
Figura 86 – g_m/W_{FIN} em função de V_{GS} para nanofios transistores tipo p SGOI com W_{FIN} variando de 20nm a 10µm, T = 10K, V_{DS} = -40mV.



Fonte: Autor

Figura 87 apresenta a dependência das ondulações de g_m com V_{DS} em 5,2K (A) e 50K (B) para um nanofio SGOI com W_{FIN} = 20nm. Quando a energia térmica é bem baixa (0,45meV em 5,2K) e V_{DS} = -10mV, 4 picos são distinguidos em posições de V_{GS} indicadas pelas linhas tracejadas. Quando V_{DS} é muito maior do que a energia que separa as sub-bandas, as ondulações não são mais observadas, como na Figura 87.A em V_{DS} = -100mV. A Figura 87.B mostra que os últimos dois picos (3° e 4°) de g_m/V_{DS} não são observados claramente em 50K, mesmo com V_{DS} = -10mV, indicando que a energia térmica deve ser maior do que a diferença entre os níveis energéticos entre as duas sub-bandas.

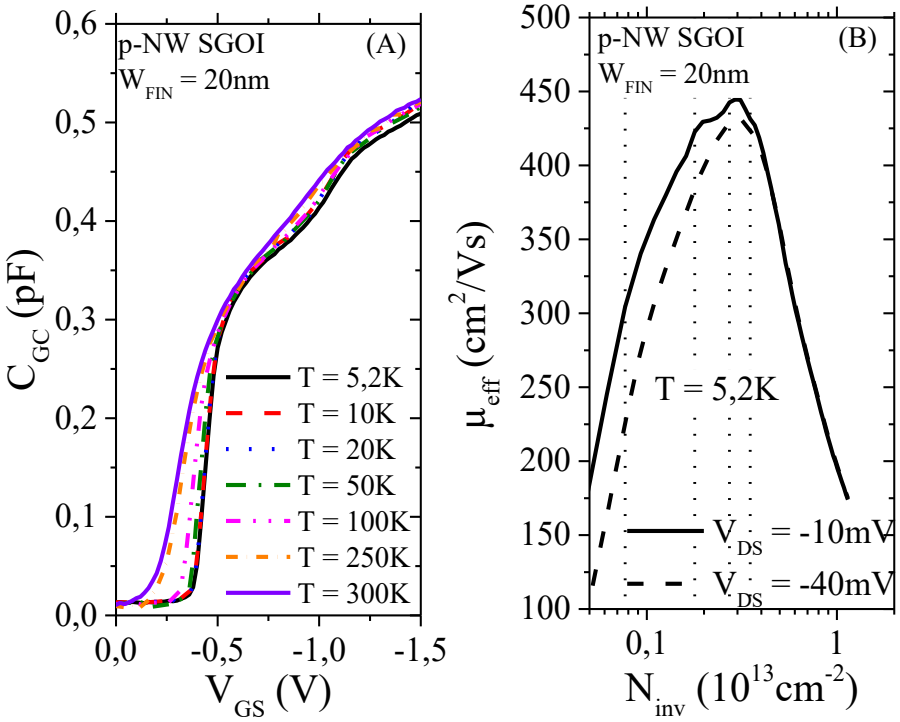
Figura 87 – g_m/V_{DS} em função de V_{GS} para nanofio transistor tipo p SGOI com W_{FIN} = 20nm variando V_{DS} de -10 a -100mV em 5,2K (A) e 50K (B). As linhas tracejadas indicam as posições de V_{GS} em que são observados os picos de g_m.



Fonte: Autor

A Figura 88.A apresenta a capacitância entre a porta e o canal em função de V_{GS} para nanofio SGOI com W_{FIN} = 20nm variando T de 300 a 5.2K. Como observado anteriormente por (COQUAND et al., 2013b), ondulações relacionadas ao confinamento em uma dimensão também podem ser verificadas nas curvas de capacitância. Embora alguns trabalhos de simulação na literatura já tenham reportado ondulações em curvas C-V (AFZALIAN et al., 2011), existem poucas evidências experimentais. A Figura 88.B apresenta μ_{eff} extraída pelo método Split C-V em função de N_{inv} para nanofio SGOI com W_{FIN} = 20nm em T = 5,2K e V_{DS} = -10 e -40mV. Suaves ondulações são notadas em V_{DS} = -10mV para valores de N_{inv} (linhas tracejadas da Figura 88.B) que correspondem aos valores de V_{GS} em que os picos de transcondutância aparecem na Figura 87. Embora os picos de g_m com V_{DS} = -40mV sejam claros nas figuras anteriores, ondulações na mobilidade não são perceptíveis para este valor de V_{DS}.

Figura 88 – C_{GC} em função de V_{GS} (A) e μ_{eff} em função de N_{inv} (B) para nanofio transistor tipo p SGOI com W_{FIN} = 20nm.

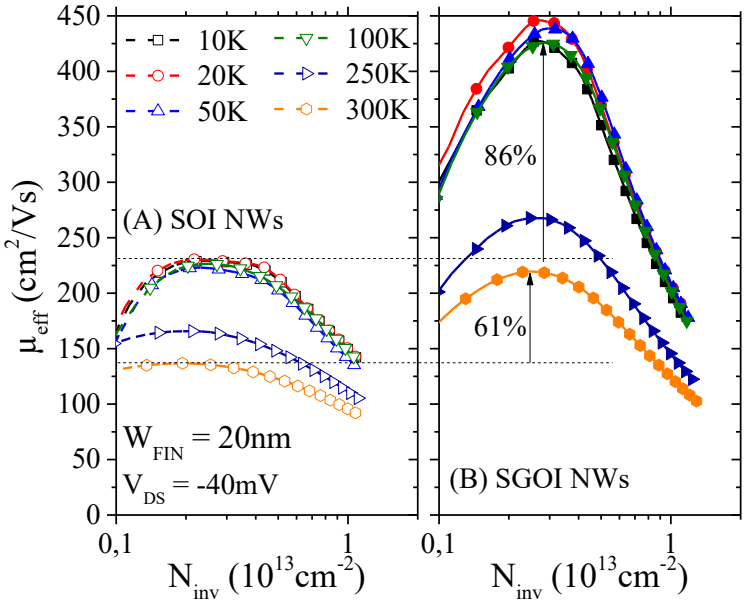


Fonte: Autor

A Figura 89 mostra resultados de μ_{eff} em função de N_{inv}, variando T para nanofios SOI (A) e SGOI (B) com W_{FIN} = 20nm. Estão destacados aumentos da mobilidade no nanofio SGOI, comparando com o NW SOI (não tensionado), de 61 e 86% em 300 e 10K, respectivamente. Recordando que o NW SGOI com 20nm de largura de *fin* sofre relaxamento

lateral e apresenta tensão mecânica resultante uniaxial, a Figura 89 enfatiza os benefícios do tensionamento uniaxial do tipo compressivo proporcionado pelo $Si_{0,7}Ge_{0,3}$.

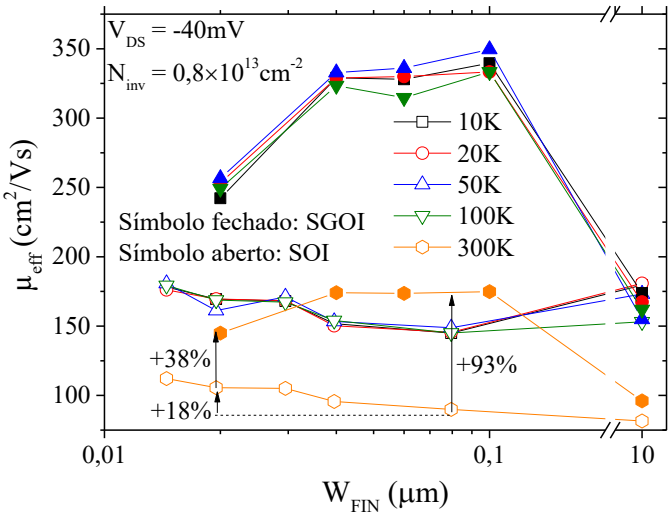
Figura 89 – μ_{eff} em função de N_{inv} para nanofios transistores tipo p SOI (A) e SGOI (B) com W_{FIN} = 20nm, variando T de 10 a 300K e V_{DS} = -40mV.



Fonte: Autor

A Figura 90 apresenta resultados de μ_{eff} em função de W_{FIN} para diferentes valores de temperatura em $N_{inv} = 0{,}8\times10^{13}cm^{-2}$ para nanofios SOI e SGOI. Devido à maior mobilidade para as lacunas no plano (110)/[110], μ_{eff} de nanofios SOI aumenta com a redução de W_{FIN} em 300K. Por outro lado, a mobilidade dos nanofios SGOI não apresenta grande variação com W_{FIN} entre 40 e 100nm. Isto ocorre porque o efeito do tensionamento uniaxial compressivo é maior no plano (100) para o SiGe orientado na direção [110] (CHIANG et al., 2007). Desse modo, não é possível observar o efeito do aumento de μ_{eff} com a redução de W_{FIN} decorrente da maior mobilidade para as lacunas no plano (110) em comparação ao plano (100) (OH et al., 2010). O aumento de μ_{eff} de nanofios SGOI variando W_{FIN} de 10µm para 100nm se deve ao melhor efeito do tensionamento compressivo do tipo uniaxial (W_{FIN} = 100nm) em relação ao tensionamento biaxial (W_{FIN} = 10µm) (CASSE et al., 2012b, 2012b). Para o nanofio SGOI com W_{FIN} = 20nm, a degradação da mobilidade provavelmente está relacionada ao maior efeito de canto, o que também foi evidenciado, na literatura, em nanofios de porta tripla com dimensões reduzidas de W_{FIN} (PELLOUX-PRAYER et al., 2016a).

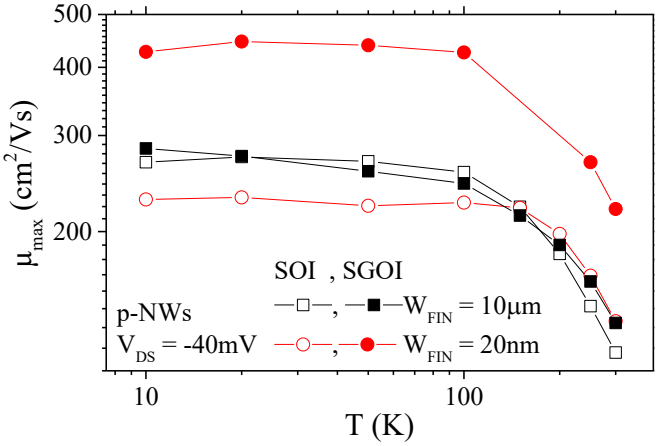
Figura 90 – μ_{eff} em função de W_{FIN} para nanofios transistores tipo p SOI e SGOI variando T de 10 a 300K, $N_{inv} = 0{,}8\times10^{13}cm^{-2}$ e V_{DS} = -40mV.



Fonte: Autor

A Figura 91 apresenta a máxima mobilidade (μ_{max}) em função da temperatura para nanofios SOI e SGOI estreitos (W_{FIN} = 20nm) e quasi-planares (W_{FIN} = 10µm). Similarmente aos resultados obtidos para NWs tipo n SOI e sSOI da Figura 80, abaixo de 100K, o mecanismo predominante de espalhamento se deve à rugosidade da superfície, enquanto que, acima de 100K, a mobilidade é determinada, principalmente, pelo mecanismo de degradação de fônons (TAKAGI et al., 1994a). Para os nanofios SOI, é verificado que a mobilidade abaixo de 100K (limitada pela rugosidade na superfície) é menor no nanofio estreito, ainda que este possua maior mobilidade acima de 100K. Isto se deve à maior influência da qualidade de interface lateral, a qual é mais baixa em comparação à interface de topo (COQUAND et al., 2013b).

Figura 91 – μ_{max} em função de T para nanofios transistores tipo p SOI e SGOI com W_{FIN} = 20nm e 10µm, V_{DS} = -40mV.



Fonte: Autor

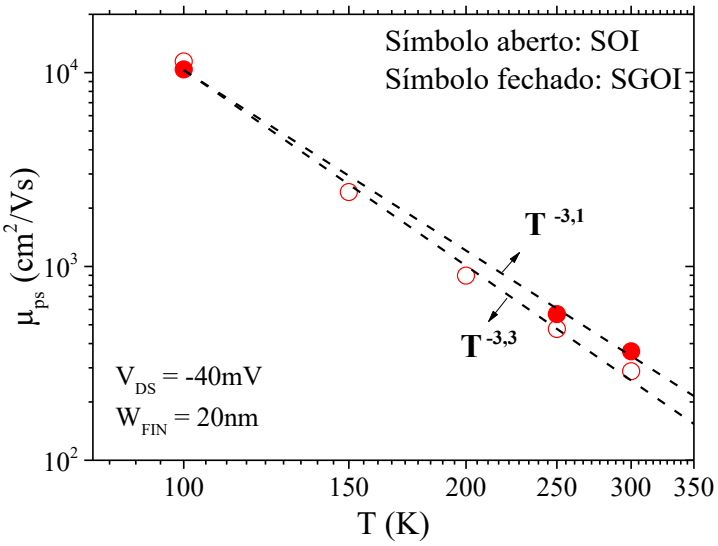
Para um regime de alta densidade de inversão de portadores, é possível desprezar o espalhamento de Coulomb e a equação (16) pode ser reescrita como:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{ps}} + \frac{1}{\mu_{sr}} \tag{42}$$

Considerando que em T = 10K, $\mu_{eff} = \mu_{sr}$, é possível calcular a contribuição do mecanismo de espalhamento por fônons subtraindo μ_{eff}^{-1} de μ_{eff}^{-1} em 10K, pois μ_{sr} não depende da temperatura e limita a mobilidade efetiva abaixo de 100K, como observado na Figura 91.

A Figura 92 apresenta os resultados de μ_{ps} em função de T para nanofios SOI e SGOI com W_{FIN} = 20nm. O coeficiente de dependência com a temperatura foi extraído através de regressões lineares indicadas pelas linhas tracejadas. Foi verificado que ambas as tecnologias SOI e SGOI possuem valores similares de γ, -3,3 para NW SOI e -3,1 para NW SGOI, indicando que a dependência de μ_{ps} com a temperatura é pouco afetada pelo tensionamento. Adicionalmente, o espalhamento causado pela distribuição aleatória de átomos de Si e de Ge também demonstrou ser pouco significativo em μ_{ps}, assim como demonstrado em (CASSE et al., 2012a).

Figura 92 – μ_{ps} em função de T para nanofios transistores tipo p SOI e SGOI com W_{FIN} = 20nm variando e V_{DS} = -40mV.

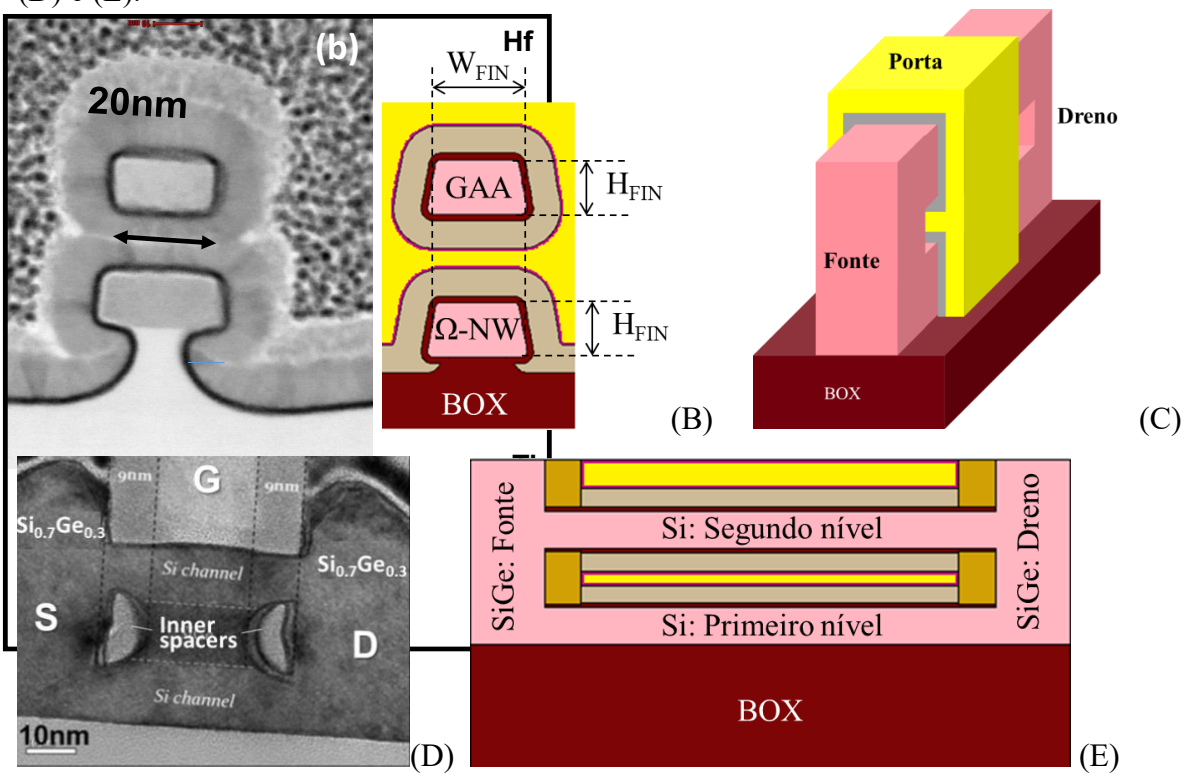


Fonte: Autor

4.3 NANOFIOS TRANSISTORES EMPILHADOS COM TENSÃO MECÂNICA

Nanofios transistores empilhados verticalmente, em dois níveis, foram fabricados, conforme observado nas imagens de TEM e representações esquemáticas da Figura 93 (BARRAUD et al., 2016). Trata-se da primeira lâmina já fabricada com NWs empilhados integrando espaçadores internos e SiGe nas regiões de fonte e dreno, obtida através de um processo de fabricação delicado e inovador.

Figura 93 – Imagem de TEM e representação esquemática de nanofio transistor SOI empilhado verticalmente. Seção transversal (A) e (B), perspectiva (C) e seção longitudinal (D) e (E).



Fonte: Barraud et al., 2016, p. 3 (A) e (D) e autor (B), (C) e (E)

O processo de fabricação dos NWs empilhados inicia a partir de uma lâmina FD SOI, em que são crescidas camadas intercaladas de SiGe (sacrificiais) e silício. Uma parte do silício-germânio é corroída seletivamente para dar espaço ao nitreto que é depositado para formar os espaçadores internos (*inner spacers*), que reduzem as capacitâncias parasitárias. Em seguida, fonte e dreno são formadas pelo crescimento epitaxial de $Si_{0,7}Ge_{0,3}$ dopado com Boro, o qual induz tensionamento mecânico uniaxial compressivo no interior dos canais. É feita a corrosão do Si e SiGe para formar as aletas que compõem o nanofio e, após essa etapa, o SiGe é completamente removido seletivamente. Por fim, através do uso de uma etapa de

processo de substituição do metal da porta (RMG – *Replacement Metal Gate*), as aletas de Si são envoltas de SiO_2, HfO_2, TiN e W. Mais detalhes sobre o processo de fabricação podem ser encontrados em (BARRAUD et al., 2016).

Conforme o breve descritivo do processo de fabricação dos NWs empilhados acima, é possível observar que a primeira camada de silício, que consiste no primeiro nível da estrutura empilhada, está sobre a camada de óxido enterrado, enquanto o segundo nível é fabricado entre camadas de SiGe, que são corroídas posteriormente. Logo, o nanofio transistor do primeiro nível é de porta Ω (Ω-NW), enquanto o NW do segundo nível possui arquitetura do tipo porta circundante (GAA). Ambos os níveis possuem porta, fonte e dreno em comum, de modo que operam em conjunto, como um único transistor.

A Tabela 10 apresenta as características dos nanofios transistores empilhados estudados neste trabalho.

Tabela 10 – Descrição de parâmetros de nanofios transistores tipo p SOI verticalmente empilhados. Os parâmetros E_{OT} e W_{FIN} eram desconhecidos antes da realização deste trabalho e foram determinados através de metodologias de extração propostas ao longo desta seção.

Parâmetro	Descrição
EOT	-
t_{BOX}	145nm
L	17, 22, 27, 32, 42, 52, 62, 82, 102nm
H_{FIN}	10nm
W_{FIN}	-
Dopagem no canal	$10^{15}cm^{-3}$
Materiais do eletrodo de porta	SiO_2, HfO_2, TiN, W
Material do canal	Si
Material de fonte/dreno	$Si_{0,7}Ge_{0,3}$
Tipo de substrato	SOI
Orientação cristalográfica	[110], [100]
Tipo de transistor	pMOS

Fonte: Autor

Os NWs empilhados são tipo p, foram fabricados em estrutura multi-dedos de 50 *fins*, com o canal em duas orientações cristalográficas, [110] e [100], e possuem espessura da camada de silício de 10nm para cada um dos níveis. Pelos motivos discutidos na seção 2.2.1, nanofios transistores com W_{FIN} > 65nm e L > 100nm não estão disponíveis nesta tecnologia.

Dadas essas especificidades, não é possível a utilização de métodos clássicos de extração de parâmetros, existentes na literatura, de modo que estes foram adaptados de acordo com a necessidade. É o caso dos procedimentos utilizados para obtenção de EOT e W_{FIN}, detalhados nas seções 4.3.1 e 4.3.2.

4.3.1 Extração de EOT

A espessura efetiva do óxido de porta consiste em um parâmetro importante que define a estrutura e é necessária para a aplicação de diversas metodologias de caracterização elétrica, como o método da função Y (GHIBAUDO, 1988), de modo que uma extração precisa de EOT é essencial. Embora transistores planares (W_{FIN} na ordem de alguns micrometros) sejam as estruturas de teste mais adequadas para a extração de EOT devido à maior área do canal, estes dispositivos não estão disponíveis como nanofios empilhados, devido a limitações nas etapas de corrosão seletiva. Além disso, o uso processos convencionais de ajuste de medidas elétricas em expressões que dependem de W_{eff} podem levar a erros significativos na extração de EOT devido a imprecisões na determinação dos valores reais de W_{eff} em nanofios estreitos.

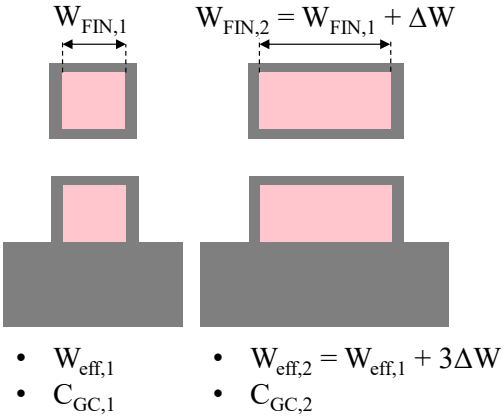
Para solucionar problemas na extração de EOT devido à ausência de transistores planares, foi desenvolvido um procedimento alternativo. Para determinar o EOT obtido após o processo de deposição dos materiais da porta, medidas de capacitância foram realizadas em NWs com diferentes valores de W_{FIN} e mesmo comprimento de canal (L mais longo disponível, 100nm). Sendo $C_{GC,1}$ e $C_{GC,2}$ as capacitâncias entre a porta e o canal medidas de dois transistores adjacentes na lâmina, com valores de máscara da largura do *fin* conhecidos e iguais a $W_{FIN,mask,1}$ e $W_{FIN,mask,2}$, respectivamente, a diferença entre as capacitâncias por unidade de área (C_{GC}') é determinada pela equação (43). Conforme indicado no esquema representativo da Figura 94, se a diferença das larguras dos *fins* entre os NWs for ΔW, a largura efetiva do NW mais largo ($W_{eff,2}$) corresponde à largura efetiva do NW mais estreito ($W_{eff,1}$) somada de $3\times\Delta W$.

$$C_{GC}' = \frac{C_{GC,2} - C_{GC,1}}{3\times\Delta W\times L} \tag{43}$$

Embora o esquema da Figura 94 seja uma aproximação da estrutura real da Figura 93.A, é importante notar que C_{GC}' não depende de W_{eff} (calculado através de $4H_{FIN} + 3W_{FIN}$, de forma aproximada) e, portanto, não apresenta erros devido ao fato de não terem sido considerados os formatos arredondados dos cantos na representação esquemática. Ao invés de

W_{eff}, C_{GC}' depende de ΔW, que é calculado através de $W_{FIN,mask,2} - W_{FIN,mask,1}$ e consiste em um parâmetro de maior confiabilidade, pois suprime dois tipos de descasamentos sistemáticos que ocorrem com frequência. O primeiro entre os níveis de cima e de baixo da estrutura empilhada e o segundo entre os valores reais e de máscara da largura do *fin*.

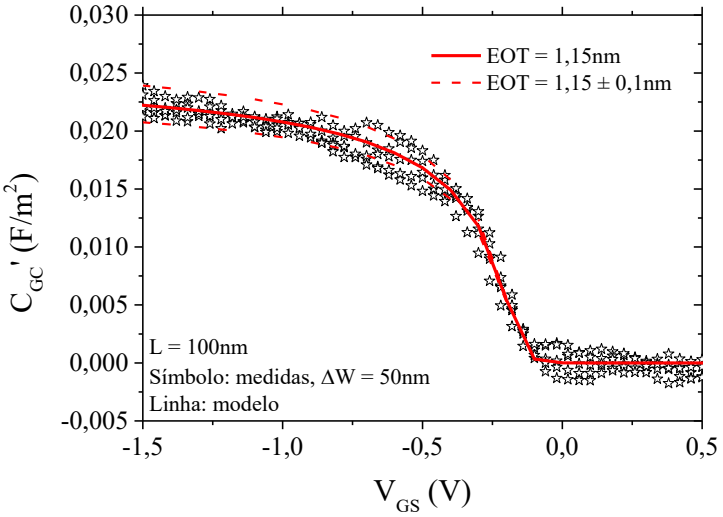
Figura 94 – Esquema representativo de NWs empilhados com diferentes W_{FIN}.



Fonte: Autor

Os resultados experimentais de C_{GC}' foram ajustados a curvas obtidas através do modelo bidimensional da solução de Poisson-Schrödinger que considera efeitos quânticos de confinamento em FD SOI MOSFETs (LEROUX et al., 2002, 2004). O procedimento de ajuste foi realizado através da comparação dos resultados medidos de C_{GC}', em regime de inversão forte, com as curvas do modelo calculado em função de EOT, de modo a obter o melhor ajuste possível. A Figura 95 apresenta C_{GC}' em função de V_{GS} para nanofios transistores empilhados com L = 100nm e ΔW = 50nm, em que o valor extraído de EOT vale 1,15 ± 0,1nm. A fim de obter uma extração de EOT mais precisa, cinco pares de dispositivos ($W_{FIN,mask,1}$ = 10nm e $W_{FIN,mask,2}$ = 60nm) foram medidos em cinco amostras da mesma lâmina.

Figura 95 – C_{GC}' em função de V_{GS} para nanofios transistores empilhados medidos com L de 100nm e diferenças entre os valores de máscara da largura do *fin* de 50nm. O resultado do modelo obtido com EOT = 1,15nm está indicado em linha sólida e linhas tracejadas indicam uma dispersão de ±0,1nm.



Fonte: Autor

4.3.2 Modificação do método *Shift and Ratio* para extração da largura real do *fin*

O método denominado *Shift and Ratio* (Deslocamento e Razão) foi desenvolvido e modificado na literatura para extrair os valores reais tanto para o comprimento quanto para a largura do canal de um transistor fabricado, os quais variam em relação àqueles determinados pelas máscaras durante o processo (COLLAERT et al., 2005; TAUR et al., 1992). Embora este método já tenha sido aplicado em transistores de múltiplas portas, sua implementação considerou mobilidade constante e usou transistores planares como referência. A aplicação deste método para a extração de W_{FIN} de nanofios transistores de dimensões da ordem de algumas dezenas de nanômetros, sem o uso de dispositivos planares como referência, requer algumas modificações significativas. Nesta seção, será apresentada uma nova maneira de implementar o método *Shift and Ratio*, considerando a degradação da mobilidade com V_{GS}, que varia significativamente entre os NWs. Além disso, o procedimento proposto considera todos os transistores disponíveis como referência, analisando um par por vez, utilizando a diferença entre os valores de máscara da largura do *fin*, para obter o descasamento entre a largura do *fin* real e de máscara.

Partindo da equação básica para a corrente de dreno, em regime linear, admitindo a mobilidade efetiva como uma função de V_{GS}, a equação (44) é obtida.

$$I_{DS}(V_{GS})=\frac{\mu_{eff}(V_{GS})\times C_{ox}\times W_{eff}}{L}\left(V_{GS}-V_{TH}-\frac{V_{DS}}{2}\right)\times V_{DS} \qquad (44)$$

A derivada da resistência total, $U(V_{GS}) = \partial R_T/\partial V_{GS}$, em que $R_T(V_{GS}) = V_{DS}/I_{DS}(V_{GS})$, é determinada pela equação (45).

$$U(V_{GS})=\frac{-L}{\mu_{eff}(V_{GS})\times C_{ox}\times W_{eff}\times\left(V_{GS}-V_{TH}-\frac{V_{DS}}{2}\right)}\left(\frac{\frac{\partial\mu_{eff}}{\partial V_{GS}}}{\mu_{eff}(V_{GS})}+\frac{1}{V_{GS}-V_{TH}-\frac{V_{DS}}{2}}\right) \quad (45)$$

A razão entre as derivadas de R_T de dois dispositivos, discriminados pelos índices "0" e "i", é dada pela equação (46).

$$r\left(\delta=V_{TH,0}-V_{TH,i}\right)=$$

$$\frac{U_0(V_{GS})}{U_i(V_{GS})}=\frac{\mu_{eff,i}{}^2(V_{GS})\times W_{eff,i}}{\mu_{eff,0}{}^2(V_{GS})\times W_{eff,0}}\left(\frac{\frac{\partial\mu_{eff,0}}{\partial V_{GS}}\times\left(V_{GS}-V_{TH,0}-\frac{V_{DS}}{2}\right)+\mu_{eff,0}(V_{GS})}{\frac{\partial\mu_{eff,i}}{\partial V_{GS}}\times\left(V_{GS}-V_{TH,i}-\frac{V_{DS}}{2}\right)+\mu_{eff,i}(V_{GS})}\right) \quad (46)$$

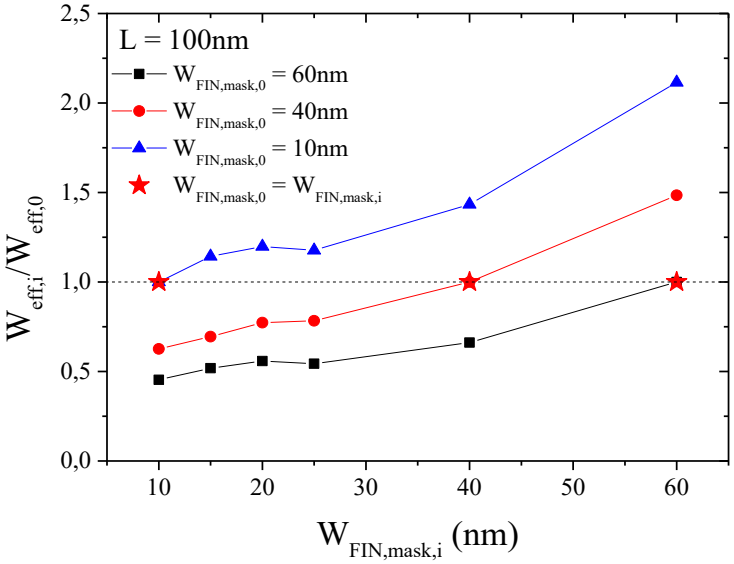
O parâmetro δ indica que V_{GS} do dispositivo com índice "i" deve ser deslocado em $V_{TH,0} - V_{TH,i}$, sendo que $V_{TH,0}$ e $V_{TH,i}$ são as tensões de limiar dos dispositivos com índices "0" e "i", respectivamente (TAUR et al., 1992).

$U_0(V_{GS})$ e $U_i(V_{GS} - \delta)$ são obtidos a partir das curvas experimentais de $I_{DS}(V_{GS})$, através de $\partial R_T/\partial V_{GS}$, após a correção da resistência série, e, então, comparados com a equação (46). A equação (47) pode ser utilizada para correção da resistência série da curva da corrente. O método utilizado para a extração de R_S dos NWs empilhados e seus respectivos valores serão apresentados na seção 4.3.4.

$$I_{DS,cor}(V_{GS})=\frac{I_{DS}(V_{GS})}{1-\frac{R_S\times I_{DS}(V_{GS})}{V_{DS}}} \quad (47)$$

Após a equação (46), é determinada a razão entre as larguras do *fin* efetivas dos dispositivos "i" e "0", $W_{eff,i}/W_{eff,0}$. Para melhorar a extração, cada um dos NWs estudados, indexados por "i", é comparado com todos os outros do conjunto, indexados por "0", ou seja, diversos dispositivos diferentes são considerados como referência. A Figura 96 apresenta os valores extraídos de $W_{eff,i}/W_{eff,0}$ em função da largura do *fin* de máscara do NW estudado ($W_{FIN,mask,i}$), para NWs empilhados com L = 100nm, considerando três NWs diferentes como referências, $W_{FIN,mask,0}$ = 10, 40 e 60nm. Note que $W_{eff,i}/W_{eff,0}$ vale 1 quando $W_{FIN,mask,i} = W_{FIN,mask,0}$.

Figura 96 – Valores extraídos, através do procedimento proposto, para a razão da largura efetiva do *fin* em função da largura de *fin* de máscara, considerando como referências nanofios transistores empilhados com 10, 40 e 60nm de largura de *fin* de máscara. Uma linha tracejada para o eixo vertical igual a 1 indica quando o NW de referência e o estudado são o mesmo. L = 100nm.



Fonte: Autor

Ao invés de atribuir um determinado W_{FIN} para um dos dispositivos de referência, como sugerido no método originalmente publicado na literatura (COLLAERT et al., 2005), uma outra modificação será proposta. Para minimizar possíveis erros de extração, será considerada a diferença entre as larguras de *fin* de máscara, $\Delta W = W_{FIN,mask,0} - W_{FIN,mask,i}$, em cada uma das extrações de W_{FIN} dos nanofios transistores empilhados, como indicado nas equações (48) e (49).

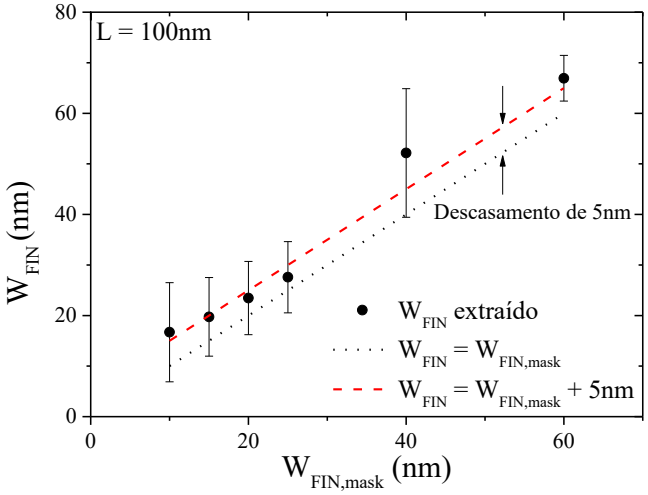
$$\frac{W_{eff,i}}{W_{eff,0}} = \frac{4t_{Si}+3W_{FIN}}{4t_{Si}+3W_{FIN}+3\times\Delta W} \tag{48}$$

$$W_{FIN} = \frac{\frac{W_{eff,i}}{W_{eff,0}}(4t_{Si}+3\times\Delta W)-4t_{Si}}{3\times\left(1-\frac{W_{eff,i}}{W_{eff,0}}\right)} \tag{49}$$

Um procedimento sistemático é implementado para extrair W_{FIN} através da equação (49), analisando dois NWs por vez, até que todos sejam comparados entre si, tendo sido considerados ambos $W_{FIN,mask,i}$ e $W_{FIN,mask,0}$. Adicionalmente, amostras distintas com os mesmos valores de largura de *fin* de máscara são avaliadas, sendo todas provenientes da mesma lâmina. A Figura 97 apresenta os resultados extraídos de W_{FIN} em função do seu valor de máscara. Após o processo de fabricação, é esperado um descasamento constante para todos os nanofios transistores empilhados, independente de $W_{FIN,mask}$, pois as aletas de silício que

definem o canal são formadas ao mesmo tempo, após a mesma etapa de corrosão. Por fim, através da análise dos resultados, um descasamento médio de 5nm é observado nas dimensões reais da largura do *fin* em comparação com seus valores de máscara, conforme enfatizado pelas linhas tracejadas e pontilhadas da Figura 97. A linha pontilhada indica o caso ideal em que não existe descasamento entre os valores de W_{FIN} e $W_{FIN,mask}$. A linha tracejada indica um descasamento constante de 5nm entre os valores de W_{FIN} e $W_{FIN,mask}$, a qual ajusta os resultados médios obtidos de W_{FIN}. Adicionalmente, é possível observar a variação que o parâmetro W_{FIN} pode sofrer dentro de um conjunto de NWs estudados com mesmo $W_{FIN,mask}$, através das barras indicadas para cada um dos pontos na Figura 97. Essa variação indica a expressiva variabilidade das etapas de corrosão do processo de fabricação das estruturas empilhadas.

Figura 97 – W_{FIN} em função de $W_{FIN,mask}$ para nanofios transistores empilhados com L = 100nm.

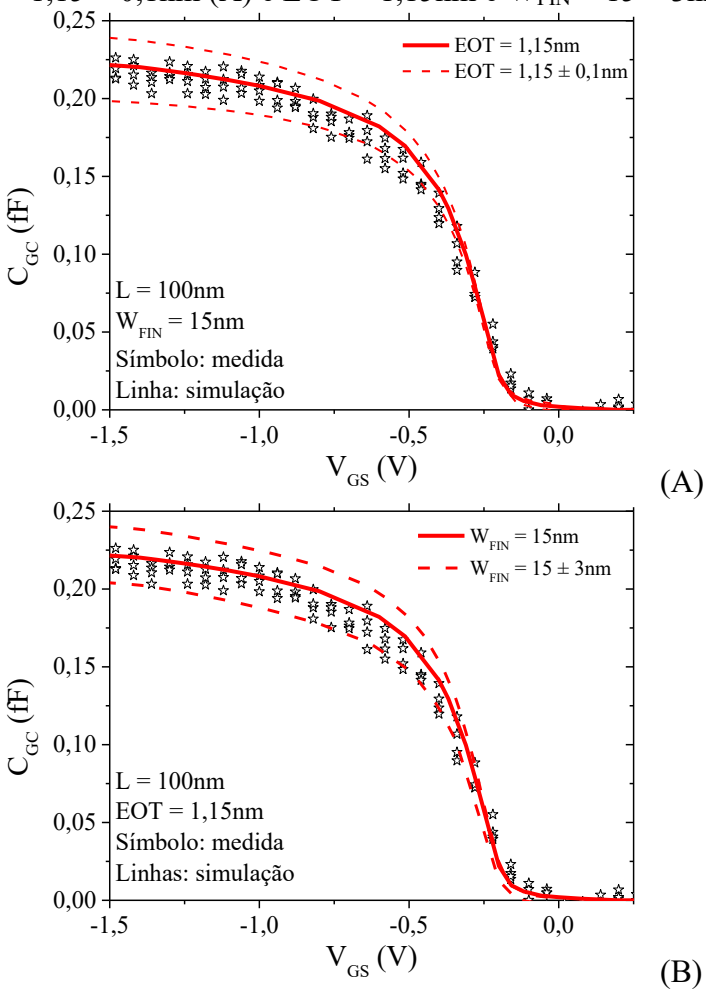


Fonte: Autor

A fim de confirmar os resultados extraídos de EOT e descasamento da largura do *fin*, foram realizadas simulações numéricas tridimensionais. A Figura 98 apresenta C_{GC} em função de V_{GS} para NWs empilhados simulados com W_{FIN} = 15nm e EOT = 1,15 ± 0,1nm (A) e EOT = 1,15nm e W_{FIN} = 15 ± 3nm (B). Os símbolos indicam medidas de NWs empilhados com $W_{FIN,mask}$ = 10nm. Todos os transistores medidos e simulados apresentam L = 100nm. As linhas tracejadas na Figura 98.A representam simulações numéricas considerando uma dispersão de ±0,1nm em EOT, obtida através do método aplicado na seção 4.3.1. As linhas tracejadas na Figura 98.B representam simulações numéricas considerando uma dispersão de ±3nm em W_{FIN}, que foi necessária para descrever adequadamente todas as curvas de

$C_{GC}(V_{GS})$ mantendo EOT constante em 1,15nm. Uma boa descrição dos resultados medidos foi possível através das simulações numéricas e uma pequena dispersão foi obtida. Assim, é possível afirmar que os valores extraídos de EOT = 1,15nm e descasamento da largura do *fin* de 5nm são coerentes e podem ser adotados para expressar as características físicas reais dos nanofios transistores empilhados medidos.

Figura 98 – Resultados medidos e simulados de C_{GC} em função de V_{GS} para nanofios transistores empilhados com L = 100nm. Os NWs foram simulados com W_{FIN} = 15nm e EOT = 1,15 ± 0,1nm (A) e EOT = 1,15nm e W_{FIN} = 15 ± 3nm (B).



Fonte: Autor

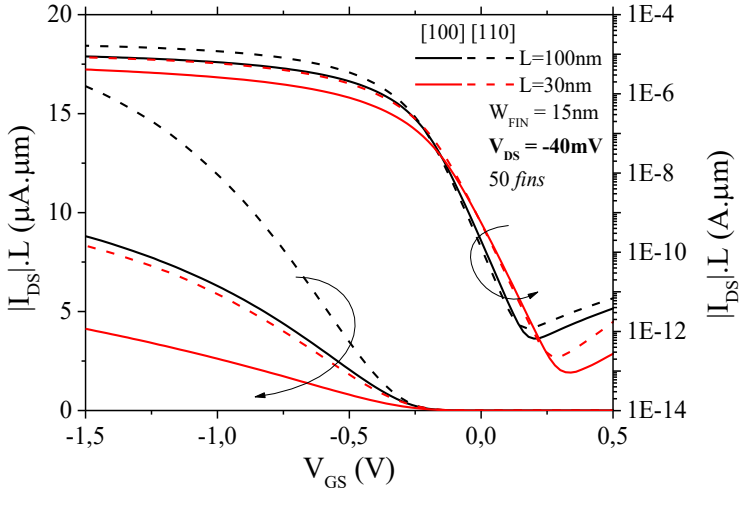
4.3.3 Extração de parâmetros básicos

Uma vez conhecidos todos os parâmetros que descrevem a estrutura dos NWs empilhados da Tabela 10, após a extração de EOT e W_{FIN}, é possível seguir com a caracterização elétrica dos NWs empilhados e extrair parâmetros básicos que determinam o seu comportamento. Os resultados apresentados nessa seção, ainda que relacionados à

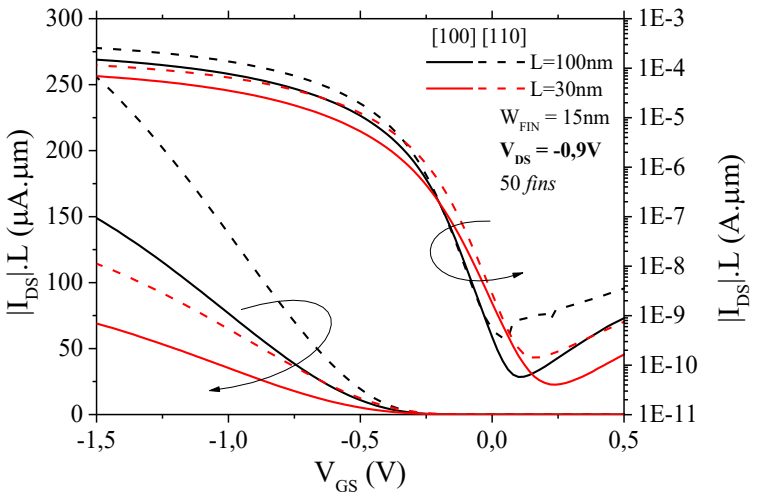
extração de parâmetros básicos, são inéditos, pois os NWs empilhados da Figura 93 foram medidos e estudados em função de W_{FIN} e L pela primeira vez neste trabalho, uma vez que o contato com esses dispositivos ocorreu poucos meses após sua fabricação.

A corrente de dreno em função da tensão de porta para NWs empilhados com L = 100 e 30nm está apresentada na Figura 99. Duas orientações cristalográficas são comparadas em baixo (A) e alto (B) campo elétrico horizontal, V_{DS} = -40mV e -0.9V, respectivamente. Uma vez que a orientação convencional para MOSFETs é [110] (0°), a orientação do canal dos dispositivos na direção [100] indica que a estrutura foi rotacionada em 45°. [110]-NWs possuem superfícies do topo e lateral nos planos (100) e (110), respectivamente, enquanto [100]-NWs apresentam ambas as superfícies no plano (100). Como a mobilidade das lacunas é maior no plano (110) em comparação com o plano (100), [110] é a direção preferida para o canal de NWs tipo p (TAKAGI et al., 1994b). Isso explica os resultados na Figura 99, em que a corrente de dreno é maior para os nanofios empilhados orientados em [110]. Adicionalmente, foi reportado na literatura que o tensionamento uniaxial compressivo, induzido por regiões de SiGe na fonte e no dreno, degrada a mobilidade das lacunas em [100]-NWs (PELLOUX-PRAYER et al., 2014). O estudo de Pelloux-Prayer et al. demonstrou que os coeficientes piezoresistivos longitudinais de [100]-NWs reduzem com a diminuição de W_{FIN}, atingindo valores bastante negativos, o que caracteriza um tensionamento do tipo tensivo. Dessa forma, a contribuição do tensionamento resultante, em nanofios transistores orientados na direção [100], deve ser prejudicial para a mobilidade das lacunas.

Figura 99 – $|I_{DS}|.L$ em função de V_{GS} para V_{DS} = -40mV (A) e -0,9V (B). São apresentados nanofios transistores empilhados orientados nas direções [110] e [100], com W_{FIN} = 15nm e L = 100 e 30nm.



(A)

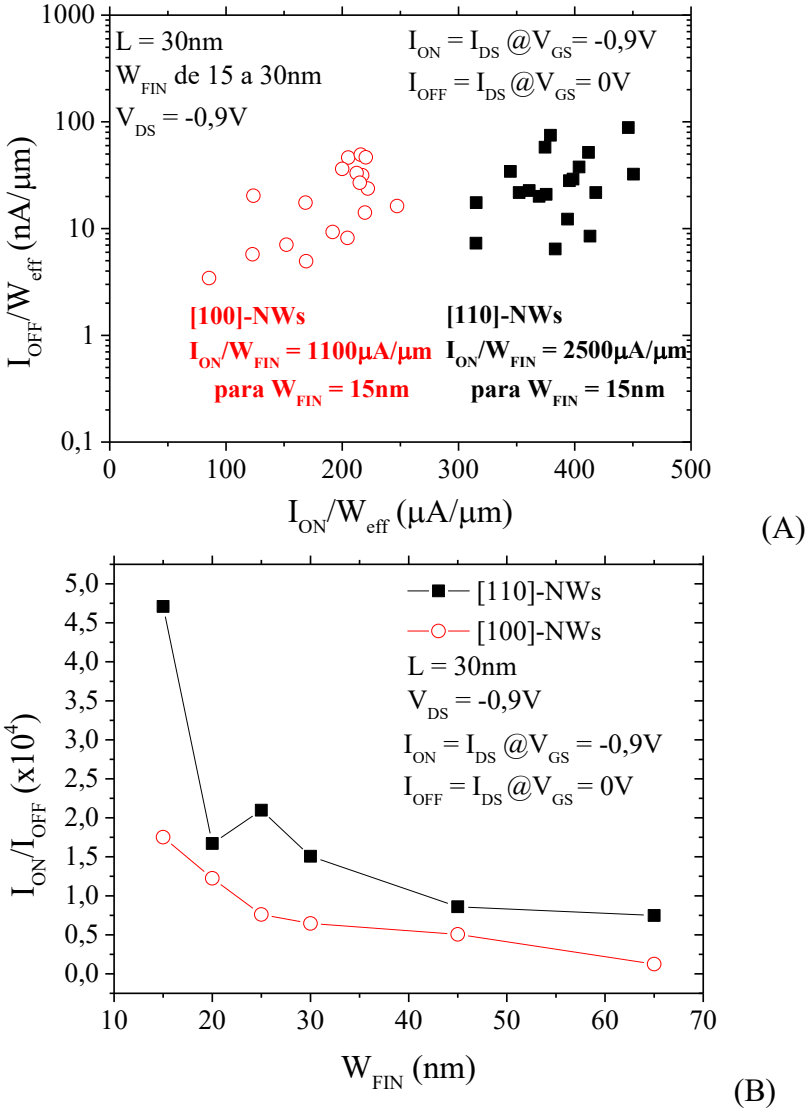


(B)

Fonte: Autor

A Figura 100 apresenta I_{OFF}/W_{eff} em função de I_{ON}/W_{eff} (A) e I_{ON}/I_{OFF} em função de W_{FIN} (B) para L = 30nm, em V_{DS} = -0,9V. As correntes de estado ligado (I_{ON}) e desligado (I_{OFF}) foram obtidas com V_{GS} = 0 e -0,9V, respectivamente. A Figura 100.A apresenta não somente os resultados normalizados por W_{eff}, mas também por W_{FIN}, para NWs com W_{FIN} = 15nm. A normalização de I_{ON} por W_{eff} possui um significado físico importante, pois calcula a quantidade de corrente que flui por unidade de comprimento, considerando todos os 7 canais de condução que se formam nos níveis do topo e de baixo. Por outro lado, o empilhamento de duas ou mais estruturas tem por objetivo aumentar a quantidade de corrente por unidade de área de topo, o que pode ser avaliado através da normalização de I_{ON} por W_{FIN}. I_{ON}/W_{eff} para [110]-NWs é de até 450µA/µm, enquanto I_{ON}/W_{FIN} vale até 2500µA/µm, em comparação com 250µA/µm (I_{ON}/W_{eff}) e 1100µA/µm (I_{ON}/W_{FIN}) para [100]-NWs. Além disso, uma corrente de estado desligado similar é observada em ambas as orientações cristalográficas na Figura 100.A e B mostra uma razão I_{ON}/I_{OFF} na ordem de ~10^4, maior para [110]-NWs e aumentando com a redução de W_{FIN}. Reduzindo W_{FIN} de 65nm até 15nm, aumentos de 6.3 e 14.1 vezes são obtidos para NWs orientados nas direções [110] e [100]. Melhorias de I_{ON}/I_{OFF} com a redução da largura do *fin* estão relacionadas à redução da inclinação de sublimiar, que reduz I_{OFF}, e o aumento da mobilidade das lacunas, que aumenta I_{ON}.

Figura 100 – I_{OFF}/W_{eff} em função de I_{ON}/W_{eff} (A) e I_{ON}/I_{OFF} em função de W_{FIN} (B). São apresentados nanofios transistores empilhados com canal orientado nas direções [110] e [100], com L = 30nm, emV_{DS} = -0,9V.

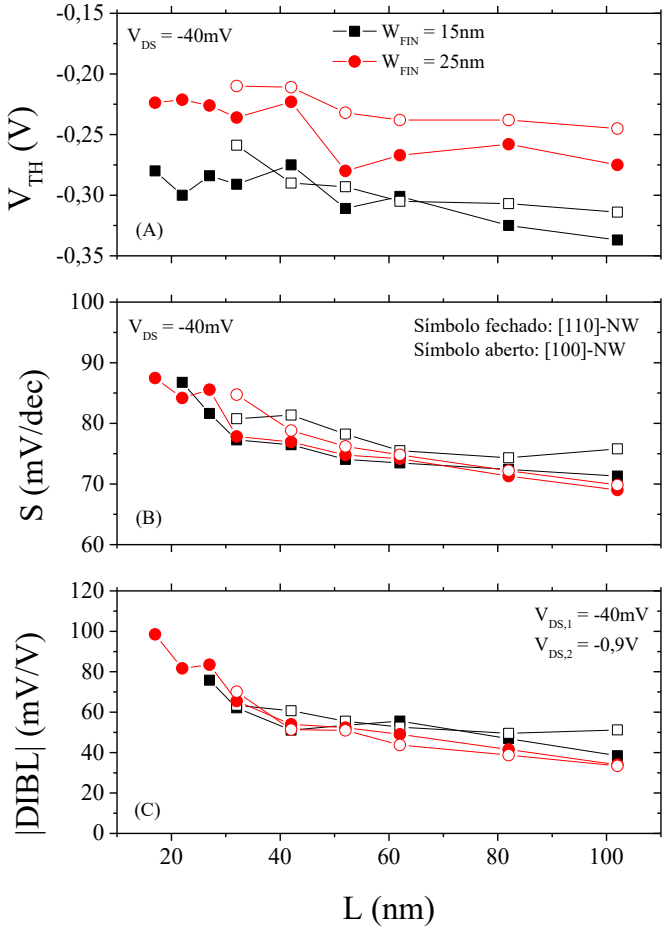


Fonte: Autor

A fim de avaliar os efeitos de canal curto que os nanofios transistores empilhados sofrem com a redução do comprimento do canal, a Figura 101 apresenta V_{TH} (A), S (B) e |DIBL| (C) em função de L, para [110]- e [100]-NWs com W_{FIN} = 15 e 25nm. Para os NWs com comprimento de canal de 15nm, o aumento da tensão de limiar é de 60mV, que corresponde a 24% em relação ao dispositivo mais longo, e a degradação de S é 18mV/dec ou 26% em relação ao dispositivo mais longo. Para [110]-NWs com W_{FIN} = 25nm, S é menor do que 88mV/dec e |DIBL| é inferior a 100mV/V mesmo para transistores com canal de 15nm. Além disso, ambas as orientações cristalográficas apresentam resultados semelhantes, conforme previsto nas curvas em escala logarítmica da Figura 99. Os reduzidos efeitos de canal curto observados nos NWs empilhados são esperados, uma vez que as estruturas

possuem aletas de silício bastante finas e estreitas, promovendo um bom controle eletrostático da estrutura.

Figura 101 – V_{TH} (A), S (B) e |DIBL| (C) em função de L para nanofios transistores empilhados orientados nas direções [110] e [100], com W_{FIN} de 15 e 25nm. As tensões de limiar para o cálculo de DIBL foram extraídas através do método da corrente constante, com $I_{DS} = 10^{-8}W_{eff}/L$.

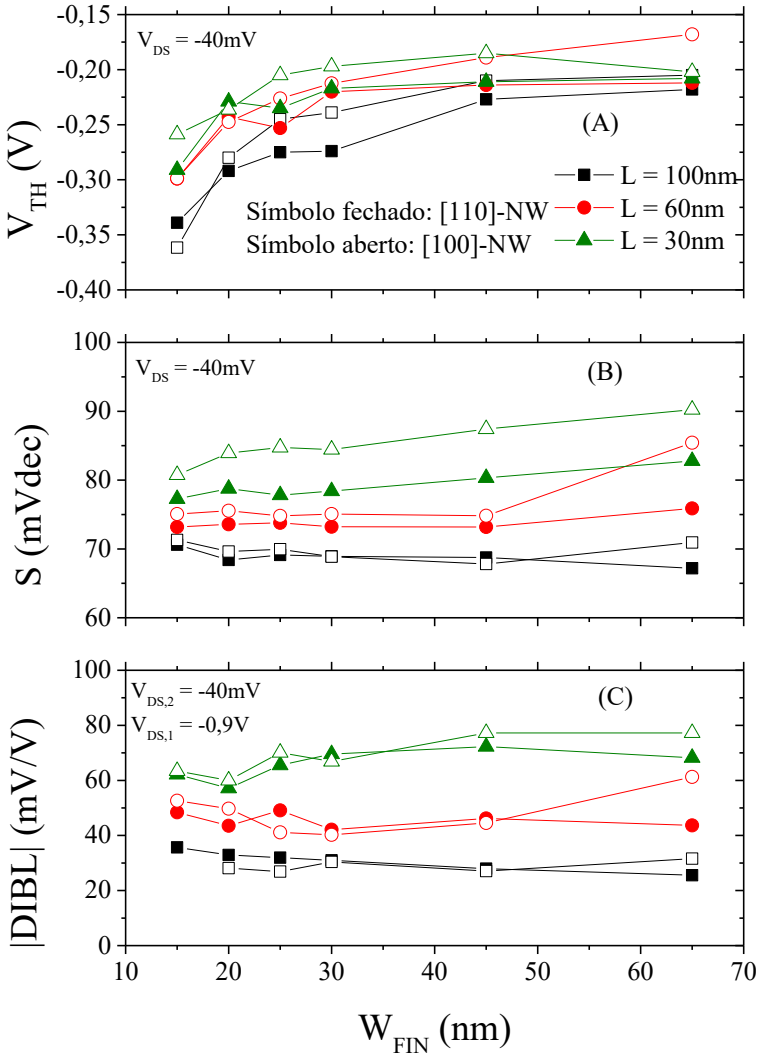


Fonte: Autor

Para avaliar a influência de W_{FIN} nos efeitos de canal curto, a Figura 102 apresenta V_{TH} (A), S (B) e |DIBL| (C) em função de W_{FIN}, para [110]- e [100]-NWs com L = 30, 60 e 100nm. A variação de V_{TH} é de, aproximadamente, 150mV, comparando os nanofios transistores empilhados mais largo e estreito, W_{FIN} = 65 e 15nm. Através de S e |DIBL|, é observada uma dependência quase constante, variando W_{FIN}, para L = 100nm e 60nm. Com L = 30nm, 5 e 10mV/dec de melhorias são obtidas para a inclinação de sublimiar reduzindo W_{FIN} até 15nm, para [110]- e [100]-NWs, respectivamente. A redução de S promove uma grande melhoria em I_{OFF} e menores valores de S para os nanofios transistores orientados em

[100] corroboram com o seu aumento de I_{ON}/I_{OFF} (14.1 vezes em comparação com 6.3 vezes para [110]-NWs, de W_{FIN} = 65 até 15nm, conforme discutido na Figura 100).

Figura 102 – V_{TH} (A), S (B) e |DIBL| (C) em função de W_{FIN} para nanofios transistores empilhados orientados nas direções [110] e [100], com L = 30, 60 e 100nm.



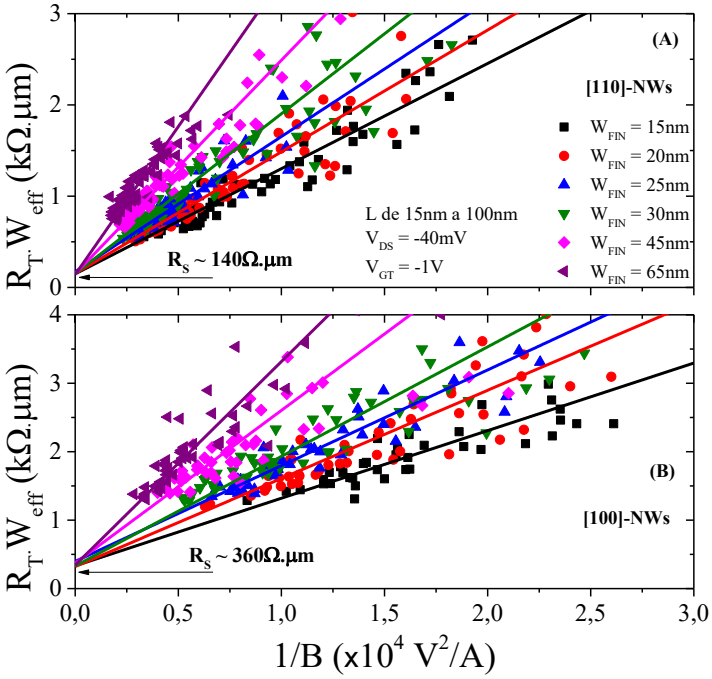
Fonte: Autor

4.3.4 Mobilidade dos portadores

A Figura 103 apresenta os resultados para a resistência total, calculados através de V_{DS}/I_{DS} e normalizados por W_{eff}, em função do inverso do ganho do transistor ($B = \mu_{eff}C_{OX}W_{eff}/L$), para NWs orientados nas direções [110] (A) e [100] (B), V_{DS} = -40mV e V_{GT} = -1V. As linhas sólidas representam a regressão linear de todos os pontos, para cada um dos valores de W_{FIN}. O ganho dos transistores foi extraído através do método da função Y (GHIBAUDO, 1988) e o ponto de cruzamento das linhas com o eixo vertical indicam a

resistência série. Embora haja dispersão dos dados, principalmente para os NWs mais estreitos, uma boa linearidade dos dados permite a extração de R_S em torno de 140 e 360Ωμm, para [110]- e [100]- NWs, respectivamente. Aproximadamente, os mesmos valores de $R_T.W_{eff}$ em 1/B = 0 são obtidos para todas as larguras de *fin* estudadas, de 15 a 65nm, indicando que R_S é mantida com a variação de W_{FIN} para todo o intervalo de L, de 100 até 15nm.

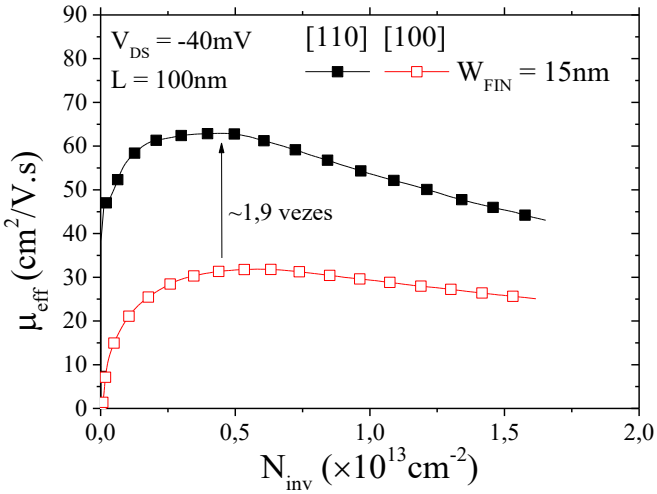
Figura 103 – $R_T.W_{eff}$ em função de 1/B para nanofios transistores empilhados orientados na direção [110] (A) e [100] (B). L varia de 15 a 100nm, W_{FIN} = 15, 20, 25, 30, 45 e 65nm.



Fonte: Autor

Após a correção de R_S através da equação (47), a qual é importante em NWs com comprimento de canal curto, foi realizado um estudo da mobilidade das lacunas. A Figura 104 apresenta μ_{eff} em função de N_{inv}, extraída através da técnica de Split C-V para NWs orientados nas direções [110] e [100], com L = 100nm e W_{FIN} = 15nm. Um fator próximo de 2 separa as mobilidades máximas dos dispositivos em [110] e [100], o que concorda com os resultados da corrente de dreno na Figura 99. Os [110]-NWs apresentam maior mobilidade, menor resistência série e inclinação de sublimiar ligeiramente menor em comparação com os nanofios transistores empilhados com o canal na direção [100], o que explica os resultados de I_{ON}/W_{eff} da Figura 100.

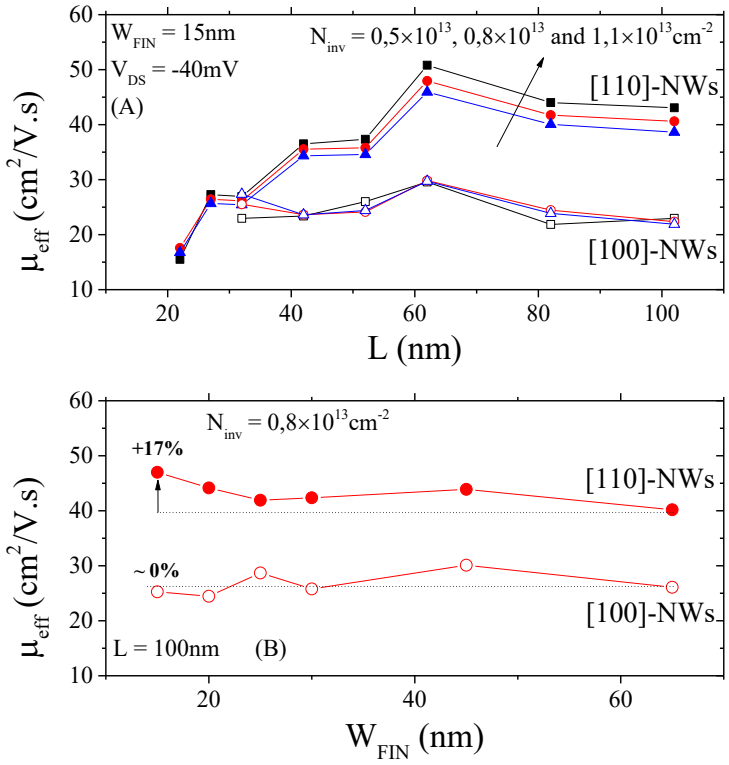
Figura 104 – μ_{eff} em função de N_{inv} para nanofios transistores empilhados orientados nas direções [110] e [100], com L = 100nm, W_{FIN} = 15nm e V_{DS} = -40mV.



Fonte: Autor

A Figura 105 apresenta μ_{eff} em função de L (A), extraída pelo método da função Y, e em função de W_{FIN} (B), extraído pelo método de Split C-V. A Figura 105.A mostra que [110]-NWs apresentam maior mobilidade e maior degradação para L < 60nm. NWs orientados em [100] possuem mobilidade, praticamente, constante até L = 30nm, e valores similares variando N_{inv}, conforme esperado da Figura 104, em que a mobilidade efetiva apresenta pequenas degradações com o aumento de N_{inv}. A Figura 105.B destaca um aumento de até 17% com a redução de W_{FIN} para NWs orientados em [110], enquanto [100]-NWs apresentam um comportamento constante, concordando com resultados de MOSFETs de porta tripla na literatura (PELLOUX-PRAYER et al., 2016b). De fato, as melhorias esperadas para a mobilidade das lacunas devido ao aumento da contribuição das superfícies laterais, nos planos (110), não ocorrem em transistores orientados em [100], pois todas as superfícies, laterais e do topo, estão no mesmo plano, (100). A análise da mobilidade destes dispositivos permite concluir que os benefícios observados no aumento de I_{ON}/I_{OFF}, reduzindo W_{FIN} até 15nm, estão mais relacionados às melhorias da inclinação de sublimiar do que da mobilidade, especialmente para os [100]-NWs.

Figura 105 – μ_{eff} em função de L (A) e W_{FIN} (B) para nanofios transistores empilhados orientados em [110] e [100], com V_{DS} = -40mV.



Fonte: Autor

É possível observar, de maneira geral, que valores relativamente baixos foram obtidos para a mobilidade de NWs empilhados, em comparação com os valores obtidos para p-NWs não empilhados (Figura 89), mesmo sem tensionamento mecânico. Ainda que os NWs empilhados mais longos possuam L = 100nm, 100 vezes inferior ao comprimento de canal dos p-NWs não empilhados estudados (L = 10μm), este fato não justifica os valores de μ_{eff} encontrados na Figura 104. Somente após o estudo individual de cada um dos dois níveis que compõe o NW empilhado, realizado na seção 4.3.5, será possível compreender a razão dos baixos valores de mobilidade obtidos nessa seção.

4.3.5 Dissociação dos canais de condução dos níveis de cima e de baixo de nanofios transistores empilhados em dois níveis

Os estudos realizados para nanofios transistores empilhados neste trabalho até então verificaram as propriedades elétricas da estrutura total, dos dois níveis operando em conjunto como um único transistor. No entanto, para avaliar melhor o comportamento elétrico da nova estrutura e permitir otimizações tecnológicas para futuras rodadas de fabricação, é de grande

relevância a avaliação dos nanofios que compõe os níveis de baixo e de cima de maneira isolada.

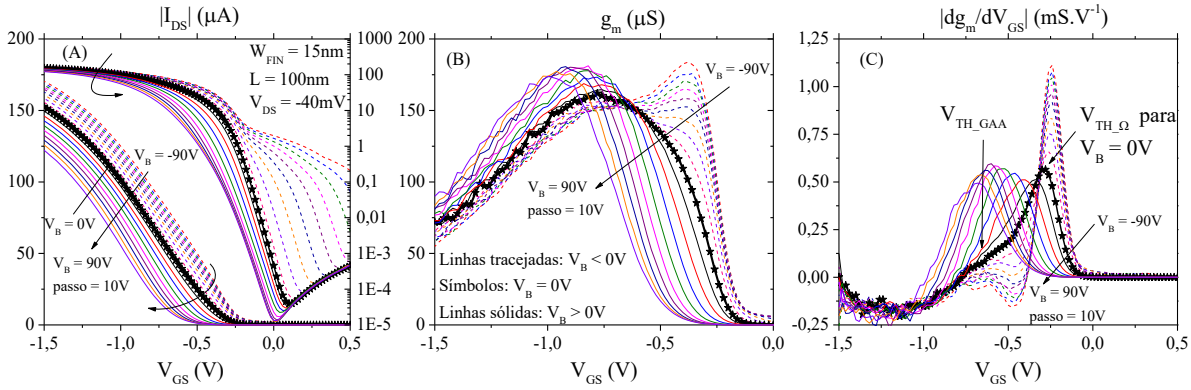
Analisando a representação esquemática da vista frontal dos NWs empilhados da Figura 93, podemos observar que o NW do nível de baixo, Ω, é sensível à variação de V_B, devendo apresentar a mesma dependência observada para p-NW não empilhado estudado na seção 4.1.3. Por outro lado, o NW do nível de cima, GAA, apresenta a porta frontal circundando todo o *fin*, o que torna insensível à polarização do substrato. Utilizando esse conceito, nessa seção será apresentado um estudo dos NWs empilhados variando a polarização de substrato a fim de dissociar os canais de condução dos níveis de cima e de baixo da estrutura empilhada. Um método para a extração da mobilidade de cada um dos níveis será apresentado com base na função Y e em um trabalho da literatura que dissocia os canais de estruturas planares empilhadas (DUPRÉ et al., 2009). A diferença entre este trabalho e (DUPRÉ et al., 2009) consiste principalmente na inclusão do efeito de V_B nos parâmetros de mobilidade. Como observado na seção 4.1.3, V_B apresenta um grande impacto em μ_0 de NWs com porta Ω.

A Figura 106 apresenta I_{DS} (A), g_m (B) e sua derivada em relação a V_{GS} (C) em função de V_{GS} para nanofio transistor empilhado com W_{FIN} = 15nm, L = 100nm, V_{DS} = -40mV, variando V_B de -90V a 90V. A Figura 106.A mostra o deslocamento das curvas de I_{DS} relacionado à variação de V_{TH} com V_B. Também é observada uma pequena corrente de condução na segunda interface na região de sublimiar das curvas em escala logarítmica, para V_B negativo.

A Figura 106.B apresenta dois picos distintos de g_m dependendo de V_B, sugerindo um descasamento entre as tensões de limiar dos NWs dos níveis de cima e de baixo, uma vez que dois picos podem ser percebidos na curva de g_m com V_B = 0V (símbolos), o primeiro mais suave em $V_{GS} \cong$ -0,42V e o segundo em $V_{GS} \cong$ -0,76V. Dois efeitos contrários estão sobrepostos nas curvas de g_m. Primeiro, a transcondutância máxima reduz com o aumento de V_B devido à degradação de mobilidade, como demonstrado na seção 4.1.3. Esse efeito é observado claramente para V_B negativo (linhas tracejadas). Segundo, devido ao descasamento das tensões de limiar, com o aumento de V_B positivo, conforme as conduções dos níveis de baixo e de cima se aproximam, isto é, conforme a tensão de limiar do NW do nível de baixo ($V_{TH_\Omega G}$) diminui e se aproxima da tensão de limiar do nível de cima (V_{TH_GAA}), os picos de g_m de cada nível se aproximam e se sobrepõem de modo que é observado um aumento do pico de g_m com aumento de V_B. Esse efeito é percebido nas curvas de linhas sólidas (V_B > 0V).

A Figura 106.C confirma a existência do descasamento entre V_{TH_GAA} e $V_{TH_\Omega G}$ para $V_B = 0V$. O pico constante e insensível à V_B indica V_{TH_GAA}, enquanto o pico mais expressivo que varia com V_B está relacionado à $V_{TH_\Omega G}$. Nenhum pico de dg_m/dV_{GS} é observado devido a condução na segunda interface, devido à sua pequena contribuição, face a contribuição das conduções dos NWs dos níveis Ω e GAA. Os descasamentos de V_{TH} podem estar relacionados à presença de armadilhas no nanofio do topo, GAA, o qual apresenta um valor de V_{TH} muito inferior em relação ao nanofio de baixo. O nível GAA é mais suscetível a defeitos após os processos de corrosão seletiva do SiGe e substituição do metal da porta (RMG) em relação ao NW de baixo.

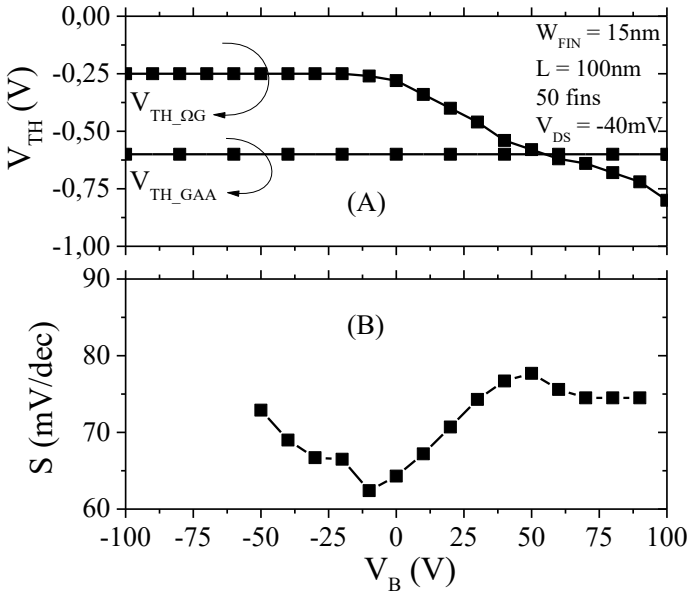
Figura 106 – $|I_{DS}|$ (A), g_m (B) e $|dg_m/dV_{GS}|$ (c) em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm, V_{DS} = -40mV e V_B de -90 a 90V.



Fonte: Autor

A Figura 107 apresenta V_{TH} (A) para cada um dos níveis do NW empilhado e S para a estrutura completa (B) em função de V_B. A tensão de limiar foi extraída através do método da segunda derivada (ORTIZ-CONDE et al., 2002), conforme demonstrado na Figura 106.C. É possível observar que $V_{TH_\Omega G}$ exibe um patamar constante para $V_B < -10V$, porque a segunda interface do nanofio do nível de baixo opera em inversão, o que degrada o sublimiar da estrutura empilhada. Para $V_B > -10V$, a segunda interface está em depleção e $V_{TH_\Omega G}$ reduz linearmente com o aumento de V_B, enquanto V_{TH_GAA} se mantém constante. Como os NWs apresentam uma camada de silício bastante fina, a segunda interface do NW do nível de baixo nunca atinge acumulação (CRISTOLOVEANU et al., 2017). Em V_B = 50V, $V_{TH_\Omega G}$ = V_{TH_GAA} e as características de sublimiar observadas na corrente de dreno são determinadas pelo comportamento do nível GAA para $V_B \geq 50V$.

Figura 107 – V_{TH} (A) e S (B) em função de V_B para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV.



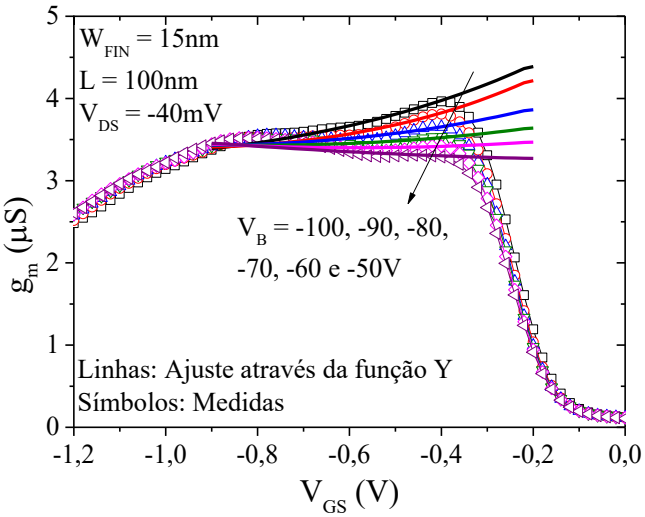
Fonte: Autor

Uma vez que medidas I_{DS} – V_{GS} variando V_B são realizadas para nanofios empilhados, é possível fazer a dissociação das mobilidades dos níveis de baixo e do topo, utilizando a metodologia proposta abaixo, que consiste em 3 passos.

Primeiro passo:

A fim de obter os parâmetros de mobilidade correspondentes ao comportamento geral da estrutura, relacionado à soma das contribuições do nível Ω e do nível GAA, o método da função Y é aplicado à corrente total medida, I_{DS}. A região de interesse escolhida para aplicar o método da função Y para extrair os parâmetros deve indicar a dependência com a polarização do substrato. A curva que retrata a influência de V_B mais facilmente é a da transcondutância, em que é observada a redução dos valores máximos de g_m com aumento de V_B. Neste passo, V_B deve ser negativo, pois ambos V_{TH_Ω} e V_{TH_GAA} são constantes, o que indica que a variação da máxima transcondutância está associada somente a variação de μ_{eff} e não ao deslocamento da corrente do nível Ω, I_{DS_Ω}, e superposição das curvas de corrente, I_{DS_Ω} e I_{DS_GAA}. A Figura 108 apresenta medidas e modelo obtido através do ajuste da função Y de g_m em função de V_{GS} para um NW empilhado com W_{FIN} = 15nm e L = 100nm, variando V_B de -50 a -100V e V_{DS} = -40mV. É possível notar que o modelo da função Y representa corretamente as curvas de g_m e sua variação com V_B.

Figura 108 – Primeiro passo. Medidas e modelo obtido através do ajuste da função Y. g_m em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV.



Fonte: Autor

Os parâmetros extraídos, através da função Y das curvas da Figura 108, para μ_0, θ_1 e θ_2 em função de V_B estão apresentados na Figura 109. Os símbolos representam os dados extraídos e as linhas tracejadas indicam regressões lineares dos dados. Os resultados da Figura 109 correspondem ao comportamento total da estrutura empilhada. Conforme verificado na seção 4.1.3, uma dependência linear entre a mobilidade de baixo campo e V_B é esperada para NWs com porta Ω, o que está de acordo com os resultados da Figura 109.A. Adicionalmente, a Figura 109.B indica que a dependência dos coeficientes de degradação da mobilidade com V_B também pode ser aproximada por equações de retas. Através das regressões lineares, são atribuídos coeficientes lineares e angulares para cada um dos parâmetros. Os coeficientes angulares indicam a dependência com V_B e podem ser atribuídos exclusivamente ao nível de baixo da estrutura empilhada, uma vez que o nível GAA independe de V_B. Assim, podemos escrever as seguintes equações para θ_1, θ_2 e μ_0 do nível Ω:

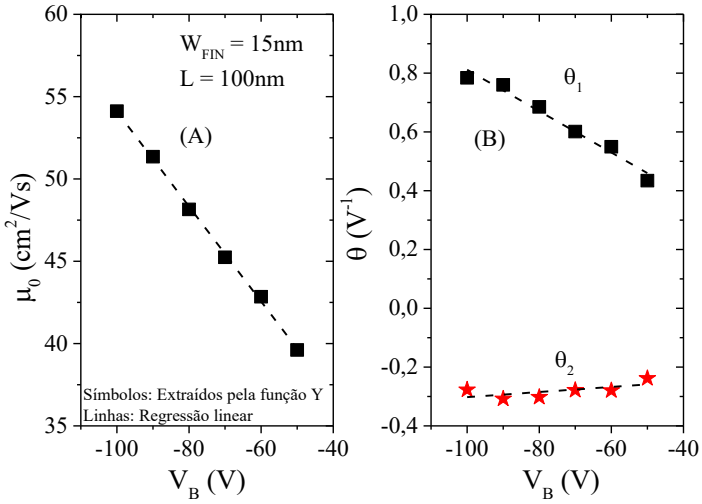
$$\theta_{1,\Omega G} = A_{\theta 1} + a_{\theta 1} \times V_B \quad (50)$$

$$\theta_{2,\Omega G} = B_{\theta 2} + b_{\theta 2} \times V_B \quad (51)$$

$$\mu_{0,\Omega G} = C_{\mu 0} + c_{\mu 0} \times V_B \quad (52)$$

Sendo que os coeficientes angulares ($a_{\theta 1}$, $b_{\theta 2}$ e $c_{\mu 0}$) da dependência dos parâmetros de mobilidade com V_B para o nível de baixo correspondem aos coeficientes angulares extraídos da Figura 109, para a estrutura total empilhada. Para o nível GAA, os parâmetros de degradação da mobilidade e mobilidade de baixo campo são constantes, indicadas por $\theta_{1,GAA}$, $\theta_{2,GAA}$ e $\mu_{0,GAA}$.

Figura 109 – Primeiro passo. Parâmetros extraídos para nanofio empilhado com W_{FIN} = 15nm e L = 100nm.



Fonte: Autor

Segundo passo:

Para $V_B \geq 0$, não existe qualquer corrente devido a condução na segunda interface e a corrente de dreno da estrutura empilhada pode ser descrita através da equação (53).

$$I_{DS}(V_B \geq 0) = I_{DS,\Omega G}(V_B) + I_{DS,GAA} \tag{53}$$

Utilizando o modelo simples de corrente para FD SOI MOSFETs considerado no método da função Y, as correntes para cada um dos níveis Ω e GAA, são dados pelas equações (54) e (55), respectivamente.

$$I_{DS,\Omega G}(V_B)=\frac{W_{eff,\Omega G}\times C_{OX}}{L}\frac{\mu_{0,\Omega G}(V_B)\times V_{GT,\Omega G}(V_B)\times V_{DS}}{1+\theta_{1,\Omega G}(V_B)\times V_{GT,\Omega G}(V_B)+\theta_{2,\Omega G}(V_B)\times V_{GT,\Omega G}{}^2(V_B)} \tag{54}$$

$$I_{DS,GAA}=\frac{W_{eff,GAA}\times C_{OX}}{L}\frac{\mu_{0,GAA}\times V_{GT,GAA}\times V_{DS}}{1+\theta_{1,GAA}\times V_{GT,GAA}+\theta_{2,GAA}\times V_{GT,GAA}{}^2} \tag{55}$$

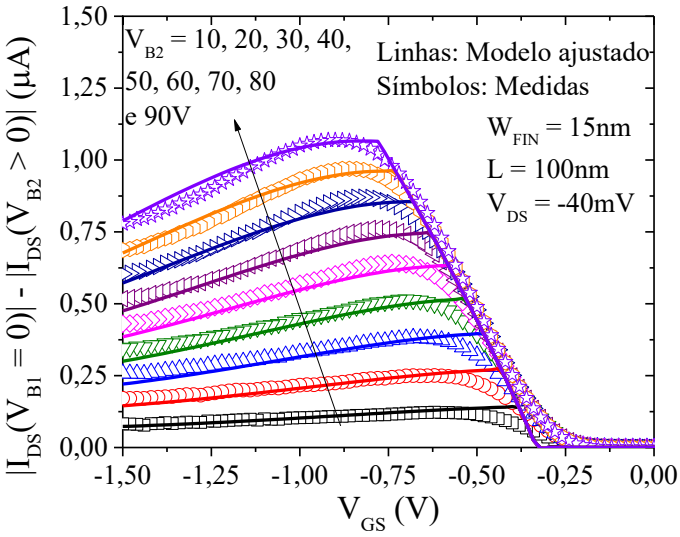
Desprezando descasamentos de W_{FIN} e H_{FIN} entre os níveis de cima e de baixo da estrutura empilhada, conforme sugerido pela imagem TEM da Figura 93.A, as larguras efetivas dos canais dos níveis Ω e GAA são $W_{eff,\Omega G} = (2H_{FIN} + W_{FIN})$ e $W_{eff,GAA} = (2H_{FIN} + 2W_{FIN})$, respectivamente.

Subtraindo (53) para um dado $V_{B1} \geq 0$ de (53) para $V_{B2} > V_{B1}$, a parcela de $I_{DS,GAA}$ é anulada na subtração, pois é constante com V_B e a corrente resultante depende apenas de $I_{DS,\Omega G}$. Se definimos como ΔI_{DS} a diferença entre as correntes totais da estrutura empilhada para dois valores distintos de V_B:

$$\Delta I_{DS}(V_B) = I_{DS}(V_{B1}\geq 0) - I_{DS}(V_{B2}>V_{B1}) = I_{DS,\Omega G}(V_{B1}) - I_{DS,\Omega G}(V_{B2}) \tag{56}$$

Igualando a equação (56) aos resultados experimentais da diferença das correntes medidas em diferentes condições de polarização de substrato, é possível determinar os coeficientes lineares $A_{\theta 1}$, $B_{\theta 2}$ e $C_{\mu 0}$ que faltam para descrever os parâmetros de mobilidade do NW do nível de baixo. A Figura 110 apresenta resultados das medidas e do modelo ajustado da equação (56) para ΔI_{DS} em função de V_{GS} com V_{B1} = 0V e diversos valores de V_{B2}, variando de 10 a 90V.

Figura 110 – Segundo passo. Medidas e modelo de ΔI_{DS} ajustado em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV.

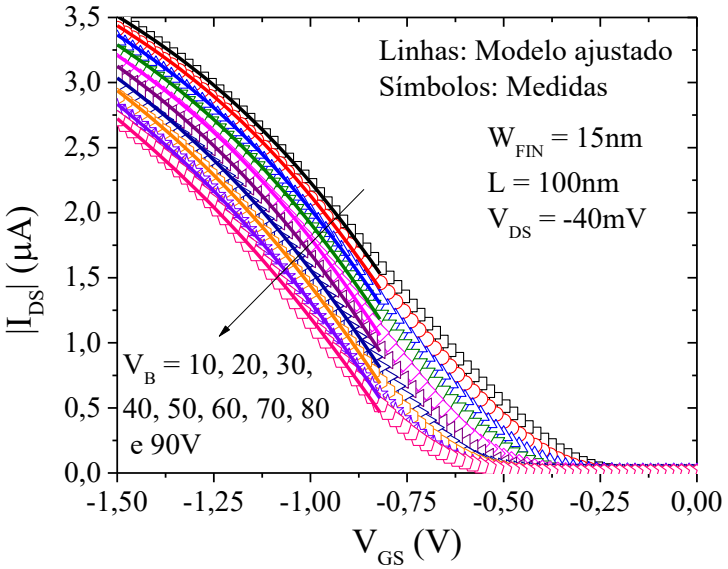


Fonte: Autor

Terceiro passo:

Ao término do segundo passo, $I_{DS,\Omega G}$ pode ser completamente calculada, uma vez que todos os parâmetros do NW do nível de baixo foram determinados. Assim, igualando as medidas de I_{DS} à equação (53), é possível extrair os parâmetros $\theta_{1,GAA}$, $\theta_{2,GAA}$ e $\mu_{0,GAA}$, referentes ao NW GAA do nível de cima. A Figura 111 apresenta as medidas experimentais e as curvas obtidas através do modelo da equação (53) para V_B positivo de 10 a 90V. Para o terceiro passo, V_B deve ser positivo para garantir que não haja qualquer componente de corrente gerada na segunda interface que deva ser considerada na expressão que representa o modelo de I_{DS} (equação (53)).

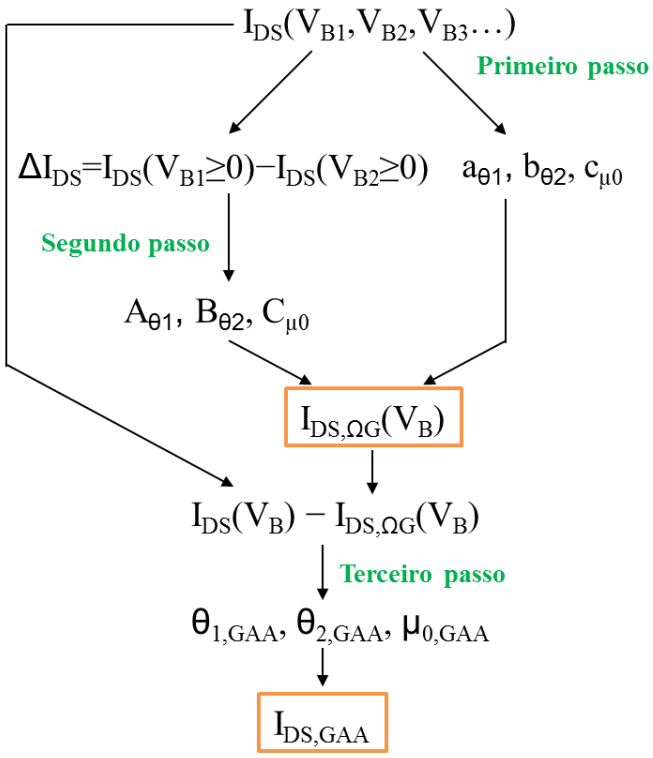
Figura 111 – Terceiro passo. Medidas e modelo de $|I_{DS}|$ ajustado em função de V_{GS} para nanofio empilhado com W_{FIN} = 15nm, L = 100nm e V_{DS} = -40mV.



Fonte: Autor

A Figura 112 apresenta o esquema do procedimento completo proposto e utilizado para extrair os parâmetros de mobilidade dos níveis Ω e GAA da estrutura empilhada.

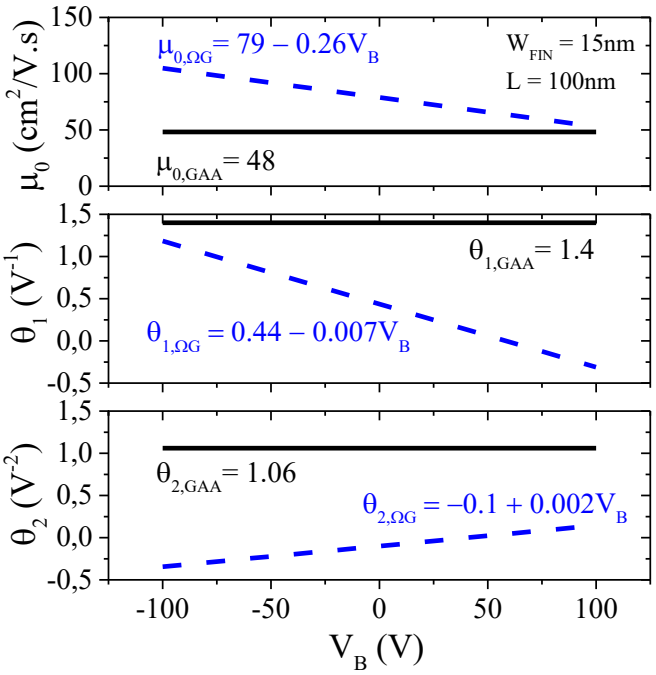
Figura 112 – Representação esquemática do método proposto, discriminando os passos 1 a 3.



Fonte: Autor

A Figura 113 apresenta os parâmetros extraídos para os NWs de ambos os níveis da estrutura empilhada. Resultados similares de μ_0 foram obtidos comparando o nível de baixo da estrutura empilhada (79 – 0,26V_B) com o p-NW não empilhado da Figura 70 (80 – 0,21V_B), o que corrobora com a validação da metodologia proposta. Um valor menor de mobilidade de baixo campo foi obtido para o nível GAA em comparação com o nível de baixo, o que provavelmente está relacionado a defeitos na interface gerados após a corrosão das aletas, os quais também teriam deslocado V_{TH_GAA} nos resultados da Figura 107.A. Adicionalmente, ligeira redução de μ_0 para NWs GAA são esperados em comparação com NWs de porta Ω devido a maior contribuição de superfícies no plano (100)/[110] (KOYAMA et al., 2013). O valor degradado de μ_0 encontrado para o nível GAA é responsável pela reduzida mobilidade total do NW empilhado observada na seção 4.3.4. Adicionalmente, o descasamento entre as tensões de limiar entre os níveis prejudica a extração da mobilidade total do NW empilhado através do método da função Y, que considera uma única expressão de I_{DS} para a estrutura como um todo.

Figura 113 – Parâmetros extraídos através da metodologia proposta para nanofio empilhado com W_{FIN} = 15nm e L = 100nm.

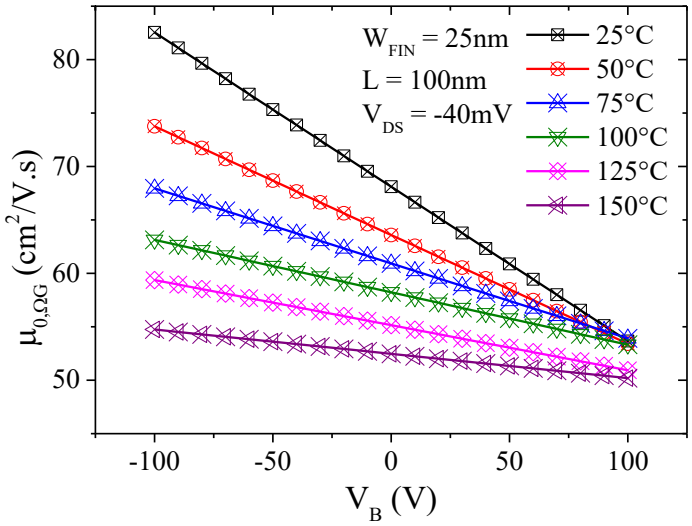


Fonte: Autor

4.3.5.1 Influência da temperatura na mobilidade de baixo campo de cada um dos níveis de nanofios transistores empilhados

Aplicando a metodologia descrita na Figura 112 em nanofios empilhados sob diferentes condições de temperatura, é possível estudar a dependência da temperatura sobre a influência da polarização de substrato na mobilidade de baixo campo. A Figura 114 apresenta resultados extraídos de μ_0 para o nível Ω em função de V_B, variando T de 25 a 150°C, para um NW empilhado com W_{FIN} = 25nm, L = 100nm e V_{DS} = -40mV. É possível observar a redução da mobilidade com o aumento da temperatura (GUTIÉRREZ-D., 2001), reduzindo de 68cm^2/V.s (em 25°C e V_B = 0V) para 52cm^2/V.s (em 150°C e V_B = 0V), o que representa uma degradação de 21%. A menor mobilidade de baixo campo obtida para W_{FIN} = 25nm (68cm^2/V.s em 25°C e V_B = 0V) em comparação com W_{FIN} = 15nm (79cm^2/V.s em 25°C e V_B = 0V, observados na Figura 113) se deve a maior contribuição do plano (100)/[110] em comparação com o plano (110)/[110], que proporciona maior mobilidade para as lacunas. Adicionalmente, é possível observar que a inclinação das curvas reduz significativamente com o aumento de T, sugerindo maior influência da polarização do substrato para condições de menor temperatura.

Figura 114 – Parâmetros extraídos de $\mu_{0,\Omega G}$ através da metodologia proposta em função de V_B para nanofio empilhado com W_{FIN} = 25nm, L = 100nm, V_{DS} = -40mV e temperatura variando de 25 a 150°C.

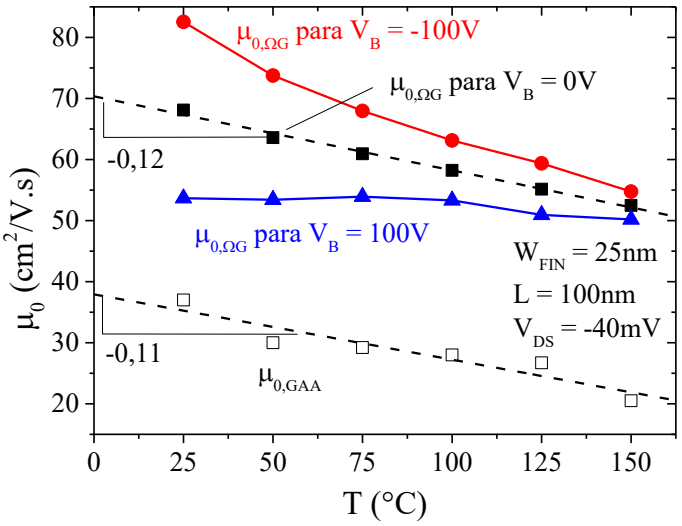


Fonte: Autor

A Figura 115 apresenta μ_0 em função de T para ambos os níveis de cima e de baixo do NW empilhado com W_{FIN} = 25nm, L = 100nm e V_{DS} = -40mV. A influência da temperatura

na dependência de μ_0 com V_B está claramente demonstrada. Para $V_B = 0V$, ambos os níveis Ω e GAA apresentam similar inclinação de μ_0 com a variação de T ($\Delta\mu_0/\Delta T$), -0,12cm^2/V.s.°C e -0,11cm^2/V.s.°C, respectivamente. Conforme estudado na seção 4.1.3, a redução de V_B puxa a camada de inversão para o centro do canal, reduzindo a contribuição do espalhamento devido à rugosidade de superfície e aumentando a contribuição relacionada ao espalhamento por fônons. Conforme observado através dos resultados da seção 4.2.1, a mobilidade relacionada ao mecanismo de espalhamento devido à rugosidade de superfície não é dependente de T, diferente da mobilidade devido ao espalhamento por fônons, que depende fortemente de T, o que justifica a maior dependência de μ_0 com T reduzindo V_B.

Figura 115 – Parâmetros extraídos de μ_0 através da metodologia proposta em função de T para nanofio empilhado com W_{FIN} = 25nm, L = 100nm, V_{DS} = -40mV e diferentes valores de V_B para o NW do nível de baixo.



Fonte: Autor

5 CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho foi realizado com o objetivo de estudar o comportamento de nanofios transistores SOI fabricados em diferentes tecnologias, bem como propor e validar adaptações de métodos de extração de parâmetros, existentes na literatura para MOSFETs planares, através de medidas experimentais e simulações numéricas tridimensionais. Nanofios transistores MOS não empilhados com e sem tensionamento mecânico e nanofios transistores MOS empilhados e tensionados são estudados ao longo deste trabalho. As características elétricas de diferentes tecnologias são comparadas entre diferentes dispositivos, variando a largura do *fin*, o comprimento do canal e a temperatura. Todos os parâmetros estudados neste trabalho, como comportamento analógico, distorção harmônica, influência da polarização de substrato, efeito da temperatura e dissociação dos níveis do nanofio empilhado são correlacionados com a mobilidade dos portadores de carga. Potenciais candidatos para os próximos nós tecnológicos, que podem contribuir com a continuação da tecnologia CMOS, este trabalho traz evidências experimentais e discussões sobre o comportamento de estruturas avançadas de nanofios transistores, os quais apresentam vantagens em relação a dispositivos planares, devido ao seu melhor controle eletrostático e reduzidos efeitos de canal curto.

Inicialmente, foram estudados NWs SOI convencionais, isto é, sem tensionamento mecânico e sem empilhamento. Posteriormente, foram avaliadas as características elétricas de tecnologias mais avançadas de NWs não empilhados, as quais compreendem técnicas para aumentar a mobilidade dos portadores. Nanofios fabricados com tensionamento mecânico, n-NW sSOI e p-NW SGOI, foram estudados e comparados com NWs sem tensionamento mecânico. Por fim, dando mais um passo no que se refere à evolução da tecnologia de fabricação de nanofios, estruturas avançadas de NWs empilhados contendo tensão mecânica foram avaliados. A inflência da evolução das diferentes tecnologias de fabricação de nanofios transistores é avaliada através do estudo das características elétricas destes dispositivos.

Considerando o estudo de nanofios transistores não empilhados sem tensionamento mecânico, as medidas experimentais realizadas ao longo deste trabalho evidenciaram uma significativa redução do efeito de modulação do comprimento de canal, comparando nanofios estreitos com estruturas quasi-planares, devido ao seu bom acoplamento eletrostático e elevado controle das cargas na região do canal. Estas vantagens são responsáveis pelo bom desempenho analógico observado nos nanofios transistores estudados, os quais apresentaram melhorias nos parâmetros analógicos com a redução da largura do *fin*.

Uma dependência explícita da mobilidade efetiva dos portadores foi apresentada para a transcondutância de nanofios transistores de canal longo, variando a largura do fin. A redução da condutância de saída em dispositivos estreitos, devido ao menor efeito de modulação de comprimento de canal, determinou melhorias significativas no ganho intrínseco de tensão. Tanto o ganho intrínseco de tensão, como a tensão Early, são determinados pelo inverso do comportamento da condutância de saída, de modo que o efeito da variação da mobilidade que ocorre com a variação da largura do *fin* é anulado, após o cálculo da razão de g_m/g_D. Assim, mesmo possuindo menor transcondutância, nanofios estreitos tipo n apresentam melhores ganhos em relação a transistores de canal largo.

Foi verificado, através de simulações numéricas tridimensionais, que os nanofios transistores de tipo n e tipo p, de canal curto, sofrem de modo similar o efeito de modulação do comprimento de canal e, por esse motivo, possuem resultados similares para o ganho de tensão, variando a largura do *fin*. Nanofios transistores tipo n e tipo p com comprimento de canal de 40nm e largura do *fin* de 15nm apresentam ganho intrínseco de tensão 20dB maior do que transistores quasi-planares.

Ainda abordando o comportamento de nanofios transistores não empilhados sem tensionamento mecânico em regime de saturação, foi explorada a distorção harmônica de dispositivos de canal longo, tipo n, com variação da temperatura. A análise foi feita considerando os nanofios operando como amplificadores de transistor único, em dois casos distintos, primeiro, com amplitude fixa no sinal de entrada e, posteriormente, com amplitude fixa no sinal de saída, de modo a considerar as diferenças entre os valores de ganho intrínseco de tensão entre os transistores.

Foi observado que, embora a distorção harmônica de segunda ordem seja dominante e contribua com a maior parte da distorção harmônica total, a distorção harmônica de terceira ordem limita os picos de linearidade (mínimos de THD).

A origem dos mínimos de linearidade da distorção harmônica total, de segunda e terceira ordens foi investigada em função da largura do *fin* e da temperatura, através das curvas da mobilidade efetiva e seus principais mecanismos de espalhamento. A posição dos picos negativos da distorção harmônica total e de segunda ordem estão relacionados à transcondutância máxima. Assim como verificado, na literatura, para FinFETs, os picos negativos da distorção harmônica de terceira ordem dos nanofios transistores foram encontrados quando a sobretensão de porta aplicada é tal que o mecanismo principal de degradação da mobilidade efetiva varia de espalhamento por fônons para rugosidade de superfície. Com a redução da largura do *fin* e da temperatura, há um deslocamento dos picos

de linearidade. Assim, os mínimos da distorção harmônica total, de segunda e terceira ordens ocorrem para valores menores de sobretensão de porta, devido ao aumento da contribuição do espalhamento de rugosidade de superfície.

Quando a análise é feita com amplitude fixa no sinal de entrada, pequenas melhorias na linearidade são observadas com a redução da largura do *fin*. Por outro lado, considerando amplitude fixa na amplitude do sinal de saída, nanofios transistores estreitos apresentam uma redução da distorção harmônica total de até 14,4dB, em comparação com os transistores quasi-planares. Isto se deve ao fato de que o ganho intrínseco de tensão aumenta com a redução da largura do *fin*, conforme observado nos resultados anteriores, o que reduz a amplitude necessária no sinal de entrada.

A redução da temperatura leva ao aumento da não-linearidade, isto é, aumento da distorção harmônica, pois há uma pequena redução do ganho intrínseco de tensão. Nanofios transistores estreitos apresentam maior linearidade, mesmo comparando sua operação em baixa temperatura com transistores quasi-planares operando em temperatura ambiente.

Ainda considerando as características elétricas de nanofios transistores não empilhados sem tensionamento mecânico, foi detalhado o efeito da polarização do substrato na mobilidade de nanofios estreitos com porta Ω, por meio da utilização de medidas experimentais e simulações numéricas tridimensionais. Através de um estudo, obtido através de simulações, do potencial eletrostático, campo elétrico e densidade de lacunas, foi verificada a importância de se considerar a dependência da polarização do substrato na extração da mobilidade efetiva dos portadores, uma vez que a mobilidade de baixo campo é significativamente afetada pelo aumento da concentração de lacunas e deslocamento da camada de inversão com aumento de V_B. Uma dependência linear da mobilidade com a polarização de substrato foi evidenciada nas simulações e medidas para um vasto intervalo de valores de V_B.

A comparação do comportamento de parâmetros analógicos de nanofios transistores tipo n implementados em substratos SOI e sSOI (que indica presença de tensionamento mecânico do tipo tensivo, o qual é benéfico para a mobilidade dos elétrons) permitiu concluir que as estruturas apresentam distintos efeitos de modulação do comprimento de canal, de modo que a análise da condutância de saída depende não somente da largura do *fin*, mas também da sobretensão de porta. Como nanofios tensionados apresentam menor variação da condutância de saída com a sobretensão de porta, dispositivos estreitos, com W_{FIN} de 12 e 17nm, possuem maior ganho intrínseco de tensão em comparação com nanofios não tensionados, para altos valores de sobretensão de porta.

A influência da temperatura nos parâmetros de transcondutância e condutância de saída é determinada, praticamente, pela variação da mobilidade com a temperatura, sendo que acima de 100K, o comportamento da mobilidade é determinado pelo mecanismo de espalhamento por fônons e, abaixo de 100K, a mobilidade efetiva é limitada pelo espalhamento de rugosidade de superfície. A influência da temperatura no ganho intrínseco de tensão é quase anulada no cálculo de g_m/g_D. Para os nanofios transistores com tensionamento, variando a temperatura de 300 até 10K, há uma variação inferior a 8% do ganho intrínseco de tensão.

Nanofios transistores não empilhados tipo p de SiGe sobre isolante, com tensionamento do tipo compressivo, benéfico para a mobilidade das lacunas, foram estudados para temperaturas tão baixas quanto 5,2K. Maior variação de tensão de limiar com a variação da temperatura foi observada para nanofios quasi-planares em relação a dispositivos estreitos, de modo similar ao observado para n-NWs não empilhados tensionados.

Ondulações nas curvas de transcondutância e capacitância relacionadas ao confinamento das lacunas em uma direção e densidade de estados unidimensional são verificadas em nanofios SGOI, de modo que se tornam mais perceptíveis com a redução da temperatura, da largura do *fin* e do potencial aplicado ao dreno.

Devido ao uso de SiGe, os nanofios SGOI com largura de fin de 20nm apresentam aumento de 38% na mobilidade, em relação aos p-NWs não tensionados, apesar de sofrerem degradação em relação aos nanofios com largura de *fin* entre 40 e 100nm, provavelmente devido a efeitos de canto. Similares coeficientes de dependência com a temperatura foram extraídos para nanofios SOI e SGOI estreitos.

Antes de prosseguir com a caracterização elétrica dos nanofios transistores empilhados, foi necessário realizar a extração da espessura efetiva do óxido de porta e do valor real da largura do *fin*. Através da adaptação de métodos tradicionalmente utilizados em tecnologias planares, foram extraídos 1,15nm para a espessura efetiva do óxido de porta e 5nm para o descasamento entre os valores de máscara e real da largura do *fin* de 5nm. Os valores extraídos de EOT e W_{FIN} foram validados através de simulações numéricas tridimensionais.

Fazendo a normalização da corrente de estado ligado pela largura do *fin*, a fim de contabilizar o ganho de corrente pela área de topo, ao empilhar dois níveis de dispositivos, para nanofios empilhados com canal orientado na direção cristalográfica [110], com L = 30nm e W_{FIN} = 15nm, foi obtido até 2500μA/μm. Este valor é bastante alto considerando que uma menor mobilidade é esperada nesses transistores empilhados em relação a transistores de

porta tripla, devido a maior contribuição do plano (100). Transistores de porta tripla orientados na direção cristalográfica [110] possuem uma interface, de três, no plano (100), enquanto os transistores empilhados possuem 3 de 7.

Após avaliar a degradação da tensão de limiar, da inclinação de sublimiar e do DIBL, para nanofios transistores empilhados com comprimento de canal de até 15nm, foi concluído que os dispositivos apresentam reduzidos efeitos de canal curto, para ambas as orientações cristalográficas, devido ao bom controle eletrostático das cargas na região do canal, proveniente do acoplamento presente em estruturas estreitas com seção transversal tipo Ω e de porta circundante.

A análise da mobilidade efetiva dos transistores empilhados, através dos métodos de Split C-V e função Y, revelou um fator próximo de dois, comparando as duas orientações cristalográficas, de modo que, assim como em nanofios de porta tripla tipo p, a orientação cristalográfica preferencial para o canal dos nanofios transistores empilhados tipo p é [110].

Uma metodologia para separar as contribuições de cada um dos níveis empilhados foi proposta por meio da variação da polarização do substrato. O método proposto consiste em uma ferramenta valiosa para a otimização da tecnologia, uma vez que demonstrou ser capaz de efetuar a extração mobilidade de cada um dos níveis para um amplo intervalo de V_B. Foi observado um descasamento entre as tensões de limiar dos níveis de baixo e de cima e menor mobilidade de baixo campo para o nível do transistor GAA em comparação ao nível do transistor Ω. Com base nos resultados observados para a tensão de limiar, inclinação de sublimiar e mobilidade, acredita-se que o nível de cima apresenta maior quantidade de defeitos na interface, os quais degradam suas características e, portanto, o comportamento total do nanofio empilhado.

Embora os resultados obtidos para a mobilidade dos nanofios transistores empilhados sejam inferiores aos dos nanofios não empilhados devido a degradações significativas que foram evidenciadas para o nanofio GAA do nível de cima, esta estrutura empilhada é bastante promissora e atraiu o interesse da comunidade científica durante participação em eventos científicos internacionais. É importante ressaltar que nenhuma otimização da tecnologia foi implementada na fabricação dos NWs empilhados, a qual se trata da primeira lâmina fabricada que integra espaçadores internos e SiGe nas regiões de fonte e dreno, enquanto diversas lâminas de NWs não empilhados já foram fabricadas e otimizadas ao longo da última década. Por se tratar de um transistor nanométrico pertencente à fronteira do conhecimento, a existência de NWs empilhados que apresentem as características reportadas neste trabalho é motivadora para a continuação do desenvolvimento desta tecnologia.

O método proposto também foi aplicado em nanofios transistores empilhados até 150°C para estudar a dependência da mobilidade de baixo campo com a temperatura e a influência da polarização do substrato. Os resultados são consistentes com os efeitos físicos conhecidos para a dependência dos mecanismos de espalhamento da mobilidade com a temperatura, validando a metodologia proposta. A dependência da mobilidade com a temperatura para o nanofio do nível de baixo aumenta com a redução da polarização de substrato.

Para a continuidade dessa tese, poderia ser proposto o estudo da polarização do substrato para nanofios transistores largos, em que o aparecimento da condução na segunda interface pode alterar o comportamento da mobilidade efetiva. Para a realização deste estudo seria necessário o auxílio do simulador, uma vez que estruturas empilhadas com largura de fin maiores que 65nm não estão disponíveis. Também seria interessante a extração das armadilhas de interface de cada um dos níveis da estrutura de nanofios empilhados para confirmar as hipóteses levantadas de maior densidade de armadilhas e defeitos no nanofio do topo, em relação ao nanofio de baixo. Essa confirmação poderia ser de grande validade para a otimização do processo de fabricação dos nanofios empilhados, em que uma mesma tensão de limiar é desejável para ambos os níveis. A proposta de um modelo compacto para descrever a corrente elétrica de nanofios transistores empilhados também seria inédita e de grande utilidade para elaboração de projetos de circuitos. Adicionalmente, a fim de completar a análise do comportamento analógico das diferentes tecnologias de nanofios transistores MOS estudadas, seria necessária a extração dos parâmetros analógicos para os nanofios empilhados. Poderia ser proposto um método para análise individual dos parâmetros analógicos para cada nível dos nanofios empilhados, a qual deve ser cautelosa e considerar que o descasamento das tensões de limiar altera a tensão de saturação do dreno, logo as condições de polarização de V_{GT} devem variar de um nível para outro. A existência de um modelo compacto poderia auxiliar este estudo. Outro trabalho que poderia ser proposto a fim de investigar o comportamento de NWs em circuitos mistos trata-se do estudo do ruído de baixa frequência em diferentes tecnologias de nanofios.

REFERÊNCIAS

ACHOUR, H. et al. In depth static and low-frequency noise characterization of n-channel FinFETs on SOI substrates at cryogenic temperature. **Solid-State Electronics**, Selected Papers from ULIS 2013 Conference. v. 98, p. 12–19, 1 ago. 2014.

AFZALIAN, A. et al. Quantum Confinement Effects in Capacitance Behavior of Multigate Silicon Nanowire MOSFETs. **IEEE Transactions on Nanotechnology**, v. 10, n. 2, p. 300–309, mar. 2011.

AKARVARDAR, K. et al. A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors. **IEEE Transactions on Electron Devices**, v. 54, n. 4, p. 767–775, abr. 2007a.

AKARVARDAR, K. et al. High-temperature performance of state-of-the-art triple-gate transistors. **Microelectronics Reliability**, Electronic system prognostics and health management. v. 47, n. 12, p. 2065–2069, 1 dez. 2007b.

ANDO, T.; FOWLER, A. B.; STERN, F. Electronic properties of two-dimensional systems. **Reviews of Modern Physics**, v. 54, n. 2, p. 437–672, 1 abr. 1982.

ARUNA. **22FDX®**. Text. Disponível em: <https://www.globalfoundries.com/technology-solutions/cmos/fdx/22fdx>. Acesso em: 3 maio. 2018.

BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410–412, set. 1987.

BANGSARUNTIP, S. et al. **High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling**. Electron Devices Meeting (IEDM), 2009 IEEE International. **Anais**... In: ELECTRON DEVICES MEETING (IEDM), 2009 IEEE INTERNATIONAL. dez. 2009

BANSAL, A. K. et al. Series Resistance Reduction in Stacked Nanowire FETs for 7-nm CMOS Technology. **IEEE Journal of the Electron Devices Society**, v. 4, n. 5, p. 266–272, set. 2016.

BARRAUD, S. et al. Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm. **IEEE Electron Device Letters**, v. 33, n. 11, p. 1526–1528, nov. 2012.

BARRAUD, S. et al. **Strained Silicon Directly on Insulator N- and P-FET nanowire transistors**. 2014 15th International Conference on Ultimate Integration on Silicon (ULIS). **Anais**... In: 2014 15TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (ULIS). abr. 2014

BARRAUD, S. et al. **Vertically stacked-NanoWires MOSFETs in a replacement metal gate process with inner spacer and SiGe source/drain**. 2016 IEEE International Electron Devices Meeting (IEDM). **Anais**... In: 2016 IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM). dez. 2016

BAYKAN, M. O.; THOMPSON, S. E.; NISHIDA, T. Size- and Orientation-Dependent Strain Effects on Ballistic Si p-Type Nanowire Field-Effect Transistors. **IEEE Transactions on Nanotechnology**, v. 11, n. 6, p. 1231–1238, nov. 2012.

BERNARD, E. et al. **3D stacked channels: how series resistances can limit 3D devices performance**. 2007 IEEE International SOI Conference. **Anais**... In: 2007 IEEE INTERNATIONAL SOI CONFERENCE. out. 2007

BOHR, M.; MISTRY, K. Intel's Revolutionary 22 nm Transistor Technology. p. 28, 2011.

BREWS, J. R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282–1291, set. 1979.

BRUNET, L. et al. **First demonstration of a CMOS over CMOS 3D VLSI CoolCube integration on 300mm wafers**. 2016 IEEE Symposium on VLSI Technology. **Anais**... In: 2016 IEEE SYMPOSIUM ON VLSI TECHNOLOGY. jun. 2016

CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045–1047, nov. 1975.

CASSE, M. et al. Experimental Investigation of Hole Transport in Strained Si1−xGex/SOI pMOSFETs—Part I: Scattering Mechanisms in Long-Channel Devices. **IEEE Transactions on Electron Devices**, v. 59, n. 2, p. 316–325, fev. 2012a.

CASSE, M. et al. Experimental Investigation of Hole Transport in Strained Si1−xGex/SOI pMOSFETs: Part II—Mobility and High-Field Transport in Nanoscaled PMOS. **IEEE Transactions on Electron Devices**, v. 59, n. 3, p. 557–564, mar. 2012b.

CASSE, M. et al. **Study of piezoresistive properties of advanced CMOS transistors: Thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires**. Electron Devices Meeting (IEDM), 2012 IEEE International. **Anais**... In: ELECTRON DEVICES MEETING (IEDM), 2012 IEEE INTERNATIONAL. dez. 2012c

CAUBET, V. et al. Mechanisms of isotropic and selective etching between SiGe and Si. **Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena**, v. 24, n. 6, p. 2748–2754, 1 nov. 2006.

CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, v. 55, n. 12, p. 2192–2193, dez. 1967.

CERDEIRA, A. et al. New method for determination of harmonic distortion in SOI FD transistors. **Solid-State Electronics**, v. 46, n. 1, p. 103–108, jan. 2002.

CERDEIRA, A. et al. Integral function method for determination of nonlinear harmonic distortion. **Solid-State Electronics**, v. 48, n. 12, p. 2225–2234, dez. 2004.

CHAN, V. et al. **Strain for CMOS performance improvement**. Proceedings of the IEEE 2005 Custom Integrated Circuits Conference, 2005. **Anais**... In: PROCEEDINGS OF THE IEEE 2005 CUSTOM INTEGRATED CIRCUITS CONFERENCE, 2005. set. 2005

CHANG, L. et al. Extremely scaled silicon nano-CMOS devices. **Proceedings of the IEEE**, v. 91, n. 11, p. 1860–1873, nov. 2003.

CHEN, J.; SANCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J. Frequency-dependent harmonic-distortion analysis of a linearized cross-coupled CMOS OTA and its application to OTA-C filters. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 53, n. 3, p. 499–510, mar. 2006.

CHENG, K. et al. **Extremely thin SOI (ETSOI) technology: Past, present, and future**. SOI Conference (SOI), 2010 IEEE International. **Anais**... In: SOI CONFERENCE (SOI), 2010 IEEE INTERNATIONAL. out. 2010

CHIANG, W. T. et al. **Strain Effects of Si and SiGe Channel on (100) and (110) Si Surfaces for Advanced CMOS Applications**. 2007 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA). **Anais**... In: 2007 INTERNATIONAL SYMPOSIUM ON VLSI TECHNOLOGY, SYSTEMS AND APPLICATIONS (VLSI-TSA). abr. 2007

CHIDAMBARAM, P. R. et al. Fundamentals of silicon material properties for successful exploitation of strain engineering in modern CMOS manufacturing. **IEEE Transactions on Electron Devices**, v. 53, n. 5, p. 944–964, maio 2006.

CLARKE, P. **FDSOI Driving ST's Automotive Biz**. Disponível em: <https://www.eetimes.com/document.asp?doc_id=1329783>. Acesso em: 3 maio. 2018.

COLINGE, J. P. et al. **Silicon-on-insulator "gate-all-around device"**. Electron Devices Meeting, 1990. IEDM '90. Technical Digest., International. **Anais**... In: ELECTRON DEVICES MEETING, 1990. IEDM '90. TECHNICAL DIGEST., INTERNATIONAL. dez. 1990

COLINGE, J. P. **SOI devices and circuits**. 2000 22nd International Conference on Microelectronics. Proceedings (Cat. No.00TH8400). **Anais**... In: 2000 22ND INTERNATIONAL CONFERENCE ON MICROELECTRONICS. PROCEEDINGS (CAT. NO.00TH8400). 2000

COLINGE, J. P. **Silicon-on-Insulator Technology: Materials to VLSI: Materials to Vlsi**. [s.l.] Springer Science & Business Media, 2004a.

COLINGE, J. P. Multiple-gate SOI MOSFETs. **Solid-State Electronics**, Silicon On Insulator Technology and Devices. v. 48, n. 6, p. 897–905, jun. 2004b.

COLINGE, J. P. et al. Temperature effects on trigate SOI MOSFETs. **IEEE Electron Device Letters**, v. 27, n. 3, p. 172–174, mar. 2006.

COLINGE, J. P. Quantum-wire effects in trigate SOI MOSFETs. **Solid-State Electronics**, Special Issue: Papers Selected from the EUROSOI '07 Conference. v. 51, n. 9, p. 1153–1160, set. 2007.

COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. [s.l.] Springer, 2008.

COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. [s.l.] Springer Science & Business Media, 2005.

COLINGE, J. P.; GREER, J. C. **Nanowire Transistors: Physics of Devices and Materials in One Dimension**. [s.l.] Cambridge University Press, 2016.

COLLAERT, N. et al. Shift and ratio method revisited: extraction of the fin width in multi-gate devices. **Solid-State Electronics**, 5th International Workshop on the Ultimate Intergration of Silicon, ULIS 2004. v. 49, n. 5, p. 763–768, maio 2005.

COQUAND, R. et al. **Scaling of high-k/metal-gate Trigate SOI nanowire transistors down to 10nm width**. 2012 13th International Conference on Ultimate Integration on Silicon (ULIS). **Anais**... In: 2012 13TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (ULIS). mar. 2012a

COQUAND, R. et al. **Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10nm Width**. 2012 Symposium on VLSI Technology (VLSIT). **Anais**... In: 2012 SYMPOSIUM ON VLSI TECHNOLOGY (VLSIT). jun. 2012b

COQUAND, R. et al. Strain-Induced Performance Enhancement of Trigate and Omega-Gate Nanowire FETs Scaled Down to 10-nm Width. **IEEE Transactions on Electron Devices**, v. 60, n. 2, p. 727–732, fev. 2013a.

COQUAND, R. et al. **Low-temperature transport characteristics in SOI and sSOI nanowires down to 8nm width: Evidence of IDS and mobility oscillations**. Solid-State Device Research Conference (ESSDERC), 2013 Proceedings of the European. **Anais**... In: SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2013 PROCEEDINGS OF THE EUROPEAN. set. 2013b

CRISTOLOVEANU, S. et al. Evidence of Supercoupling Effect in Ultrathin Silicon Layers Using a Four-Gate MOSFET. **IEEE Electron Device Letters**, v. 38, n. 2, p. 157–159, fev. 2017.

CROS, A. et al. **New extraction method for gate bias dependent series resistance in nanometric double gate transistors**. Proceedings of the 2005 International Conference on Microelectronic Test Structures, 2005. ICMTS 2005. **Anais**... In: PROCEEDINGS OF THE 2005 INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, 2005. ICMTS 2005. abr. 2005

DESHPANDE, V. et al. **Scaling of Trigate nanowire (NW) MOSFETs Down to 5 nm Width: 300 K transition to Single Electron Transistor, challenges and opportunities**. Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European. **Anais**... In: SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2012 PROCEEDINGS OF THE EUROPEAN. set. 2012

DESHPANDE, V. et al. **Advanced 3D Monolithic hybrid CMOS with Sub-50 nm gate inverters featuring replacement metal gate (RMG)-InGaAs nFETs on SiGe-OI Fin pFETs**. 2015 IEEE International Electron Devices Meeting (IEDM). **Anais**... In: 2015 IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM). dez. 2015

DIXIT, A. et al. Analysis of the parasitic S/D resistance in multiple-gate FETs. **IEEE Transactions on Electron Devices**, v. 52, n. 6, p. 1132–1140, jun. 2005.

DJEFFAL, F. et al. Analytical analysis of nanoscale multiple gate MOSFETs including effects of hot-carrier induced interface charges. **Microelectronics Reliability**, v. 49, n. 4, p. 377–381, 1 abr. 2009.

DORIA, R. T. et al. Harmonic Distortion of Unstrained and Strained FinFETs Operating in Saturation. **IEEE Transactions on Electron Devices**, v. 57, n. 12, p. 3303–3311, dez. 2010.

DORIA, R. T. et al. Analog operation temperature dependence of nMOS junctionless transistors focusing on harmonic distortion. **Journal of Integrated Circuits and Systems**, v. 6, n. 1, p. 114–121, 2011.

DORIA, R. T. et al. **Harmonic distortion analysis of short channel junctionless nanowire transistors operating as amplifiers**. 2013 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). **Anais**... In: 2013 IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S). out. 2013

DORKEL, J. M.; LETURCQ, P. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v. 24, n. 9, p. 821–825, 1 set. 1981.

DOYLE, B. S. et al. High performance fully-depleted tri-gate CMOS transistors. **IEEE Electron Device Letters**, v. 24, n. 4, p. 263–265, abr. 2003.

DUPRE, C. et al. **15nm-diameter 3D stacked nanowires with independent gates operation: ΦFET**. 2008 IEEE International Electron Devices Meeting. **Anais**... In: 2008 IEEE INTERNATIONAL ELECTRON DEVICES MEETING. dez. 2008

DUPRÉ, C. et al. Method for 3D electrical parameters dissociation and extraction in multichannel MOSFET (MCFET). **Solid-State Electronics**, Papers Selected from the 38th European Solid-State Device Research Conference – ESSDERC'08. v. 53, n. 7, p. 746–752, jul. 2009.

ERNST, T. et al. **Ultimately thin SOI MOSFETs: special characteristics and mechanisms**. 1999 IEEE International SOI Conference. Proceedings (Cat. No.99CH36345). **Anais**... In: 1999 IEEE INTERNATIONAL SOI CONFERENCE. PROCEEDINGS (CAT. NO.99CH36345). out. 1999

ERNST, T. et al. **Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO2/TiN gate stack**. 2006 International Electron Devices Meeting. **Anais**...IEEE, 2006Disponível em: <http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=4154390>. Acesso em: 26 set. 2016

FRANCIS, P. et al. Modeling of ultrathin double-gate nMOS/SOI transistors. **IEEE Transactions on Electron Devices**, v. 41, n. 5, p. 715–720, maio 1994.

GALETI, M. et al. GIDL behavior of p- and n-MuGFET devices with different TiN metal gate thickness and high-k gate dielectrics. **Solid-State Electronics**, Selected Full-Length Papers from the EUROSOI 2011 Conference. v. 70, p. 44–49, abr. 2012.

GENTINNE, B. et al. Fully depleted SOI-CMOS technology for high temperature IC applications. **Materials Science and Engineering: B**, E-MRS 1996 Spring Meeting,

Symposium A: High Temperature Electronics: Materials, Devices and Applications. v. 46, n. 1, p. 1–7, 1 abr. 1997.

GHIBAUDO, G. New method for the extraction of MOSFET parameters. **Electronics Letters**, v. 24, n. 9, p. 543–545, abr. 1988.

GHIBAUDO, G. et al. **Electrical transport characterization of nano CMOS devices with ultra-thin silicon film**. 2009 International Workshop on Junction Technology. **Anais**... In: 2009 INTERNATIONAL WORKSHOP ON JUNCTION TECHNOLOGY. jun. 2009

GNANI, E. et al. Quantum-mechanical analysis of the electrostatics in silicon-nanowire and carbon-nanotube FETs. **Solid-State Electronics**, Special Issue: Papers Selected from the 35th European Solid-State Device Research Conference - ESSDERC'05. v. 50, n. 4, p. 709–715, 1 abr. 2006.

GOROFF, I.; KLEINMAN, L. Deformation Potentials in Silicon. III. Effects of a General Strain on Conduction and Valence Levels. **Physical Review**, v. 132, n. 3, p. 1080–1084, 1 nov. 1963.

GROENEWOLD, G.; LUBBERS, W. J. Systematic distortion analysis for MOSFET integrators with use of a new MOSFET model. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 41, n. 9, p. 569–580, set. 1994.

GUTIÉRREZ-D., E. A. Chapter 1 - Physics of Silicon at Cryogenic Temperatures. In: **Low Temperature Electronics**. San Diego: Academic Press, 2001. p. 1–103.

GUTIÉRREZ-D., E. A.; DEEN, M. J.; CLAEYS, C. Low Temperature Electronics. In: **Low Temperature Electronics: Physics, Devices, Circuits and Applications**. San Diego: Academic Press, 2001.

GWENNAP, L. FD-SOI OFFERS ALTERNATIVE TO FINFET - GlobalFoundries Leads With Cost-Sensitive Manufacturing Option. **The Linley Group**, v. Microprocessor Report, n. Insightful Analysis of Processor Technology, 15 ago. 2016.

HAMMOUD, A. et al. **Electronic components and circuits for extreme temperature environments**. 10th IEEE International Conference on Electronics, Circuits and Systems, 2003. ICECS 2003. Proceedings of the 2003. **Anais**... In: 10TH IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS AND SYSTEMS, 2003. ICECS 2003. PROCEEDINGS OF THE 2003. dez. 2003

HENRY, J. B. et al. **Impact of access resistance on New-Y function methodology for MOSFET parameter extraction in advanced FD-SOI technology**. 2017 International Conference of Microelectronic Test Structures (ICMTS). **Anais**... In: 2017 INTERNATIONAL CONFERENCE OF MICROELECTRONIC TEST STRUCTURES (ICMTS). mar. 2017

HISAMOTO, D. et al. **A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET**. Electron Devices Meeting, 1989. IEDM '89. Technical Digest., International. **Anais**... In: ELECTRON DEVICES MEETING, 1989. IEDM '89. TECHNICAL DIGEST., INTERNATIONAL. dez. 1989

HISAMOTO, D. et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320–2325, dez. 2000.

HORSTMANN, M. et al. **Integration and optimization of embedded-sige, compressive and tensile stressed liner films, and stress memorization in advanced SOI CMOS technologies**. IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest. **Anais**... In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING, 2005. IEDM TECHNICAL DIGEST. dez. 2005

HUANG, X. et al. **Sub 50-nm FinFET: PMOS**. International Electron Devices Meeting 1999. Technical Digest (Cat. No.99CH36318). **Anais**... In: INTERNATIONAL ELECTRON DEVICES MEETING 1999. TECHNICAL DIGEST (CAT. NO.99CH36318). dez. 1999

HUTIN, L. et al. **20nm gate length trigate pFETs on strained SGOI for high performance CMOS**. 2010 Symposium on VLSI Technology. **Anais**... In: 2010 SYMPOSIUM ON VLSI TECHNOLOGY. jun. 2010

INIGUEZ, B. et al. A physically-based C∞-continuous model for accumulation-mode SOI pMOSFETs. **IEEE Transactions on Electron Devices**, v. 46, n. 12, p. 2295–2303, dez. 1999.

INTEL CORPORATION. **Over Six Decades of Continued Transistor Shrinkage, Innovation. Intel's 22 Nanometer Technology Moves the Transistor Into the 3rd Dimension**, 2011.

KAWARADA, H. et al. **Wide temperature (10K-700K) and high voltage (1000V) operation of C-H diamond MOSFETs for power electronics application**. 2014 IEEE International Electron Devices Meeting. **Anais**... In: 2014 IEEE INTERNATIONAL ELECTRON DEVICES MEETING. dez. 2014

KEYSIGHT TECHNOLOGIES. **B1500A Semiconductor Device Analyzer**Keysight Technologies, , 2017. Disponível em: <https://literature.cdn.keysight.com/litweb/pdf/5989-2785EN.pdf?id=629794>. Acesso em: 3 maio. 2018

KILCHYTSKA, V. et al. Trigate nanowire MOSFETs analog figures of merit. **Solid-State Electronics**, Selected Papers from EuroSOI'2014 Conference. v. 112, p. 78–84, out. 2015.

KLAASSEN, D. B. M. A unified mobility model for device simulation—I. Model equations and concentration dependence. **Solid-State Electronics**, v. 35, n. 7, p. 953–959, 1 jul. 1992.

KOUVATSOS, D. N. et al. **Fabrication of midgap metal gate MOS devices compatible with very thin SiO2 films using low pressure chemically vapor deposited tungsten films and copper liftoff**. Proceedings of the 3 rd Chemical Engineering Conference for Collaborative Research in Eastern Mediterranean. **Anais**...2003Disponível em: <https://www.researchgate.net/profile/Dimitrios_Kouvatsos/publication/200030616_Fabrication_and_characteristics_of_midgap_metal_gates_compatible_with_very_thin_SiO2_films_using_LPCVD_tungsten_films/links/5406e1ed0cf2c48563b276a5.pdf>

KOYAMA, M. et al. **Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate Si-nanowire MOSFETs**. Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European. **Anais**... In: SOLID-STATE DEVICE

RESEARCH CONFERENCE (ESSDERC), 2012 PROCEEDINGS OF THE EUROPEAN. set. 2012

KOYAMA, M. et al. Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate silicon nanowire MOSFETs. **Solid-State Electronics**, Selected Papers from the ESSDERC 2012 Conference. v. 84, p. 46–52, jun. 2013.

KUHN, K. J. Considerations for Ultimate CMOS Scaling. **IEEE Transactions on Electron Devices**, v. 59, n. 7, p. 1813–1828, jul. 2012.

LACORD, J. et al. Parasitic Capacitance Analytical Model for Sub-7-nm Multigate Devices. **IEEE Transactions on Electron Devices**, v. 63, n. 2, p. 781–786, fev. 2016.

LAI, W.-T. et al. Analysis of Carrier Transport in Trigate Si Nanowire MOSFETs. **IEEE Transactions on Electron Devices**, v. 58, n. 5, p. 1336–1343, maio 2011.

LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, Special Issue: Papers selected from the 2005 ULIS Conference. v. 50, n. 1, p. 38–43, 1 jan. 2006.

LANGEVELDE, R. VAN; KLAASSEN, F. M. Effect of gate-field dependent mobility degradation on distortion analysis in MOSFETs. **IEEE Transactions on Electron Devices**, v. 44, n. 11, p. 2044–2052, nov. 1997.

LEE, J. W. et al. Mobility analysis of surface roughness scattering in FinFET devices. **Solid-State Electronics**, v. 62, n. 1, p. 195–201, 1 ago. 2011.

LEROUX, C. et al. Oxide thickness extraction methods in the nanometer range for statistical measurements. **Solid-State Electronics**, v. 46, n. 11, p. 1849–1854, 1 nov. 2002.

LEROUX, C. et al. Characterization and modeling of nanometric SiO2 dielectrics. **Microelectronic Engineering**, Proceedings of the 13th Biennial Conference on Insulating Films on Semiconductors. v. 72, n. 1, p. 121–124, 1 abr. 2004.

LI, S. S.; THURBER, W. R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v. 20, n. 7, p. 609–616, 1 jul. 1977.

LIM, H.-K.; FOSSUM, J. G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v. 31, n. 4, p. 401–408, abr. 1984.

LOMBARDI, C. et al. A physically based mobility model for numerical simulation of nonplanar devices. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 7, n. 11, p. 1164–1171, nov. 1988.

MARIN, E. G. et al. Impact of the Back-Gate Biasing on Trigate MOSFET Electron Mobility. **IEEE Transactions on Electron Devices**, v. 62, n. 1, p. 224–227, jan. 2015.

MAROUANI, J. **STMicroelectronics aurait remporté d'importants contrats auprès d'Apple et de SpaceX**. Disponível em:

<http://www.electroniques.biz/component/k2/item/58281-stmicroelectronics-aurait-remporte-d-importants-contrats-aupres-d-apple-et-de-spacex>. Acesso em: 3 maio. 2018.

MCLARTY, P. K. et al. A simple parameter extraction method for ultra-thin oxide MOSFETs. **Solid-State Electronics**, v. 38, n. 6, p. 1175–1177, jun. 1995.

MERTENS, H. et al. **Gate-all-around MOSFETs based on vertically stacked horizontal Si nanowires in a replacement metal gate process on bulk Si substrates**. 2016 IEEE Symposium on VLSI Technology. **Anais**... In: 2016 IEEE SYMPOSIUM ON VLSI TECHNOLOGY. jun. 2016

MIKOLAJICK, T.; WEBER, W. M. Silicon Nanowires: Fabrication and Applications. In: LI, Q. (Ed.). . **Anisotropic Nanomaterials**. Cham: Springer International Publishing, 2015. p. 1–25.

MOHAPATRA, S. K. et al. The Role of Geometry Parameters and Fin Aspect Ratio of Sub-20nm SOI-FinFET: An Analysis Towards Analog and RF Circuit Design. **IEEE Transactions on Nanotechnology**, v. 14, n. 3, p. 546–554, maio 2015.

NGUYEN, P. et al. **Dual-channel CMOS co-integration with Si NFET and strained-SiGe PFET in nanowire device architecture featuring sub-15nm gate length**. 2014 IEEE International Electron Devices Meeting. **Anais**... In: 2014 IEEE INTERNATIONAL ELECTRON DEVICES MEETING. dez. 2014

OH, J. et al. **SiGe CMOS on (110) channel orientation with mobility boosters : Surface orientation, channel directions, and uniaxial strain**. 2010 Symposium on VLSI Technology. **Anais**... In: 2010 SYMPOSIUM ON VLSI TECHNOLOGY. jun. 2010

OHATA, A.; CASSÉ, M.; CRISTOLOVEANU, S. Front- and back-channel mobility in ultrathin SOI-MOSFETs by front-gate split CV method. **Solid-State Electronics**, Special Issue: Papers Selected from the EUROSOI'06 Conference. v. 51, n. 2, p. 245–251, fev. 2007.

ORTIZ-CONDE, A. et al. A review of recent MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, v. 42, n. 4–5, p. 583–596, abr. 2002.

PALESTRI, P. et al. Understanding quasi-ballistic transport in nano-MOSFETs: part I-scattering in the channel and in the drain. **IEEE Transactions on Electron Devices**, v. 52, n. 12, p. 2727–2735, dez. 2005.

PAN, C. et al. Technology/System Codesign and Benchmarking for Lateral and Vertical GAA Nanowire FETs at 5-nm Technology Node. **IEEE Transactions on Electron Devices**, v. 62, n. 10, p. 3125–3132, out. 2015.

PAVANELLO, M. A. et al. Cryogenic operation of FinFETs aiming at analog applications. **Cryogenics**, Workshop on Low Temperature Electronics 2008WOLTE 2008. v. 49, n. 11, p. 590–594, nov. 2009.

PELLOUX-PRAYER, J. et al. **Study of the piezoresistive properties of NMOS and PMOS Ω-gate SOI nanowire transistors: Scalability effects and high stress level**. Electron Devices Meeting (IEDM), 2014 IEEE International. **Anais**... In: ELECTRON DEVICES MEETING (IEDM), 2014 IEEE INTERNATIONAL. dez. 2014

PELLOUX-PRAYER, J. et al. Strain Effect on Mobility in Nanowire MOSFETs down to 10nm Width: Geometrical Effects and Piezoresistive Model. **Solid-State Electronics**, p. 175–181, 2016a.

PELLOUX-PRAYER, J. et al. **Transport in TriGate nanowire FET: Cross-section effect at the nanometer scale**. 2016 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). **Anais**... In: 2016 IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S). out. 2016b

PHAM-NGUYEN, L. et al. In Situ Comparison of Si/High- κ and Si/ SiO2 Channel Properties in SOI MOSFETs. **IEEE Electron Device Letters**, v. 30, n. 10, p. 1075–1077, out. 2009.

POIROUX, T. et al. Multiple gate devices: advantages and challenges. **Microelectronic Engineering**, 14th biennial Conference on Insulating Films on Semiconductors. v. 80, p. 378–385, 17 jun. 2005.

POIROUX, T. et al. **Ultra-thin body Silicon On Insulator and nanowire transistors for 22nm technology node and below**. Proceedings of the 17th International Conference Mixed Design of Integrated Circuits and Systems - MIXDES 2010. **Anais**... In: PROCEEDINGS OF THE 17TH INTERNATIONAL CONFERENCE MIXED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS - MIXDES 2010. jun. 2010

POLJAK, M.; JOVANOVIC, V.; SULIGOJ, T. **Suppression of corner effects in triple-gate bulk FinFETs**. IEEE EUROCON 2009. **Anais**... In: IEEE EUROCON 2009. maio 2009

RIM, K. et al. **Mobility enhancement in strained Si NMOSFETs with HfO/sub 2/ gate dielectrics**. 2002 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No.01CH37303). **Anais**... In: 2002 SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS (CAT. NO.01CH37303). jun. 2002

RISCH, L. Pushing CMOS beyond the roadmap. **Solid-State Electronics**, Special Issue: Papers Selected from the 35th European Solid-State Device Research Conference - ESSDERC'05. v. 50, n. 4, p. 527–535, abr. 2006.

ROMANJEK, K. et al. Improved split C-V method for effective mobility extraction in sub-0.1-µm Si MOSFETs. **IEEE Electron Device Letters**, v. 25, n. 8, p. 583–585, ago. 2004.

ROZEAU, O. et al. **NSP: Physical compact model for stacked-planar and vertical Gate-All-Around MOSFETs**. 2016 IEEE International Electron Devices Meeting (IEDM). **Anais**... In: 2016 IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM). dez. 2016

SAH, C.-T. et al. Effect of zinc impurity on silicon solar-cell efficiency. **IEEE Transactions on Electron Devices**, v. 28, n. 3, p. 304–313, mar. 1981.

SAITOH, M. et al. **Short-channel performance and mobility analysis of <110>- and <100>-oriented tri-gate nanowire MOSFETs with raised source/drain extensions**. 2010 Symposium on VLSI Technology. **Anais**... In: 2010 SYMPOSIUM ON VLSI TECHNOLOGY. jun. 2010

SALEM, B. et al. **Electrical characterisation of horizontal and vertical gate-all-around Si/SiGe nanowires field effect transistors**. 2014 Silicon Nanoelectronics Workshop (SNW). **Anais**... In: 2014 SILICON NANOELECTRONICS WORKSHOP (SNW). jun. 2014

SÁNCHEZ, F. J. G.; ORTIZ-CONDE, A.; MUCI, J. Understanding threshold voltage in undoped-body MOSFETs: An appraisal of various criteria. **Microelectronics Reliability**, v. 46, n. 5, p. 731–742, 1 maio 2006.

SANSEN, W. Distortion in elementary transistor circuits. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 46, n. 3, p. 315–325, mar. 1999.

SAYS, E. **FD-SOI Adoption ExpandsSemiconductor Engineering**, 2018. Disponível em: <https://semiengineering.com/fd-soi-adoption-expands/>. Acesso em: 3 maio. 2018

SCHENK, A. A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon. **Solid-State Electronics**, v. 35, n. 11, p. 1585–1596, 1 nov. 1992.

SCHWANK, J. R. et al. Radiation effects in SOI technologies. **IEEE Transactions on Nuclear Science**, v. 50, n. 3, p. 522–538, jun. 2003.

SEDRA, A. S.; SMITH, K. C. **Microelectronic Circuits**. [s.l.] Oxford University Press, 1998.

SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics**, v. 27, n. 8, p. 827–828, 1 ago. 1984.

SELBERHERR, S. MOS device modeling at 77 K. **IEEE Transactions on Electron Devices**, v. 36, n. 8, p. 1464–1474, ago. 1989.

Sentaurus Device User Guide, Version C-2009.06. Synopsys, , 2009.

Sentaurus Process User Guide, Version A-2007.12. Synopsys, , 2007.

SHOUCAIR, F. S. Analytical and experimental methods for zero-temperature-coefficient biasing of MOS transistors. **Electronics Letters**, v. 25, n. 17, p. 1196–1198, ago. 1989.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314–1319, set. 1996.

SKOTNICKI, T. **Heading for decananometer CMOS - Is navigation among icebergs still a viable strategy?** 30th European Solid-State Device Research Conference. **Anais**... In: 30TH EUROPEAN SOLID-STATE DEVICE RESEARCH CONFERENCE. set. 2000

SKOTNICKI, T.; MERCKEL, G.; PEDRON, T. The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects. **IEEE Electron Device Letters**, v. 9, n. 3, p. 109–112, mar. 1988.

SMITH, J. A. et al. **Investigation of electrically gate-all-around hexagonal nanowire FET (HexFET) architecture for 5 nm node logic and SRAM applications**. 2017 47th European

Solid-State Device Research Conference (ESSDERC). **Anais**... In: 2017 47TH EUROPEAN SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC). set. 2017

SOITEC. **FD-SOI - Soitec**. Disponível em: <https://www.soitec.com/en/products/fd-soi>. Acesso em: 4 maio. 2018.

SRIKANTAIAH, J. G.; DASGUPTA, A. Quantum Mechanical Effects in Bulk MOSFETs from a Compact Modeling Perspective: A Review. **IETE Technical Review**, v. 29, n. 1, p. 3–28, 1 jan. 2012.

SUBRAMANIAN, V. et al. Impact of fin width on digital and analog performances of n-FinFETs. **Solid-State Electronics**, Special Issue: Papers selected from the 2006 ULIS Conference. v. 51, n. 4, p. 551–559, abr. 2007.

SZE, S. M.; NG, K. K. **Physics of semiconductor devices**. 3rd ed ed. Hoboken, N.J: Wiley-Interscience, 2007.

TACHI, K. et al. **Experimental study on carrier transport limiting phenomena in 10 nm width nanowire CMOS transistors**. Electron Devices Meeting (IEDM), 2010 IEEE International. **Anais**... In: ELECTRON DEVICES MEETING (IEDM), 2010 IEEE INTERNATIONAL. dez. 2010

TAKAGI, S. et al. On the universality of inversion layer mobility in Si MOSFET's: Part I-effects of substrate impurity concentration. **IEEE Transactions on Electron Devices**, v. 41, n. 12, p. 2357–2362, dez. 1994a.

TAKAGI, S. et al. On the universality of inversion layer mobility in Si MOSFET's: Part II-effects of surface orientation. **IEEE Transactions on Electron Devices**, v. 41, n. 12, p. 2363–2368, dez. 1994b.

TAKAGI, S. et al. Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal–oxide–semiconductor field-effect transistors. **Journal of Applied Physics**, v. 80, n. 3, p. 1567–1577, 1 ago. 1996.

TAUR, Y. et al. A new "shift and ratio" method for MOSFET channel-length extraction. **IEEE Electron Device Letters**, v. 13, n. 5, p. 267–269, maio 1992.

THOMPSON, S. et al. **A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 /spl mu/m/sup 2/ SRAM cell**. Digest. International Electron Devices Meeting,. **Anais**... In: DIGEST. INTERNATIONAL ELECTRON DEVICES MEETING,. dez. 2002

THOMPSON, S. E. et al. Uniaxial-process-induced strained-Si: extending the CMOS roadmap. **IEEE Transactions on Electron Devices**, v. 53, n. 5, p. 1010–1020, maio 2006.

TIMP, G. et al. **The ballistic nano-transistor**. International Electron Devices Meeting 1999. Technical Digest (Cat. No.99CH36318). **Anais**... In: INTERNATIONAL ELECTRON DEVICES MEETING 1999. TECHNICAL DIGEST (CAT. NO.99CH36318). dez. 1999

TREVISOLI, R. et al. Extraction of the interface trap density energetic distribution in SOI Junctionless Nanowire Transistors. **Microelectronic Engineering**, Insulating Films on Semiconductors 2015. v. 147, p. 23–26, 1 nov. 2015.

TREVISOLI, R. D.; PAVANELLO, M. A. **Low Temperature and Silicon Thickness Influences on the Threshold Voltage of Double-Gate MOSFETs Considering a Charge Based Extraction Procedure**. ECS, 2009Disponível em: <http://ecst.ecsdl.org/cgi/doi/10.1149/1.3183770>. Acesso em: 1 ago. 2017

TRIANTOPOULOS, K. et al. **Thermal effects in 3D sequential technology**. 2017 IEEE International Electron Devices Meeting (IEDM). **Anais**... In: 2017 IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM). dez. 2017

VEERARAGHAVAN, S.; FOSSUM, J. G. A physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD. **IEEE Transactions on Electron Devices**, v. 35, n. 11, p. 1866–1875, nov. 1988.

VEERARAGHAVAN, S.; FOSSUM, J. G. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 522–528, mar. 1989.

VITTOZ, E. A. **Low-power design: ways to approach the limits**. Solid-State Circuits Conference, 1994. Digest of Technical Papers. 41st ISSCC., 1994 IEEE International. **Anais**... In: SOLID-STATE CIRCUITS CONFERENCE, 1994. DIGEST OF TECHNICAL PAPERS. 41ST ISSCC., 1994 IEEE INTERNATIONAL. fev. 1994

WAMBACQ, P.; SANSEN, W. Distortion Analysis of Analog Integrated Circuits. In: **Distortion Analysis of Analog Integrated Circuits**. The Kluwer International Series in Engineering and Computer Science. [s.l.] Springer US, 1998a. p. 7–25.

WAMBACQ, P.; SANSEN, W. Calculation of harmonics and intermodulation products. In: **Distortion Analysis of Analog Integrated Circuits**. The Kluwer International Series in Engineering and Computer Science. [s.l.] Springer US, 1998b. p. 116–179.

WOLPERT, D.; AMPADU, P. Temperature Effects in Semiconductors. In: WOLPERT, D.; AMPADU, P. (Eds.). . **Managing Temperature Effects in Nanoscale Adaptive Systems**. New York, NY: Springer New York, 2012. p. 15–33.

WONG, H.-S.; TAUR, Y. **Three-dimensional "atomistic" simulation of discrete random dopant distribution effects in sub-0.1 /spl mu/m MOSFET's**. Proceedings of IEEE International Electron Devices Meeting. **Anais**... In: PROCEEDINGS OF IEEE INTERNATIONAL ELECTRON DEVICES MEETING. dez. 1993

WOO, J. C. S.; PLUMMER, J. D. Short-channel effects in MOSFET's at liquid-Nitrogen temperature. **IEEE Transactions on Electron Devices**, v. 33, n. 7, p. 1012–1019, jul. 1986.

WOSTYN, K. et al. Selective Etch of Si and SiGe for Gate All-Around Device Architecture. **ECS Transactions**, v. 69, n. 8, p. 147–152, 9 nov. 2015.

XIONG, W.; PARK, J. W.; COLINGE, J. P. **Corner effect in multiple-gate SOI MOSFETs**. 2003 IEEE International Conference on SOI. **Anais**... In: 2003 IEEE INTERNATIONAL CONFERENCE ON SOI. set. 2003

YANG, F.-L. et al. **25 nm CMOS Omega FETs**. Digest. International Electron Devices Meeting,. **Anais**... In: DIGEST. INTERNATIONAL ELECTRON DEVICES MEETING,. dez. 2002

YANG, X. et al. **Gate Direct Tunneling Currents in Uniaxial Stressed MOSFETs**. 2007 International Workshop on Electron Devices and Semiconductor Technology (EDST). **Anais**... In: 2007 INTERNATIONAL WORKSHOP ON ELECTRON DEVICES AND SEMICONDUCTOR TECHNOLOGY (EDST). jun. 2007

YU, B. et al. **15 nm gate length planar CMOS transistor**. International Electron Devices Meeting. Technical Digest (Cat. No.01CH37224). **Anais**... In: INTERNATIONAL ELECTRON DEVICES MEETING. TECHNICAL DIGEST (CAT. NO.01CH37224). dez. 2001

YU, B. et al. **FinFET scaling to 10 nm gate length**. Digest. International Electron Devices Meeting,. **Anais**... In: DIGEST. INTERNATIONAL ELECTRON DEVICES MEETING,. dez. 2002

APÊNDICE A – GERAÇÃO DE ESTRUTURA DE NANOFIO TRANSISTOR

Arquivo para geração de um nanofio transistor tipo p, utilizando o Sentaurus Process, da Synopsys.

```
#======#
# p-NW #
#======#

math numThreads= 8
math coord.ucs

# Dimensoes
set W           0.015
set L           0.1
set H           0.01
set Lsd         0.02
set box         0.145

set Ltotal      [expr ($L+(2.0*$Lsd))]

pdbSetBoolean Grid MGoals UseLines 1

# Linhas de grade
line x loc= $box spac= 0.02 tag= SiTop
line x loc= 0 spac= 0.002 tag= Si0
line x loc= -$H spac= 0.001 tag= SiBot
line z loc= +0.000 spac= 0.100 tag= WCenter
line z loc= $W/2 spac= 0.05 tag= FRight
line z loc= [expr ($W+0.015)] spac= 0.500 tag= Right
line y loc= +0.000 spac= 0.10 tag= LCenter
line y loc= $Ltotal/2 spac= 0.10 tag= Drain

# Regioes
```

```
region Silicon name= Base xlo= SiBot xhi= Si0
region Oxide name= Box xlo= Si0 xhi= SiTop

init field= Boron concentration= 1.0e15 wafer.orient= 100

AdvancedCalibration
pdbSet ImplantData ResistSkip 1
pdbSet ImplantData BackBoundary Reflect
pdbSet ImplantData LeftBoundary Reflect
pdbSet ImplantData FrontBoundary Reflect
pdbSet ImplantData RightBoundary Reflect
pdbSetBoolean Mechanics StressHistory 0

pdbSet Grid sMesh 1
pdbSet Grid SnMesh MaxPoints 2000000
pdbSet Grid SnMesh CoplanarityAngle 179.0
3DOxSetup
pdbSetBoolean Grid Check 1
pdbSet Grid MGoals Keep3DBrep 1
sde off

pdbSet Mechanics EtchDepoRelax 0

# Fin
mask name= FIN1 left= 0.0 right= 1.0 front= $W/2 back= 1.0
photo mask= FIN1 thickness= 0.02
etch material= {Silicon} type= trapezoidal angle= 80 thickness= $H
strip Photoresist
etch material= {Oxide} type= isotropic rate= {0.004} time= 1.0
etch material= {Silicon} type= isotropic rate= {0.001} time= 1.0
deposit material= {Silicon} type= isotropic rate= {0.001} time= 1.0 selective.materials=
{Silicon}

# Gate stack
```

```
deposit material= {Oxide} type= isotropic rate= {0.002} time= 1.0
deposit material= {HfO2} type= isotropic rate= {0.002} time= 1.0
mater add name= TiN new.like= Nitride
pdbSetDouble TiN Mechanics BulkModulus [ Enu2K 600e10 0.25 ]
pdbSetDouble TiN Mechanics ShearModulus [ Enu2G 600e10 0.25 ]
pdbSetDouble TiN Mechanics ThExpCoeff 9.4e-6
deposit material= {TiN} type= isotropic rate= {0.005} time= 1.0
deposit material= Tungsten type= fill coord= -0.02

# Canal
mask name= Poly left= 0.0 right= $L/2 front= 0.0 back= 1.0 negative
photo mask= Poly thickness= 0.02
etch material= {Tungsten} type= anisotropic rate= {1.0} time= 1.0
etch material= { Oxide TiN HfO2} type= anisotropic rate= { 1.0 1.0 1.0} time= 1.0
strip Photoresist
deposit material= Oxide type= fill coord= 0

#Espaçador
deposit material= {Oxide} type= isotropic rate= {0.001} time= 1.0 selective.materials=
{Silicon}
deposit material= {Nitride} type= isotropic rate= {0.05} time= 1.0
mask name= Poly2 left= 0.0 right= ($L/2+0.01) front= 0.0 back= 1.0 negative
photo mask= Poly2 thickness= 0.02
etch material= {Nitride} type= anisotropic rate= {1.0} time= 1.0
strip Photoresist

#Fonte e Dreno
etch material= {Oxide} type= anisotropic rate= {1.0} time= 1.0
etch material= {Silicon} type= anisotropic rate= {1.0} time= 1.0
deposit material= {Oxide} type= fill coord= 0
deposit material= {Silicon} type= anisotropic rate= {0.05} time= 1.0 Boron
concentration=5e20

transform cut min= {-2*$H -1.0 -1.0} max= {1.0 1.0 1}
```

```
#Refino da grade
refinebox clear
refinebox Silicon min= {-$H 0 0 } max= {-($H-0.001) 1 1} \
xrefine= 0.0005 yrefine= 0.004 zrefine= 0.0005 normal.growth.ratio= 2.0

refinebox Silicon min= {-1 0 0 } max= {0 1 1} \
xrefine= 0.001 yrefine= 0.004 zrefine= 0.001 normal.growth.ratio= 2.0

refinebox Silicon min= {-1 0 $W/2 } max= {0 1 ($W/2+0.0005)} \
xrefine= 0.0005 yrefine= 0.004 zrefine= 0.0005 normal.growth.ratio= 2.0

refinebox Silicon min= {-1 ($L/2) 0} max= { 1 ($L/2+0.01) 1} \
xrefine= 0.001 yrefine= 0.001 zrefine= 0.001 normal.growth.ratio= 2.0

refinebox interface.materials = {Silicon}

grid remesh

#Difusao
diffuse temperature= 600<C> time= 0.01<min>

#Contatos
contact name= "gate" \
        box \
        Tungsten \
        xlo= -1.0 ylo= 0.0 zlo= 0.0 \
        xhi=  1.0 yhi= 1.0 zhi= 1.0 \
        adjacent.material= Gas
contact name= "drain" \
        box \
        Silicon \
        xlo= -1.0 ylo= [expr ($Ltotal/2-0.001)] zlo= 0.0 \
        xhi=  0.0 yhi= [expr ($Ltotal/2)] zhi= 1.0
```

```
contact name= "substrate" \
        bottom \
        Oxide

#Epelho da estrutura
struct tdr= NW_quarto !Gas
if { [catch {exec tdx -mtt -y -ren drain=source NW_quarto_fps.tdr NW_metade_fps.tdr} Err]
!=0 } {LogFile $Err}
if { [catch {exec tdx -mtt -z NW_metade_fps.tdr NW_fps.tdr} Err] !=0 } {LogFile $Err}

exit
```

APÊNDICE B – SIMULAÇÃO DE NANOFIO TRANSISTOR SOI

Arquivo para simulação de uma curva $I_{DS}(V_{GS})$ de um nanofio transistor tipo p, utilizando o Sentaurus Process, da Synopsys.

```
File { Current = "IdxVg_300_Vd40m_Vb0_W15_L100_H10_des.plt"}

Physics (Material="Silicon") {hQuantumPotential}

Physics (MaterialInterface="Silicon/Oxide"){
        Charge (Uniform Conc=6e12 SpaceMid=(0,0,0) SpaceSig=(0,1,1))}

Physics {
        Mobility (Enormal(IALMob)
        HighFieldSaturation)
        Recombination( Auger SRH(DopingDep))
        EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
       Fermi
        Temperature=300}

Plot {
eDensity hDensity
TotalCurrent/Vector eCurrent/Vector hCurrent/Vector
eMobility hMobility
eVelocity hVelocity
eQuasiFermi hQuasiFermi
eTemperature Temperature hTemperature
ElectricField/Vector Potential SpaceCharge
Doping DonorConcentration AcceptorConcentration
SRH Band2Band Auger
AvalancheGeneration eAvalancheGeneration
hAvalancheGeneration
eGradQuasiFermi/Vector hGradQuasiFermi/Vector
eEparallel hEparallel eENormal hENormal
```

```
BandGap
BandGapNarrowing
Affinity
ConductionBand ValenceBand
eBarrierTunneling hBarrierTunneling * BarrierTunneling
eTrappedCharge hTrappedCharge eInterfaceTrappedCharge hInterfaceTrappedCharge
eGapStatesRecombination hGapStatesRecombination
}

Device MOS{
        File {
                * input files:
                Grid =    " NW_fps.tdr"
                Parameter = "Param.par"
}

Electrode {
        { Name="source"     Voltage= 0.000 }
        { Name="drain"     Voltage= 0.000 }
        { Name="gate"     Voltage= 0.000 workfunction=4.70 }
        { Name="substrate" Voltage= 0.000 workfunction=5.2 }
        }}

System {
        MOS t1 (source=f drain=d gate=g substrate=s)
        Vsource_pset Vd (d 0) {dc=0}
        Vsource_pset Vg (g 0) {dc=0}
        Vsource_pset Vf (f 0) {dc=0}
        Vsource_pset Vs (s 0) {dc=0
        Plot " IdxVg_300_Vd40m_Vb0_W15_L100_H10.txt" (v(g f) v(d f) v(s f) i(t1 f))}

Math {
        CoordinateSystem { AsIs }
        ExitOnFailure
```

```
        Method=pardiso
        number_of_threads=8
        Iterations=100
}

Solve {
Quasistationary( Initialstep=1 Maxstep=1 Minstep=0.00001
                Goal {Parameter=Vd.dc Value=-40e-3 } )
                {Coupled(Iterations=15) {   Poisson Electron Hole hQuantumPotential }
CurrentPlot(time = (-1))  }

Quasistationary( Initialstep=0.05 Maxstep=0.05 Minstep=0.00001
                Goal {Parameter=Vg.dc Value=-1.5 } )
                {Coupled(Iterations=10) {   Poisson Electron Hole hQuantumPotential }
CurrentPlot(time = (range = (0 1)))  }
}
```

APÊNDICE C – PUBLICAÇÕES

As atividades desenvolvidas geraram as seguintes publicações:

Periódicos:

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Electrical Characterization of Vertically Stacked p-FET SOI Nanowires. **Solid-State Electronics**, v. 141, p. 84-91, 2018.

PAZ, B. C.; DORIA, R. T.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Harmonic Distortion Analysis of Triple Gate SOI Nanowire MOSFETS down to 100K. **Microelectronics and Reliability**, v. 79, p. 111-118, 2017.

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Study of silicon n- and p-FET SOI nanowires concerning analog performance down to 100K. **Solid-State Electronics**, v. 128, p. 60-66, 2017.

PAZ, B.C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; FAYNOT, O.; ÁVILA-HERRERA, F.; CERDEIRA, A.; PAVANELLO, M.A.. Drain current model for short-channel triple gate junctionless nanowire transistors. **Microelectronics and Reliability**, v. 63, p. 1-10, 2016.

ÁVILA-HERRERA, F.; PAZ, B.C.; CERDEIRA, A.; ESTRADA, M.; PAVANELLO, M.A.. Charge-based compact analytical model for triple-gate junctionless nanowire transistors. **Solid-State Electronics**, v. 122, p. 23-31, 2016.

Anais de eventos:

PAZ, B. C.; PAVANELLO, M. A.. Back Biasing Vertically Stacked Nanowires SOI p-type MOSFETs. **Workshop on Semiconductors and Micro & Nano- Technology**, São Bernardo do Campo, 2018.

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Cryogenic Operation of Ω-Gate p-type SiGe-on-Insulator Nanowire

MOSFETs. **2018 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon**, Granada, 2018.

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. New method for individual electrical characterization of stacked SOI nanowire MOSFETs. **SOI-3D-Subthreshold Microelectronics Technology Unified Conference**, San Francisco, 2017.

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Performance and Transport Analysis of Vertically Stacked p-FET SOI Nanowires. **2017 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon**, Atenas, 2017.

PAZ, B. C.; PAVANELLO, M. A.. Tridimensional Numerical Simulation and Electrical Characterization of Stacked Nanowires SOI MOSFETs. **Workshop on Semiconductors and Micro & Nano- Technology**, São Paulo, 2017.

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Analog performance of n- and p-FET SOI nanowires including channel length and temperature influence. **2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon**, Viena, 2016.

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Analog performance of strained SOI nanowires down to 10K. **46th European Solid-State Device Research Conference**, Lausanne, 2016.

PAZ, B. C.; DORIA, R. T.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Non-linearity analysis of triple gate SOI nanowires MOSFETS. **2016 31st Symposium on Microelectronics Technology and Devices**, Belo Horizonte, 2016.

PAZ, B. C.; PAVANELLO, M. A.. Numerical Simulation Study of the Mobility Behavior in Silicon Nanowires SOI nMOSFETs. **Workshop on Semiconductors and Micro & Nano-Technology**, Campinas, 2016.

ÁVILA-HERRERA, F.; CERDEIRA, A.; ESTRADA, M.; PAZ, B. C.; PAVANELLO, M. A.. Proposal of compact analytical modeling for trigate junctionless nanowire transistors. **2015 IEEE International Autumn Meeting on Power, Electronics and Computing**, Ixtapa, 2015.

CERDEIRA, A.; ÁVILA-HERRERA, F.; PAZ, B. C.; ESTRADA, M.; PAVANELLO, M. A.. Role of the extensions in Double-Gate Junctionless MOSFETs in the drain current at high gate voltage. **2015 30th Symposium on Microelectronics Technology and Devices**, Salvador, 2015.

ÁVILA-HERRERA, F.; CERDEIRA, A.; PAZ, B. C.; ESTRADA, M.; PAVANELLO, M. A.. Analytical compact model for triple gate junctionless MOSFETs. **2015 30th Symposium on Microelectronics Technology and Devices**, Salvador. 2015.

Submetido:

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Proposal of a New Method for Seperate Extraction of Carrier Mobility in Two Level Vertically Stacked SOI Nnanowire MOSFETs. **Solid-State Electronics**.

PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Back bias impact on effective mobility of p-type nanowires SOI MOSFETs. **2018 33rd Symposium on Microelectronics Technology and Devices**.

MOLTO, A. R.; PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Low-Frequency Noise Investigation in Long-Channel Fully Depleted Inversion Mode n-type SOI Nanowire. **2018 33rd Symposium on Microelectronics Technology and Devices**.

MOLTO, A. R.; PAZ, B. C.; CASSÉ, M.; BARRAUD, S.; REIMBOLD, G.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A.. Back bias influence on low-frequency noise of n-type nanowires SOI MOSFETs. **IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference**.