CENTRO UNIVERSITÁRIO FEI
CLÁUDIO VILLELA MOREIRA

# IMPLEMENTAÇÃO DO MODELO CONTÍNUO ESTÁTICO E DINÂMINO DE NANOFIOS TRANSISTORES MOS SEM JUNÇÕES USANDO LINGUAGEM VERILOG-A PARA PROJETO DE CIRCUITOS CMOS

São Bernardo do Campo
2018

**Cláudio Villela Moreira**

# IMPLEMENTAÇÃO DO MODELO CONTÍNUO ESTÁTICO E DINÂMINO DE NANOFIOS TRANSISTORES MOS SEM JUNÇÕES USANDO LINGUAGEM VERILOG-A PARA PROJETO DE CIRCUITOS CMOS

Dissertação apresentada ao Centro Universitário da FEI para obtenção do título de Mestre em Engenharia Elétrica. Orientado pelo Prof. Dr. Marcelo Antonio Pavanello

**São Bernardo do Campo**

**2018**

Moreira, Cláudio Villela
Implementação do modelo contínuo estático e dinâmico de nanofios transistores MOS sem junções usando linguagem VERILOG-A para projeto de circuitos CMOS/ Cláudio Villela Moreira. São Bernardo do Campo, 2018
146 p. : il.

Dissertação – Centro Universitário FEI.
Orientador: Prof. Dr. Marcelo Antonio Pavanello

1. Transistor MOS sem junções. 2. Junctionless. 3.SPICE 4. Verilog-A. 5. CMOS. I. Pavanello, Marcelo Antonio, orient. II. Título.

centro universitário FEI

# APRESENTAÇÃO DE DISSERTAÇÃO
# ATA DA BANCA EXAMINADORA

**Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica**

**Mestrado**

**PGE-10**

**Aluno:** Cláudio Villela Moreira **Matrícula:** 116127-2

**Título do Trabalho:** Implementação do modelo contínuo estático e dinâmico de nanofios transistores MOS sem junções usando linguagem VERILOG-A para projeto de circuitos CMOS.

**Área de Concentração:** Nanoeletrônica e Circuitos Integrados

**Orientador:** Prof. Dr. Marcelo Antonio Pavanello

**Data da realização da defesa:** 30/07/2018

ORIGINAL ASSINADA

**Avaliação da Banca Examinadora:**

São Bernardo do Campo, 30 / 07 / 2018.

| MEMBROS DA BANCA EXAMINADORA | |
|---|---|
| Prof. Dr. Marcelo Antonio Pavanello | Ass.: _____ |
| Prof.ª Dr.ª Milene Galeti | Ass.: _____ |
| Prof. Dr. Marcos Vinicius Puydinger dos Santos | Ass.: _____ |

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒ REPROVADO ☐

**VERSÃO FINAL DA DISSERTAÇÃO**

**APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA EXAMINADORA**

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a Deus, que tem me guiado e sustentado por esta jornada e aos meus pais, por todo o apoio e suporte.

## AGRADECIMENTOS

Primeiramente a Deus, por ter me guiado e sustentado, dando-me paz e direção para executar este trabalho.

Ao meu orientador Prof. Dr. Marcelo Antonio Pavanello por ter me incentivado ao longo do trabalho, dando conselhos que transcenderam os limites deste trabalho, que serão utilizados por toda vida.

Ao Dr. Renan Trevisoli Doria por todo auxilio para a compreensão do modelo que foi implementado, mostrando-me como foi feito o modelo e fornecendo as ferramentas utilizadas em sua validação.

Ao Prof. Dr. Rodrigo Trevisoli Doria e Prof.ª Dr. Michelly de Souza por seu auxilio nos momentos que tinha dúvidas.

Aos colegas Fernando, Renan, Bruna, Ligia, Thales, Rafael, Flavio e os que involuntariamente esqueci, pela amizade e apoio durante o trabalho.

Ao Prof. Dr. Renato Camargo Giacomini e a Prof.ª Dr. Milene Galeti por todos comentários advindos do exame de qualificação, que colaboraram para a melhoria deste trabalho.

Aos meus pais por todo apoio e auxilio não somente durante este trabalho, mas que por toda vida me incentivaram a seguir em frente

## RESUMO

Este trabalho tem como objetivo a implementação do modelo analítico estático e dinâmico do transistor MOS sem junções, proposto por Trevisoli *et al.* em linguagem VERILOG-A para utilização em simuladores do tipo SPICE. Esta linguagem foi selecionada por permitir a portabilidade do código entre simuladores de circuitos e ter surgido de fato como o padrão para este tipo de aplicação.

O modelo implementado foi comparado com os dados utilizados pelo autor do modelo para validação do código. Foi verificado a correlação esperada entre ambas implementações com a comparação de diversos transistores variando o comprimento e largura de canal e concentração de dopantes, realizando-se simulações variando as tensões de porta e dreno com o coeficiente de correlação de Pearson $r = 1$. Também são utilizados os resultados de simulações numéricas tridimensionais a fim de validar a implementação do modelo proposto quanto a sua capacidade de descrição do funcionamento dos transistores, que foi feito para 1μm e 100nm de comprimento de canal variando-se as tensões de porta e dreno com menor $r \geq 0{,}9982$. O modelo também foi validado para o uso com transistores pMOS por meio de simulações numéricas tridimensionais com transistor de canal longo, de 1μm de comprimento variando-se as tensões de forma similar, obtendo-se $r \geq 0{,}9995$. Foi observado ótima correlação em todos estes testes, validando a implementação estática.

Por fim, foi implementado o modelo dinâmico, permitindo a obtenção das 16 capacitâncias intrínsecas e possibilitando a implementação de um modelo de pequenos sinais. O modelo foi testado com os dados do autor do modelo obtendo $r \geq 0{,}9997$. Nas comparações com simulações numéricas tridimensionais foram obtidos $r \geq 0{,}9897$. Foi observado ótima correlação em todos estes testes, validando a implementação dinâmica.



Palavras–chave: transistor MOS sem junções, Junctionless, SPICE, VERILOG-A, CMOS.

## ABSTRACT

This work aims to implement the static and dynamic analytical model of the junctionless nanowire transistor, proposed by Trevisoli et al. in language VERILOG-A for usage in SPICE simulators. This language was selected because it allowed code portability between circuit simulators and became the standard for this type of application.

The implemented model was compared with the data used by the author of the model for validation of the code. The expected correlation between the two implementations was verified with the comparison of several transistors varying the length and width of channel and dopant concentration, realizing simulations varying the gate and drain voltages, obtaining the Pearson correlation coefficient $r = 1$. It is also used the results of three-dimensional numerical simulations to validate the implementation of the proposed model for its ability to describe the operation of the transistors, which was done with 1μm and 100nm of channel length, varying the voltages of gate and drain, obtaining $r \geq 0{,}9982$. The model was also validated for use with pMOS transistors using three-dimensional numerical simulations of long-channel transistor with 1μm in length, varying the tensions in a similar way, obtaining $r \geq 0{,}9995$. Was observed a good correlation in all these tests, validating the static implementation.

Finally, the dynamic model was implemented, allowing the acquisition of the 16 intrinsic capacitances and enabling the implementation of a small signal model. The model was tested with the data of the author of the model obtaining $r \geq 0{,}9997$. In the comparisons with three-dimensional numerical simulations, an $r \geq 0{,}9897$ were obtained. Was observed a good correlation in all these tests, validating the dynamic implementation.



Keywords: Junctionless MOS transistors, Junctionless, SPICE, VERILOG-A, CMOS.

## LISTA DE ILUSTRAÇÕES


Figura 1 – Perfil transversal de um nMOS SOI modo inversão .....32
Figura 2 – Perfil transversal de um SOI pMOS modo acumulação. .....34
Figura 3 – Modos de funcionamento do SOI MOSFET modo acumulação .....36
Figura 4 – SOI FinFET .....38
Figura 5 – Dispositivo porta tripla .....39
Figura 6 – Estrutura de um transistor multi–*fins* .....40
Figura 7 – SOI nMOS sem junções .....41
Figura 8 – Log($I_{DS}$) x $V_{GS}$ para transistores de múltiplas portas.....42
Figura 9 – Esquema da seção transversal e diagrama de faixas de energia para um JNT nMOS .....43
Figura 10 – Seção transversal de um JNT pMOS com destaque para a capacitância dos cantos .....47
Figura 11 – Curvas $I_{DS}$ x $V_{GS}$ e $g_M$ x $V_{GS}$ para um JNT nMOS.....58
Figura 12 – Fluxograma para calculo da corrente de dreno .....67
Figura 13 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando a largura do canal.....84
Figura 14 – Curva $g_M$ x $V_{GS}$ variando a largura do canal.....84
Figura 15 – Curva $g_M/I_{DS}$ x $V_{GS}$ variando a largura do canal .....85
Figura 16 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando concentração de dopantes ..86
Figura 17 – Curvas $g_M$ x $V_{GS}$ variando a concentração de dopantes .....86
Figura 18 – Curvas $g_M/I_{DS}$ x $V_{GS}$ variando a largura do canal.....87
Figura 19 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando a largura do canal.....88
Figura 20 – Curva $g_M$ x $V_{GS}$ variando a largura do canal.....88
Figura 21 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando concentração de dopantes ..89
Figura 22 – Curva $g_M$ x $V_{GS}$ variando a concentração de dopantes .....90
Figura 23 – Curva $I_{DS}$ x $V_{DS}$ e $g_D$ x $V_{DS}$ variando a largura do canal .....91
Figura 24 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando a largura do canal.....91
Figura 25 – Curva $g_M$ x $V_{GS}$ variando a largura do canal.....92
Figura 26 – Curva $g_M/I_{DS}$ x $V_{GS}$ variando a largura do canal .....93
Figura 27 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando concentração de dopantes ..93
Figura 28 – Curva $g_M$ x $V_{GS}$ variando a concentração de dopantes .....94

Figura 29 – Curva $g_M/I_{DS}$ x $V_{GS}$ variando a concentração de dopantes ..... 95
Figura 30 – Curva $I_{DS}$ x $V_{DS}$ variando a largura do canal ..... 95
Figura 31 – Curvas $I_{DS}$ x $V_{GS}$ variando $V_{DS}$ ..... 97
Figura 32 – Curvas log($I_{DS}$) x $V_{GS}$ variando $V_{DS}$ ..... 97
Figura 33 – Curvas $g_M$ x $V_{GS}$ variando $V_{DS}$ ..... 98
Figura 34 – Curvas $I_{DS}$ x $V_{DS}$ variando $VG$T ..... 99
Figura 35 – Curvas $I_{DS}$ x $V_{GS}$ variando $V_{DS}$ ..... 100
Figura 36 – Curvas log($I_{DS}$) x $V_{GS}$ variando $V_{DS}$ ..... 100
Figura 37 – Curvas $g_M$ x $V_{GS}$ variando $V_{DS}$ ..... 101
Figura 38 – Curvas $I_{DS}$ x $V_{GS}$ variando $V_{DS}$ de um dispositivo pMOS..... 102
Figura 39 – Curvas log($I_{SD}$) x $V_{GS}$ variando $V_{DS}$ de um dispositivo pMOS..... 103
Figura 40 – Curvas $g_M$ x $V_{GS}$ variando $V_{DS}$ de um dispositivo pMOS ..... 103
Figura 41 – Capacitâncias intrínsecas relativas à porta ..... 106
Figura 42 – Capacitâncias intrínsecas relativas à fonte e ao dreno..... 107
Figura 43 – Capacitâncias intrínsecas relativas ao substrato ..... 107
Figura 44 – Capacitâncias intrínsecas relativas à porta ..... 108
Figura 45 – Capacitâncias intrínsecas relativas à fonte e ao dreno..... 109
Figura 46 – Capacitâncias intrínsecas relativas ao substrato ..... 109
Figura 47 – Capacitâncias intrínsecas relativas à porta ..... 110
Figura 48 – Capacitâncias intrínsecas relativas à fonte e ao dreno..... 111

## LISTA DE TABELAS

Tabela 1 – Lista de parâmetros de entrada do modelo .....80
Tabela 2 – Valores extraídos para L = 1µm .....98
Tabela 3 – Valores extraídos para L = 100nm .....101
Tabela 4 – Valores extraídos para o pMOS .....104

## LISTA DE ABREVIATURAS E SIGLAS

| | |
|---|---|
| AMS | *Analog and mixed signal* — sinal analógico e misto |
| BOX | *Buried oxide* — oxido enterrado |
| CMOS | *Complementary metal-oxide-semiconductor* — metal–oxido–semicondutor complementar |
| CYNTIA | *Cylindrical thin–pillar transistor* — transistor cilíndrico vertical |
| DELTA | *Fully depleted lean–channel transistor* — transistor de canal vertical totalmente depletado |
| DIBL | *Drain induced barrier lowering* — redução da barreira induzida pelo dreno |
| EOT | Espessura efetiva do óxido de porta |
| FDSOI | *Fully depleted silicon–on–insulator* — silício–sobre–isolante totalmente depletado |
| FET | *Field–effect transistor* — transistor de efeito de campo |
| GAA | *Gate–all–around* — dispositivo de porta circuncidande |
| HDL | *Hardware description language* — linguagem de descrição de hardware |
| JNT | *Junctionless nanowire transistor* — nanofio transistor sem junções |
| LRM | language reference manual — manual de referência da linguagem |
| MOS | *Metal–oxide–semiconductor* — metal–oxido–semicondutor |
| MOSFET | *Metal–oxide–semiconductor field–effect transistor* — transistor de efeito de campo metal–oxido–semicondutor |
| NFDSOI | *Near fully depleted silicon–on–insulator* — silício–sobre–isolante quase totalmente depletado |
| nMOS | *n-type metal–oxide–semiconductor* — metal–oxido–semicondutor tipo–n |
| PDSOI | *Partially depleted silicon–on–insulator* — silício–sobre–isolante parcialmente depletado |
| pMOS | *p-type metal–oxide–semiconductor* — metal–oxido–semicondutor tipo–p |
| SCE | *Short–channel–effect — efeito de canal curto* |

| | |
|---|---|
| SOI | *Silicon–on–insulator* — silício–sobre–isolante |
| TCAD | Technology Computer Aided Design – projeto tecnológico assistido por computador |
| ULSI | *Ultra–large–scale integration* — altíssima escala de integração |
| XMOS | Transistor MOS assim denominada por apresentar seção transversal semelhante a letra grega Ξ (Xi) |
| 1DEG | *One–dimensional electron–gas* — nuvem de elétrons unidimensional |
| 2DEG | *Two–dimensional electron–gas* — nuvem de elétrons bidimensional |

## LISTA DE SÍMBOLOS

| | |
|---|---|
| $A_V$ | Ganho de tensão de malha aberta [V/V ou dB] |
| $\mathrm{C_{bb}}$ | Capacitância intrínseca do substrato [F] |
| $\mathrm{C_{bd}}$ | Capacitância intrínseca entre o substrato e o dreno [F] |
| $\mathrm{C_{bg}}$ | Capacitância intrínseca entre o substrato e a porta [F] |
| $\mathrm{C_{bs}}$ | Capacitância intrínseca entre o substrato e a fonte [F] |
| $C_{BOX}$ | Capacitância do oxido enterrado por unidade de comprimento [F/cm] |
| $C_{crnr}$ | Capacitância dos cantos do oxido de porta por unidade de comprimento [F/cm] |
| $\mathrm{C}_{db}$ | Capacitância intrínseca entre o dreno e o substrato [F] |
| $\mathrm{C}_{dd}$ | Capacitância intrínseca do dreno [F] |
| $\mathrm{C_{dg}}$ | Capacitância intrínseca entre o dreno e a porta [F] |
| $\mathrm{C_{ds}}$ | Capacitância intrínseca entre o dreno e a fonte [F] |
| $\mathrm{C}_{gb}$ | Capacitância intrínseca entre a porta e o substrato [F] |
| $\mathrm{C}_{gd}$ | Capacitância intrínseca entre a porta e o dreno [F] |
| $\mathrm{C_{gg}}$ | Capacitância intrínseca da porta [F] |
| $\mathrm{C_{gs}}$ | Capacitância intrínseca entre a porta e a fonte [F] |
| $\mathrm{C}_{sb}$ | Capacitância intrínseca entre a fonte e o substrato [F] |
| $\mathrm{C}_{sd}$ | Capacitância intrínseca entre a fonte e o dreno [F] |
| $\mathrm{C_{sg}}$ | Capacitância intrínseca entre a fonte e a porta [F] |
| $\mathrm{C_{ss}}$ | Capacitância intrínseca da fonte [F] |
| $E_S$ | Campo elétrico de superfície [V/cm] |
| $E_V$ | Faixa de valência [eV] |
| $\mathrm{g_D}$ | Condutância de dreno [S] |
| $g_M$ | Transcondutância [S] |
| $h$ | Constate de Planck [$6{,}626*10^{-23}$ J*s] |

| | |
|---|---|
| $H$ | Altura do canal de um transistor tridimensional [nm] |
| $I_{acc}$ | Corrente de acumulação [A] |
| $I_B$ | Corrente de corpo [A] |
| $I_{DS}$ | Corrente que flui entre o dreno e a fonte de um transistor [A] |
| $k$ | Constante de Boltzmann[1,38*10$^{-23}$J/K] |
| $L$ | Comprimento de canal [nm] |
| $m^*$ | Massa de confinamento do portador na direção transversal [kg] |
| $m^*_{de}$ | Massa efetiva das densidades de estados para elétrons |
| $m^*_{dh}$ | Massa efetiva das densidades de estados para lacunas |
| $m_0$ | Massa do elétron [9,11*10$^{-31}$ kg] |
| $n$ | Fator de corpo do transistor |
| $N_A$ | Concentração de impurezas aceitadores [cm$^{-3}$] |
| $N_C$ | Densidade de estados na banda de condução [cm$^{-3}$] |
| $N_D$ | Concentração de impurezas doadoras [cm$^{-3}$] |
| $N_V$ | Densidade de estados na banda de valência [cm$^{-3}$] |
| $n_i$ | Concentração intrínseca do silício [cm$^{-3}$] |
| $P$ | Período de repetição da estrutura multi–*fins* [nm] |
| $q$ | Carga elementar do elétron [1,6*10$^{-19}$ C] |
| Q | Densidade de cargas controlada pela porta [C/cm] |
| $Q_C$ | Densidade de cargas de condução por unidade de comprimento [C/cm] |
| $Q_{C_1}$ | Parâmetro utilizado na modelagem do potencial de superfície relacionado à transição entre condução pelo corpo e pela camada de acumulação |
| $Q_{C_2}$ | Parâmetro utilizado na modelagem do potencial de superfície relacionado à região de sublimiar |
| $Q_{C_3}$ | Parâmetro utilizado na modelagem do potencial de superfície no cálculo do parâmetro $Q_{C_1}$ |
| $Q_{C_4}$ | Parâmetro utilizado na modelagem do potencial de superfície no cálculo do parâmetro $Q_{C_1}$ |

| | |
|---|---|
| $Q_{C_5}$ | Parâmetro utilizado na modelagem do potencial de superfície no cálculo do parâmetro $Q_{C_1}$ |
| $Q_{C_6}$ | Parâmetro utilizado na modelagem do potencial de superfície no cálculo da tensão $V_{GS_2}$ |
| $Q_{C,D}$ | Densidade de cargas de condução por unidade de comprimento do lado do dreno [C/cm] |
| $Q_{C,S}$ | Densidade de cargas de condução por unidade de comprimento do lado da fonte [C/cm] |
| $\mathrm{Q_D}$ | Carga total no dreno [C] |
| $\mathrm{Q_G}$ | Carga total na porta [C] |
| $Q_{OX}$ | Densidade equivalente de cargas fixas no oxido por unidade de área [C/cm$^2$] |
| $\mathrm{Q_S}$ | Carga total de condução na fonte [C] |
| $Q_{Si}$ | Densidade de cargas fixas no silício por unidade de comprimento [C/cm] |
| $\mathrm{Q_t}$ | Carga total de condução no canal [C] |
| $r$ | Fator de correlação de Pearson |
| $R_S$ | Resistência série associada ao transistor [Ω] |
| $S$ | Inclinação de sublimiar [mV/década] |
| $SCE_1$ | Parâmetro utilizado na modelagem dos efeitos de canal curto relacionado à limitação do ponto de mínimo potencial no comprimento de canal |
| $SE_1$ | Parâmetro utilizado na modelagem do efeito do potencial de substrato |
| $SE_2$ | Parâmetro utilizado na modelagem do efeito do potencial de substrato |
| $SE_3$ | Parâmetro utilizado na modelagem do efeito do potencial de substrato |
| $T$ | Temperatura absoluta [K] |
| $t_{BOX}$ | Espessura do oxido enterrado [nm] |
| $t_{OX}$ | Espessura do oxido de porta [nm] |
| $t_{OX,lat}$ | Espessura do oxido de porta nas laterais do transistor de porta dupla [nm] |

| | |
|---|---|
| $t_{OX,top}$ | Espessura do oxido de porta no topo do transistor de porta dupla [nm] |
| $t_{Si}$ | Espessura da camada de silício [nm] |
| $\mathrm{V_{BS}}$ | Tensão entre o substrato e a fonte [V] |
| $\mathrm{V_{BS_2}}$ | Parâmetro utilizado na modelagem da tensão do efeito do potencial de substrato [V] |
| $V_{FB}$ | Tensão de faixa plana [V] |
| $V_{FB_S}$ | Tensão de faixa plana relativa ao substrato [V] |
| $V_D$ | Tensão no dreno [V] |
| $V_{DS}$ | Tensão entre o dreno e a fonte [V] |
| $V_{D_{Sat}}$ | Tensão de saturação de dreno [V] |
| $V_{D_{Sat1}}$ | Parâmetro utilizado na modelagem da tensão de saturação entre dreno e fonte |
| $V_{D_{Sat2}}$ | Parâmetro utilizado na modelagem da tensão de saturação entre dreno e fonte |
| $V_{D_{Sat3}}$ | Parâmetro utilizado na modelagem da tensão de saturação entre dreno e fonte |
| $V_{GS}$ | Tensão entre a porta e a fonte [V] |
| $V_{GS_1}$ | Tensão de porta utilizada no cálculo do potencial de superfície [V] |
| $V_{GS_2}$ | Tensão de porta utilizada no cálculo do potencial de superfície na região de sublimiar [V] |
| $V_{GT}$ | Sobretensão de porta [V] |
| $\mathrm{V_k}$ | Tensão em um dos terminais do transistor [V] |
| $V_Q$ | Potencial devido a presença de cargas no óxido [V] |
| $V_S$ | Tensão na fonte [V] |
| $\mathrm{v_{Sat}}$ | Velocidade de saturação dos portadores [m/s] |
| $V_{Th}$ | Tensão de limiar [V] |
| $V_Y$ | Potencial na posição y do canal [V] |
| $W$ | Largura do canal de um transistor [nm] |

| | |
|---|---|
| $W_{ef}$ | Largura efetiva da porta de um transistor tridimensional [nm] |
| $x_{depl}$ | Dimensão da região de depleção induzida pela polarização de substrato [nm] |
| $x_{d_{max}}$ | Espessura máxima da região de depleção [nm] |
| $y_{lim}$ | Ponto de mínimo potencial no canal limitado no comprimento de canal [nm] |
| $y_{min}$ | Ponto de mínimo potencial no canal [nm] |
| $\hbar$ | Constante de Planck normalizada [1,055*10$^{-34}$ J*s] |
| $\alpha_{E_G}$ | Parâmetro utilizado no cálculo da largura da faixa proibida [eV/K] |
| $\alpha_S$ | Coeficiente de espalhamento [cm/V] |
| $\beta_{E_G}$ | Parâmetro utilizado no cálculo da largura da faixa proibida [K] |
| $\gamma_{pot}$ | Coeficiente utilizado na modelagem do potencial de superfície [V] |
| $\varepsilon_{BOX}$ | Permissividade do óxido enterrado [F/cm] |
| $\varepsilon_{OX}$ | Permissividade do óxido de porta [F/cm] |
| $\varepsilon_{Si}$ | Permissividade do silício [1,06*10$^{-12}$ F/cm] |
| $\theta$ | Coeficiente de degradação da mobilidade pelo campo elétrico vertical |
| $\theta_2$ | Coeficiente de degradação da mobilidade pela tensão de dreno |
| $\lambda$ | Comprimento característico [nm] |
| $\lambda_h$ | Comprimento característico relacionado à altura [nm] |
| $\lambda_w$ | Comprimento característico relacionado à largura [nm] |
| $\mu$ | Mobilidade dos portadores [cm$^2$/(V*s)] |
| $\mu_{cc}$ | Mobilidade devido ao espalhamento portador–portador [cm$^2$/(V*s)] |
| $\mu_{eff}$ | Mobilidade efetiva [cm$^2$/(V*s)] |
| $\mu_{ni}$ | Mobilidade devido ao espalhamento por impurezas neutras [cm$^2$/(V*s)] |
| $\mu_{ps}$ | Mobilidade devido ao espalhamento de rede [cm$^2$/(V*s)] |
| $\mu_{psii}$ | Mobilidade devido aos espalhamentos de rede e por impureza ionizada [cm$^2$/(V*s)] |

| | |
|---|---|
| $\mu_0$ | Mobilidade de baixo campo [$cm^2/(V*s)$] |
| $\phi_F$ | Potencial de Fermi [V] |
| $\phi_m$ | Função trabalho do metal de porta [V] |
| $\phi_{mi}$ | Diferença entre as funções trabalho de porta do silício intrínseco [V] |
| $\phi_{min}$ | Mínimo valor do potencial de superfície efetivo utilizado na correção dos efeitos de canal curto [V] |
| $\phi_{MS}$ | Diferença entre as funções trabalho do metal de porta e do silício [V] |
| $\phi_S$ | Potencial de superfície efetivo [V] |
| $\phi_{SB}$ | Diferença entre as funções trabalho do silício e do substrato [V] |
| $\phi_{S,D}$ | Potencial de superfície efetivo do lado do dreno [V] |
| $\phi_{S,S}$ | Potencial de superfície efetivo do lado da fonte [V] |
| $\phi_{S,acc}$ | Potencial efetivo de superfície devido a acumulação do canal [V] |
| $\phi_{S,BS}$ | Potencial de superfície relativo ao substrato [V] |
| $\phi_{S,dep}$ | Potencial efetivo de superfície devido a depleção parcial do canal [V] |
| $\phi_{Si}$ | Função trabalho do silício [V] |
| $\phi_t$ | Potencial térmico [V] |
| $\chi_{Si}$ | Afinidade eletrônica do silício [4,15 eV] |

**SUMÁRIO**


**1 INTRODUÇÃO** ..... 27
**2 REVISÃO BIBLIOGRÁFICA** ..... 31
2.1 TECNOLOGIA SOI ..... 31
**2.1.1 Classificação dos transistores SOI MOSFET** ..... 32
***2.1.1.1 Transistor SOI parcialmente depletado*** ..... 33
***2.1.1.2 Transistor SOI totalmente depletado*** ..... 33
***2.1.1.3 Transistor SOI quase-totalmente depletado*** ..... 34
**2.1.2 SOI MOSFET modo acumulação** ..... 34
2.2 DISPOSITIVOS DE MÚLTIPLAS PORTAS ..... 36
2.3 TRANSISTORES SEM JUNÇÕES ..... 40
2.4 CARACTERISTICAS ELÉTRICAS DOS TRANSISTORES SEM JUNÇÕES ..... 44
**2.4.1 Tensão de faixa plana** ..... 44
***2.4.1.1 Diferença de função trabalho entre metal de porta e semicondutor*** ..... 45
***2.4.1.2 Cargas no oxido*** ..... 46
**2.4.2 Cargas na camada de silício** ..... 47
**2.4.3 Efeito do potencial de substrato** ..... 48
**2.4.4 Tensão de limiar** ..... 49
**2.4.5 Inclinação de sublimiar** ..... 50
**2.4.6 Mobilidade** ..... 50
**2.4.7 Resistência série** ..... 52
**2.4.8 Transcondutância e razão $g_m/I_{DS}$** ..... 53
**2.4.9 Efeitos de canal curto** ..... 53
2.5 MODELO ANALÍTICO DOS NANOFIOS TRANSISTORES MOS SEM JUNÇÃO ..... 54
**2.5.1 Modelo estático** ..... *54*
***2.5.1.1 Condução pelo corpo*** ..... 55
***2.5.1.2 Condução pela camada de acumulação*** ..... 55
***2.5.1.3 Transição entre os modos de condução*** ..... 55
***2.5.1.4 Densidade de cargas de condução*** ..... 57
***2.5.1.5 Corrente de dreno*** ..... 57
***2.5.1.6 Tensão de saturação*** ..... 58

*2.5.1.7 Efeitos de canal curto* ..... 59
**2.5.2 Modelo dinâmico** ..... 60
*2.5.2.1 Capacitâncias intrínsecas* ..... 61
2.6 LINGUAGEM VERILOG-A ..... 63
2.7 SIMULADOR NUMÉRICO DE DISPOSTIVOS ..... 65
**3 IMPLEMENTAÇÃO DO MODELO EM LINGUAGEM VERILOG-A** ..... 67
**4 VALIDAÇÃO DA IMPLEMENTAÇÃO EM VERILOG-A** ..... 83
4.1 VALIDAÇÃO DO CÓDIGO IMPLEMENTADO EM LINGUAGEM VERILOG-A ..... 83
4.2 COMPARAÇÃO COM SIMULAÇÕES TRIDIMENSIONAIS ..... 96
**4.2.1 JNTs nMOS** ..... 96
**4.2.2 JNTs pMOS** ..... 101
**5 VALIDAÇÃO DA IMPLEMENTAÇÃO DO MODELO DINÂMICO** ..... 105
5.1 VALIDAÇÃO DO CÓDIGO IMPLEMENTADO EM LINGUAGEM VERILOG-A ..... 105
5.2 COMPARAÇÃO COM SIMULAÇÕES TRIDIMENSIONAIS ..... 110
**6 CONCLUSÃO** ..... 113
**REFERÊNCIAS** ..... 115
**APÊNDICE A — ARQUIVO PARA GERAR UMA ESTRUTURA DE UM TRANSISTOR MOS SEM JUNÇÕES NO SENTAURUS STRUCTURE EDITOR** . 123
**APÊNDICE B — EXEMPLO DE ARQUIVO DE SIMULAÇÃO DE DISPOSITIVO NO SENTAURUS DEVICE SIMULATION** ..... 129
**APÊNDICE C — MODELO ESCRITO EM VERILOG-A** ..... 133
**APÊNDICE D — EXEMPLOS DE ARQUIVOS DE ENTRADA SPICE** PARA O SIMULADOR ELDO ..... 143
**APÊNDICE E — PUBLICAÇÃO REALIZADA AO LONGO DO PROJETO** ..... 145

# 1 INTRODUÇÃO

Com o avanço da microeletrônica, atender a expectativa de miniaturização das dimensões, assim como a prevista pela Lei de Moore (1),tem se tornado mais complexo. Esta crescente miniaturização dos transistores metal–oxido–semicondutor (MOS) faz com que o controle da porta sobre as cargas no canal seja reduzido nos transistores planares, de forma que as regiões de depleção de fonte/canal e dreno/canal destes dispositivos controlem uma parcela significativa destas cargas (2). Embora o desenvolvimento de transistores planares tenha chegado a comprimentos de canal de cerca de 15nm (3), a perda de controle das cargas pela porta inviabiliza o uso de transistores MOS planares em circuitos digitais de altíssima escala de integração (ULSI). Com isto, veio a busca por tecnologias alternativas para minimizar estes problemas (4,5,6,7,8).

Uma das formas que se buscou para minimizar estes problemas foi a adoção de substratos silício–sobre–isolante (SOI), que trouxe melhorias significativas na performance das propriedades elétricas em relação aos transistores MOS convencionais, como a redução de canal curto, diminuição da capacitância de junção, menor inclinação de sublimiar, menor efeito de perfuração MOS e maior resistência à radiação por conta da presença de oxido entre a região ativa e o substrato (2).

Outra forma que foi utilizada para minimizar estes efeitos é o uso de transistores com mais de uma porta, que começaram a ser desenvolvidos no final dos anos 80, com o desenvolvimento do transistor de canal vertical totalmente depletado (DELTA) (4), que tinha duas portas. Estes transistores, por apresentarem mais de uma porta, fazem com que o controle eletrostático das cargas pela porta seja mais eficiente, diminuindo os efeitos de canal curto em relação a um transistor planar equivalente (5). Com base nesta estrutura, foi desenvolvido o FinFET (8). Ele possui óxido de porta nas laterais e um óxido de porta mais espesso no topo do dispositivo, tornando-o um transistor de porta dupla (5). Posteriormente, a estrutura do FinFET foi modificada, introduzindo um óxido de porta de espessura uniforme no topo e nas laterais. Este transistor ficou conhecido como Trigate ou FinFET de porta tripla (8). Também foram criados transistores onde as dimensões da seção transversal são reduzidas, de forma que todas estas dimensões são da ordem de dezenas de nanômetros, para que sejam

menores que o comprimento de canal. Este tipo de estruturas de dimensões reduzidas é denominada de nanofio.

Apesar destas tecnologias auxiliarem na redução do comprimento de canal, a fabricação de dispositivos de comprimento de canal extremamente reduzidos (tecnologias sub–20nm) se torna extremamente complexa, por conta da necessidade de junções abruptas, variando diversas ordens de grandeza em poucos nanômetros (9). Para se continuar a miniaturização dos transistores sem a necessidade de complexos processos de fabricação, foi proposta uma nova estrutura, cuja concentração de dopantes é constante ao longo de toda camada de silício, sem gradientes de concentração, chamada *Junctionless Nanowire Transistor* (JNT) (10,11,12).

Para que o JNT funcione adequadamente, a camada de silício deve ser de poucos nanômetros e com alta concentração de dopantes, de forma a permitir a depleção completa da região de canal quando o transistor é desligado e, quando este é ligado, um nível de corrente adequado (12). A operação do JNT é um pouco diferente de outros transistores metal–oxido–silício de efeito de campo (MOSFET), que operam geralmente em modo inversão. Um JNT metal–oxido–semicondutor tipo–n (nMOS) apresenta concentração de dopantes doadoras da fonte ao dreno, do tipo $N^+$, enquanto um JNT metal–oxido–semicondutor tipo–p (pMOS) apresenta concentração de dopantes aceitadoras, do tipo $P^+$. Quando se inicia a condução, tendo a tensão na porta pouco superior à tensão de limiar para um nMOS, inicia-se a formação de um canal neutro no centro do dispositivo por onde ocorrerá a condução decorrente da redução das regiões de depleção (11).

Atualmente são encontrados estudos referentes à operação destes dispositivos em análise estática (9,10,12,13,14,15) e em análise dinâmica (16,17,18,19,20,21,22). Porém, poucos estudos implementando estes dispositivos em circuitos (23). Existem alguns modelos estáticos propostos para o JNT (24,25,26,27,28), porém poucos modelos dinâmicos (29).

Neste trabalho, foi implementado o modelo proposto por Trevisoli *et al.* (25) em linguagem VERILOG-A, para a utilização dele em simuladores de circuito do tipo SPICE, a fim de ser possível o projeto de circuitos elétricos com os JNTs. O modelo foi escolhido pelo fato de também possuir tanto a descrição das características estáticas como as dinâmicas, permitindo uma implementação completa do dispositivo.

Foi validado o código pela comparação com a implementação feita em MATLAB por Trevisoli para análise de um transistor, posteriormente sendo validado o modelo por meio de comparações com simulações numéricas tridimensionais. Por fim, o modelo foi validado para o uso com transistores pMOS por meio de comparações com simulações numéricas tridimensionais, permitindo a simulações de circuitos MOS complementar (CMOS) e o projeto de circuitos integrados com estes transistores.

Na seção 2 são apresentados os conceitos fundamentais para o desenvolvimento do trabalho. Nesta seção é feita uma breve introdução sobre os transistores SOI e dispositivos de múltiplas portas, detalhando JNT, também são apresentadas as características elétricas fundamentais e o modelo utilizado. Será também feita uma apresentação sobre a linguagem VERILOG-A, assim como as informações sobre o simulador numérico utilizado.

Na seção 3 é apresentada a estrutura utilizada para a implementação do modelo em VERILOG-A e a descrição de todos os parâmetros de entrada com seus significados, valores padrão e limites, para a utilização do modelo. Também serão detalhadas as características da linguagem, apresentando as limitações e opções que foram implementadas no modelo.

Na seção 4 é apresentada a validação da implementação por meio de comparação com a versão implementada no MATLAB e por simulações numéricas tridimensionais. E mostrado a concordância entre o modelo e a literatura através da comparação com o MATLAB para o nMOS. A validadação da física do modelo implementado foi feita meio de simulações numéricas tridimensionais para o nMOS e pMOS, assim como explicadas as alterações em relação ao modelo proposto.

Na seção 5 são apresentados os resultados do modelo para as capacitâncias intrínsecas, comparando com simulações numéricas tridimensionais. Na validação com o simulador, foram feitas simulações variando as tensões aplicadas nos terminais do dispositivo.

Por fim, na seção 6 são apresentadas as conclusões deste trabalho e a proposta para sua continuidade.

# 2 REVISÃO BIBLIOGRÁFICA

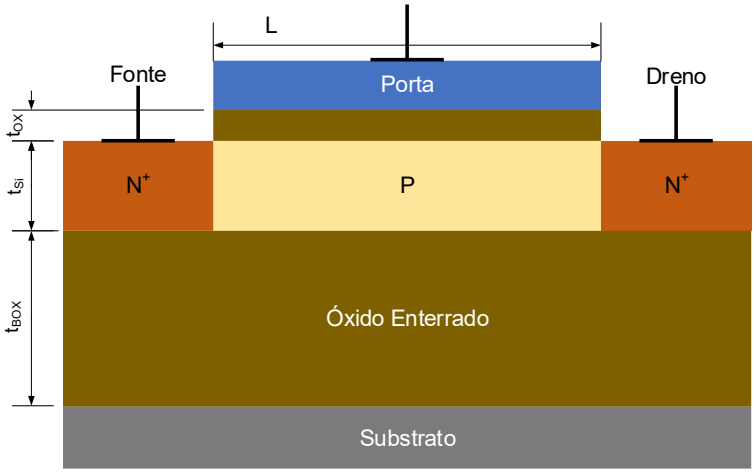
Esta seção apresenta a revisão bibliográfica sobre a tecnologia SOI, mostrando o modo de funcionamento dos transistores, com enfoque no modo acumulação. Na sequência serão apresentados os dispositivos de múltiplas portas, em especial os sem junções com detalhes sobre o seu modo de funcionamento. Também é descrito o modelo para a corrente elétrica de transistores MOS sem junções de porta tripla, utilizado para a implementação em VERILOG-A que será validada com auxílio do simulador de circuitos ELDO (30).

## 2.1 TECNOLOGIA SOI

A tecnologia SOI surgiu como uma alternativa à tecnologia convencional (bulk), tendo melhores características elétricas por conta do oxido enterrado (BOX), que isola eletricamente a região ativa do substrato (2). Porém, também apresenta desvantagens como maior efeito de autoaquecimento em relação ao bulk (31).

Os MOSFETs SOI são formados pelo material de porta, uma fina camada de óxido de porta, de espessura $t_{OX}$, uma camada de silício dopada, de espessura $t_{Si}$, pelo BOX, de espessura $t_{BOX}$ e pelo substrato de silício. Essas camadas formam dois capacitores MOS, sendo um capacitor formado pela estrutura substrato/óxido enterrado/silício dopado e um capacitor de porta (2).Também formam três interfaces, sendo a interface óxido de porta/silício a primeira, o silício/óxido enterrado a segunda e o óxido enterrado/substrato a terceira. Na figura 1 é mostrado um esquemático do perfil transversal de nMOS SOI modo inversão, onde estão destacadas as espessuras do óxido de porta, óxido enterrado e silício.

Figura 1 – Perfil transversal de um nMOS SOI modo inversão




Fonte: Autor

Devido à presença do óxido enterrado, algumas vantagens da tecnologia SOI podem ser destacadas, como (2):

- Efeito de perfuração MOS reduzido;
- Menores capacitâncias parasitárias;
- Maior densidade de integração;
- Maior resistência à radiação;
- Eliminação do efeito tiristor parasitário;
- Menor inclinação de sublimiar.

Os transistores SOI podem ser divididos em dois tipos, de acordo com a física de seu funcionamento, podendo ser modo inversão ou modo acumulação.

### 2.1.1 Classificação dos transistores SOI MOSFET

Os transistores SOI podem ser classificados de três formas, dependendo fortemente da espessura da camada de silício ($t_{si}$), da concentração de dopantes ($N_A$) e da temperatura (T). Esses parâmetros definem o tipo do dispositivo, que pode ser totalmente depletado (FDSOI) ou de camada fina, parcialmente depletado (PDSOI) ou de camada espessa e quase totalmente depletado (NFDSOI) ou de camada média.

A espessura máxima da região de depleção $x_{d_{max}}$ em um transistor nMOS é descrita pela equação 1 (32).

$$x_{d_{max}} = \sqrt{\frac{2\varepsilon_{si}2\phi_F}{qN_A}} \quad (1)$$

onde $\varepsilon_{si}$ é a permissividade do silício, $q$ é a carga elementar do elétron, $N_A$ é a concentração de impurezas aceitadores e $\phi_F$ é o potencial de Fermi, dado pela equação 2.

$$\phi_F = \phi_t \, ln\left(\frac{N_A}{n_i}\right) \tag{2}$$

onde $n_i$ é a concentração intrínseca do silício e $\phi_t$ é o potencial térmico que é dado por $\phi_t = \mathrm{kT/q}$ sendo $\mathrm{k}$ a constante de Boltzmann e $\mathrm{T}$ a temperatura absoluta.

Usando a equação 1 é possível determinar a classificação do transistor SOI, comparando esta espessura com $t_{OX}$.

#### *2.1.1.1 Transistor SOI parcialmente depletado*

Se $t_{Si}$ for maior do que duas vezes $x_{d_{max}}$, não é possível a região de depleção ocupar toda a camada de silício, desta forma sempre haverá uma região neutra na entre as regiões de depleção da primeira e segunda porta. Esses são os dispositivos PDSOI. Caso a região neutra esteja aterrada, esse dispositivo se comportará como um MOS convencional, com a vantagem das capacitâncias de junção reduzidas. Se não houver contato com a região neutra, o dispositivo apresentará efeitos de corpo flutuante, como elevação abrupta da corrente (efeito kink) e o efeito bipolar parasitário (33).

#### *2.1.1.2 Transistor SOI totalmente depletado*

Se $t_{Si}$ for menor do que $x_{d_{max}}$, haverá uma interação entre as regiões de depleção induzidas pela porta e pelo substrato enquanto o transistor estiver desligado. Esses são os dispositivos FDSOI. São estes dispositivos os que apresentam as melhores características em relação ao MOS convencional. Entre as vantagens do FDSOI tem-se, dentre outras:

- Maior mobilidade dos portadores na região do canal (34);
- A diminuição dos efeitos de canal curto (35);
- Menor variação da tensão de limiar com a temperatura (36);
- Menor inclinação de sublimiar (37).

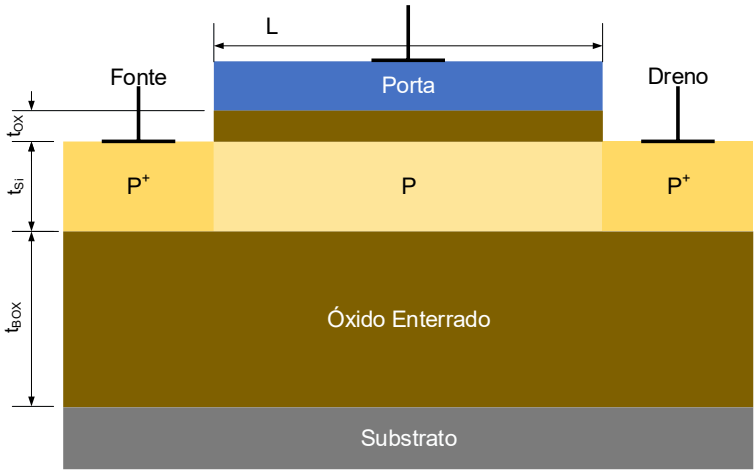
#### *2.1.1.3 Transistor SOI quase-totalmente depletado*

Se a espessura da camada de silício estiver entre uma e duas vezes $x_{dmax}$ poderá haver interação entre as regiões de depleção induzidas, dependendo da tensão de substrato, podendo se comportar como um FDSOI ou um PDSOI caso tenha ou não interação entre as regiões de depleção (2). Estes dispositivos são chamados de NFDSOI.

### 2.1.2 SOI MOSFET modo acumulação

O transistor SOI modo acumulação possui dopantes de mesmo tipo nas regiões de fonte, dreno e canal. Este dispositivo não possui um similar nas tecnologias convencional e PDSOI, sendo um dispositivo da tecnologia FDSOI (2). A figura 2 mostra a seção transversal de um pMOS SOI modo acumulação.

Figura 2 – Perfil transversal de um SOI pMOS modo acumulação.




Fonte: Autor

Quando não é aplicada tensão na porta do dispositivo, a diferença entre as funções trabalho do material de porta (geralmente silício policristalino tipo $N^+$) e do silício tipo P e a presença de cargas positivas na interface oxido de porta/silício, a camada de silício se encontra totalmente depletada e não há passagem de corrente entre a fonte e o dreno. Ao se aplicar uma tensão negativa na porta, no caso de um pMOS, a região de depleção começa a reduzir-se, permitindo a passagem de corrente entre a fonte e o dreno. Neste dispositivo, há dois caminhos de condução: o corpo do dispositivo ($I_B$) e a camada de acumulação ($I_{acc}$) formada na interface do silício/oxido

de porta. Devido a este fato, este dispositivo apresenta mais de uma tensão de limiar (2).

Em um pMOS modo acumulação, conforme a tensão de porta ($V_{GS}$) reduz e a região de depleção diminui, atinge-se uma tensão onde não há mais barreira no centro do dispositivo. Esta é a tensão de limiar ($V_{Th}$). Quando $V_{GS} < V_{Th}$ tem se a condução pelo centro do dispositivo, denominada corrente de corpo ($I_B$). Conforme a tensão $V_{GS}$ é reduzida ainda mais atinge-se a tensão de faixa plana ($V_{FB}$) não há mais depleção no dispositivo e, para $V_{GS} = V_{FB}$ o potencial de superfície e a carga do silício se anulam. Para tensões abaixo de $V_{FB}$, isto é, $V_{GS} < V_{FB} < V_{Th}$ temos a condução, além de $I_B$, pela camada de acumulação formada na superfície do dispositivo, denominada corrente de acumulação ($I_{acc}$). Somando-se as duas correntes, tem -se a corrente total do dispositivo (38,39).

Deste modo, dependendo da tensão aplicada entre o dreno e a fonte ($V_{DS}$) e de $V_{GS}$ a condução ocorre de formas distintas, levando às seguintes formas de condução para o pMOS (38):

a) Se $V_{GS} > V_{Th}$, o dispositivo está totalmente depletado e o dispositivo está operando em sublimiar, conforme a figura 3.A;

b) Se $V_{FB} < V_{GS} < V_{Th}$ e $V_{DS} < V_{GT}$o transistor está conduzindo pelo centro do canal em saturação, conforme a a figura 3.B;

c) Se $V_{GS} < V_{FB}$ e $V_{GT} < V_{DS} < (V_{GS} - V_{FB})$, o transistor está conduzindo pelo centro do canal em tríodo e na camada de acumulação em saturação, conforme a a figura 3.C;

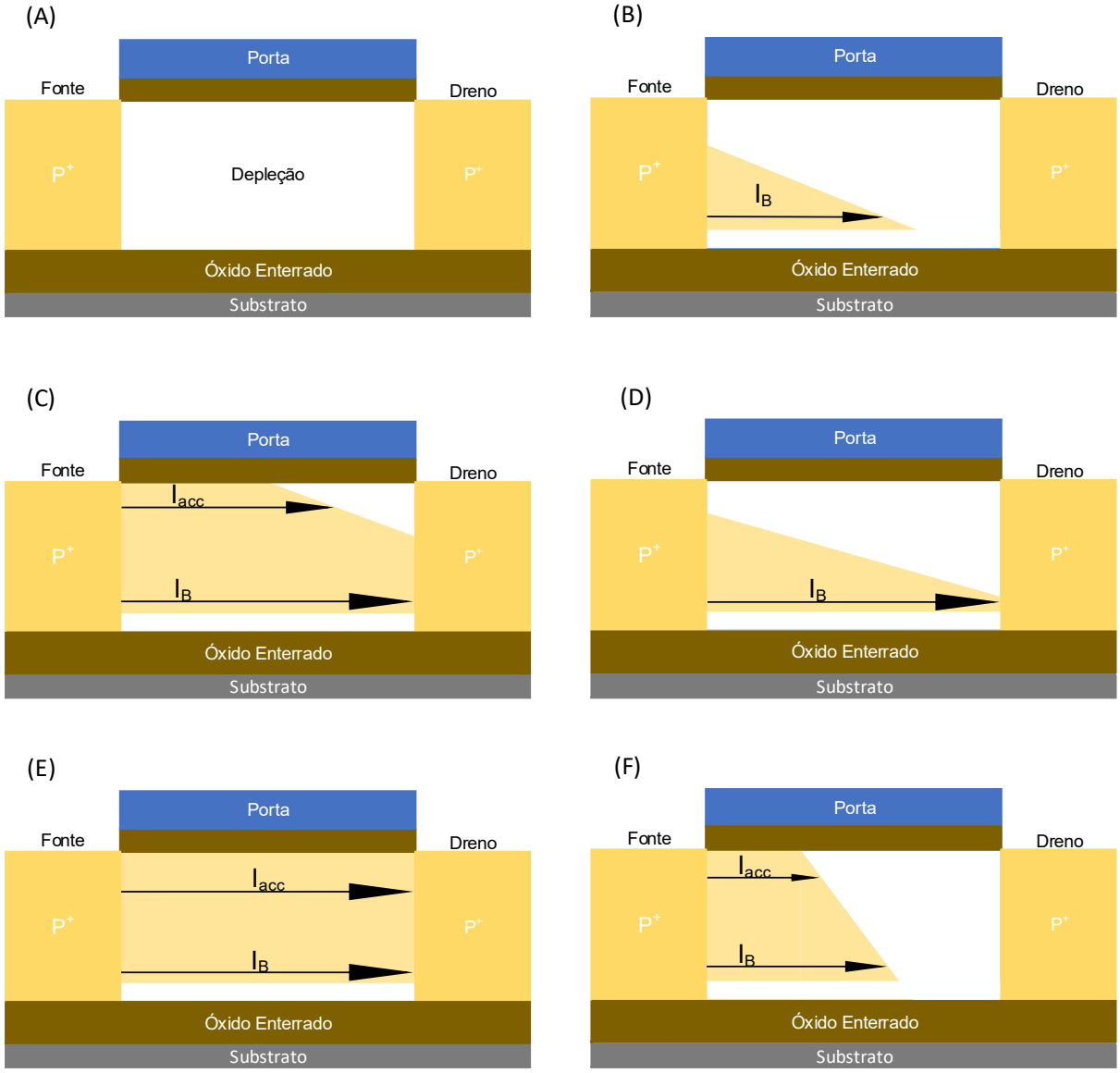
d) Se $V_{FB} < V_{GS} < V_{Th}$e $V_{DS} > V_{GT}$, o transistor está conduzindo pelo centro do canal em tríodo com a com a superfície em depleção, conforme a figura 3.D;

e) Se $V_{GS} < V_{FB}$ e $V_{DS} > (V_{GS} - V_{FB})$, o transistor está conduzindo pelo centro do canal e pela camada de acumulação em tríodo, conforme a figura 3.E;

f) Se $V_{GS} < V_{FB}$ e $V_{DS} > V_{GT}$, o transistor está conduzindo pelo centro do canal e pela camada de acumulação em saturação, conforme a figura 3.F.

onde $V_{GT} = V_{GS} - V_{Th}$ e $V_{DS}$ é a tensão entre o dreno e a fonte.

Figura 3 – Modos de funcionamento do SOI MOSFET modo acumulação




Fonte: Autor

Legenda: (A) sublimiar, (B) pinçamento do corpo, (C) pinçamento da camada de acumulação; (D) corpo em tríodo, (E) corpo e camada de acumulação em tríodo e (F) pinçamento do corpo e da camada de acumulação. As regiões brancas indicam depleção.

## 2.2 DISPOSITIVOS DE MÚLTIPLAS PORTAS

Os dispositivos de múltiplas portas foram desenvolvidos com o objetivo de minimizar os efeitos de canal curto (SCE), possibilitando a continuação da redução das dimensões dos transistores (5). O SCE é causado pela perda do controle da porta sobre as cargas do canal. A presença de mais de uma porta aumenta o controle

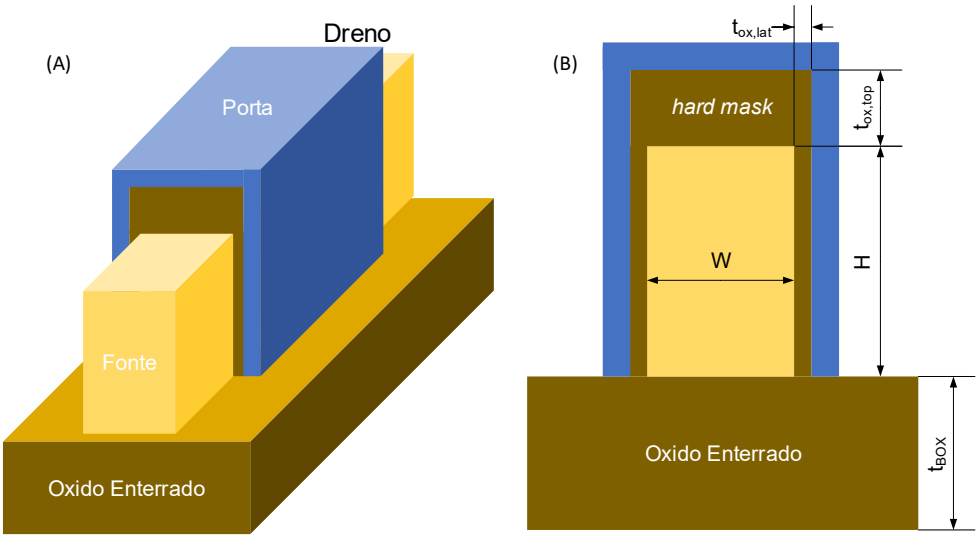
eletrostático das cargas na região de canal, reduzindo a influência do campo elétrico do dreno no canal e, consequentemente, diminuindo os SCEs.

Nos dispositivos de múltiplas portas, formam-se múltiplos canais de inversão, tendo uma maior corrente por unidade de área de silício em relação aos dispositivos planares. A corrente de forma geral é proporcional à largura das portas, de forma que um dispositivo de porta tripla teria o triplo da corrente de um dispositivo planar (5). Porém, a mobilidade da parte superior não é a mesma da lateral, fazendo com que, usualmente, a corrente nas laterais seja menor do que no topo do dispositivo, pois a mobilidade depende da orientação cristalográfica (40).

Existem vários dispositivos de múltiplas portas, como XMOS (41), DELTA (4), FinFET (8,42,43), *gate–all–around* (GAA) (7), π–gate (44), Ω–gate (45) e transistor cilíndrico vertical (CYNTIA) (46). O primeiro artigo sobre transistores de múltiplas portas foi sobre o XMOS (41). Ele apresenta uma porta na parte superior e outra na parte inferior do dispositivo, que fez receber o nome por sua seção transversal aparentar a letra grega Ξ (Xi) (41). Porém o primeiro transistor de múltiplas portas fabricado foi o DELTA (4), que é feito sobre uma fina e alta camada de silício denominada *fin*, *finger* ou *leg* (5).

Para se evitar a formação da camada de inversão parasita no topo do dispositivo foi adicionada uma camada mais espessa de óxido no topo do DELTA, chamada de *hard mask* (5). Este dispositivo foi chamado de FinFET (8) e é mostrado na figura 4. Devido à presença da *hard mask* tem-se dois $t_{OX}$ distintos, um para a lateral ($t_{OX,lat}$) e outro para o topo ($t_{OX,top}$). Isto tem como objetivo evitar a formação de canais de inversão nos cantos superiores do dispositivo, que resultariam em diferentes tensões de limar entre as superfícies e os cantos do dispositivo, fenômeno chamado de efeito de canto (47,48). Para que o FinFET se comporte como um transistor de porta dupla, a *hard mask* tem que inibir a formação de canal no topo do dispositivo.

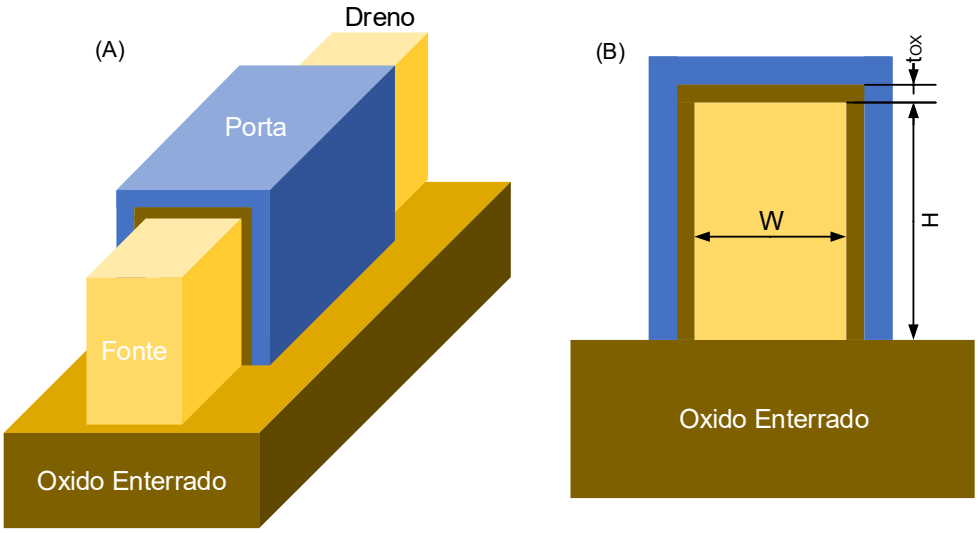
Figura 4 – SOI FinFET




Fonte: Autor
Legenda: (A) Perspectiva e (B) vista frontal

O dispositivo de porta tripla não possui a *hard mask*, sendo $t_{ox}$ constante ao longo de toda aleta de silício, tendo assim três superfícies de condução, conforme demonstrado na figura 5. Apesar da corrente não seguir proporcionalmente o aumento da largura efetiva da porta ($W_{ef}$) (49), que para os FinFETs vale $2H$ e para dispositivos de porta tripla vale $(2H + W)$, sendo $H$ a altura do canal no transistor (que pode ser chamada de $t_{Si}$) e $W$ a largura do canal no transistor, conforme demonstrado na figura 4.B. Os dispositivos de porta tripla ganharam bastante atenção das indústrias de semicondutores, como no caso da Intel, que foi a primeira a produzir comercialmente um transistor porta tripla em 2011 (50), porém em laminas de substrato convencional ao invés de SOI (51), atualmente chamado de FinFET pela Intel (52), aqui tratado como FinFET de porta tripla, por conta da ausência da *hard mask*. Atualmente outras fabricas também produzem FinFET de porta tripla, como a Samsung (53) e GlobalFoundries (54).

Figura 5 – Dispositivo porta tripla



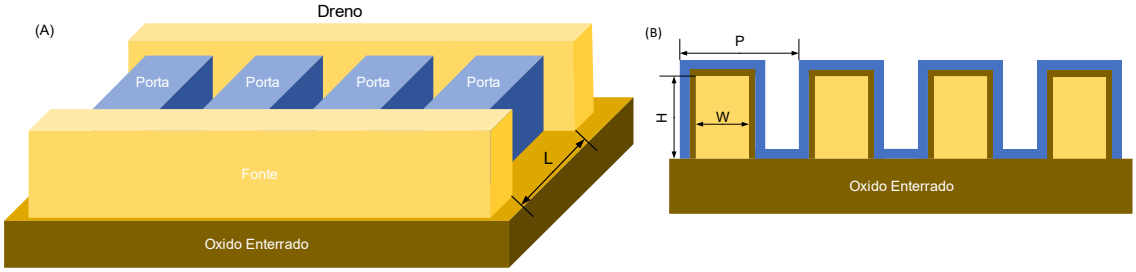

Fonte: Autor
Legenda: (A) Perspectiva e (B) vista frontal

Conforme o comprimento de canal diminui para valores abaixo de 30 nm, é necessário um filme de silício com altura e largura com dimensões iguais ou menores do que o comprimento do canal de forma a manter um controle eletrostático aceitável da porta sobre cargas no canal. Estes dispositivos com dimensões reduzidas de altura e largura, da ordem de alguns nanômetros, são chamados de nanofios. A perspectiva de um nanofio de porta tripla é similar à figura 5.A, sendo para os nanofios H e W menores que L.

Para aumentar-se a corrente que flui entre o dreno e a fonte ($I_{DS}$) nos dispositivos de múltiplas portas possibilitando aumentar a frequência do clock em circuitos digitais, é feita uma associação dos dispositivos em paralelo, chamada de multi–*fins* ou multidedos. Para que esta estrutura seja vantajosa, a corrente nessa estrutura tem que ser maior do que um dispositivo planar de mesmas dimensões (5). O $W_{ef}$ deve ser tal que a corrente seja maior do que a de um único transistor planar da largura do período repetição da estrutura multi-*fins* ($P$) conforme a figura 6.B. Se for considerada uma mobilidade constante em todas as superfícies de condução e desprezando os efeitos de canto, deve se ter $W_{ef}$ maior que o $P$, logo, nestas condições, a corrente nesta estrutura será maior que a em um transistor planar de largura $P$ para as outras características similares. Na figura 6.A é mostrado uma perspectiva de uma estrutura multi-*fins*, onde mostra as fontes e os drenos

interconectados, formando uma só estrutura, assim como mostra as portas interligadas na figura 6.B.

Figura 6 – Estrutura de um transistor multi–*fins*




Fonte: Autor
Legenda: (A) perspectiva e (B) corte transversal na região do canal.

Se a largura e a altura do dispositivo forem muito reduzidas, menores que 10 nanômetros, os elétrons, no caso de um nMOS, ficam confinados quanticamente nas direções de dimensões reduzidas, movendo-se livremente apenas nas outras. Pode-se ter uma dimensão reduzida ou ambas as dimensões reduzidas, deixando os elétrons livres, respectivamente, em 2 dimensões (2DEG) ou em apenas 1 (1DEG). Para se considerar os efeitos quânticos é necessário resolver a equação de Schrödinger juntamente com a física clássica, descrita pela equação de Poisson (5). Um dos efeitos resultantes é o chamado inversão de volume (55), onde os elétrons se movem não mais na superfície, mas tendem ao centro do dispositivo (5). Com este efeito, os portadores sofrem menos com a rugosidade de superfície, resultando em um aumento da mobilidade (56), geralmente obtidos em baixas temperaturas (5).

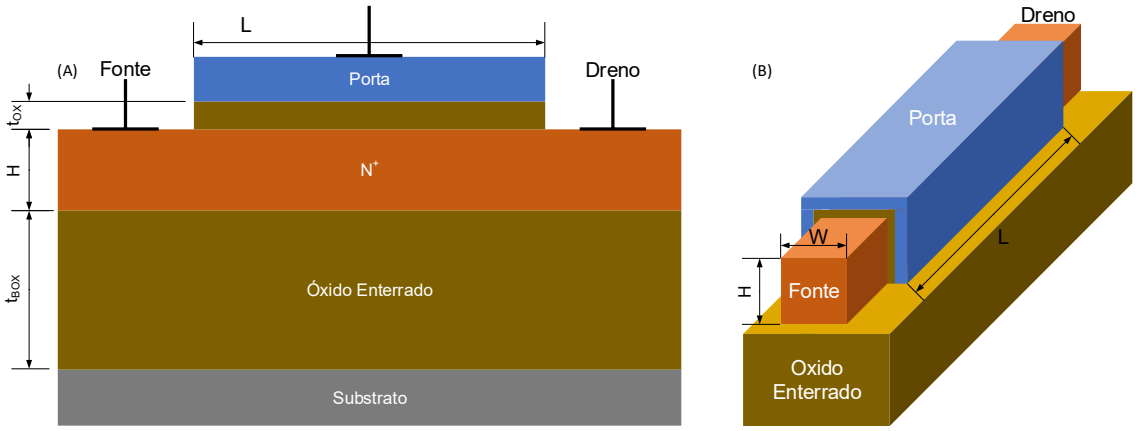
## 2.3 TRANSISTORES SEM JUNÇÕES

Com a recente miniaturização dos transistores, veio a necessidade de junções abruptas, variando a concentração de dopantes em diversas ordens de grandeza em poucos nanômetros, da ordem de $10^{18}$ $cm^{-3}$ para $10^{20}$ $cm^{-3}$ (13), tornando transistores tradicionais, como FinFETs, porta tripla e GAAs, de difícil fabricação necessitando de processos de dopagem precisos e rápidos para se evitar a difusão lateral de dopantes e eliminação do efeito de perfuração MOS (16). Assim, foi proposta uma nova estrutura MOS, sem junções de fonte e dreno ou gradientes de concentração, de forma a solucionar este problema, chamada de "*junctionless*" (sem junção).

Os transistores sem junções são dispositivos multiportas com construção similar à de transistores de porta dupla ou tripla (11), conforme demonstrado nas

figuras 4.A e 5.A. A figura 7.A mostra a seção transversal de um JNT SOI, onde é possível observar o perfil constante de dopantes, diferentes de dispositivos operando em modos inversão e acumulação, conforme demonstrado nas figuras 1 e 2 respectivamente. A visão em perspectiva de um JNT é apresentada na figura 7.B

Figura 7 – SOI nMOS sem junções



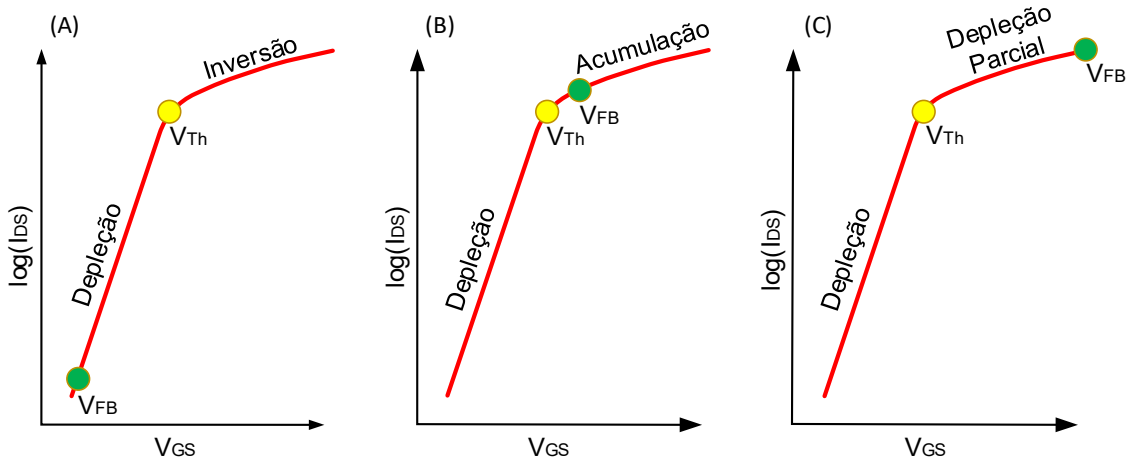

Fonte: Autor
Legenda: (A) Perfil transversal e (B) perspectiva

Para se fabricar este dispositivo é necessário escolher um material de porta que mantenha o canal totalmente depletado quando o transistor estiver em sublimiar, de concentração de impurezas no canal alta o suficiente para se obter uma quantidade de corrente aceitável quando ligado (9) e ajustar o valor de $V_{Th}$ do dispositivo através das dimensões, da concentração de impurezas e do material de porta. Estas condições impõem um transistor de dimensões nanométricas e alta concentração de dopantes (11). Para isto, geralmente é utilizado o silício policristalino tipo $P^+$ para nMOS e silício policristalino tipo $N^+$ para pMOS como material de porta e a concentração de dopantes na ordem de $10^{19}$ $cm^{-3}$ (22). As altas concentrações diminuem os efeitos da variação aleatória na concentração de dopantes, que é devida à natureza discreta da concentração. Além disto, a ausência de junções elimina as variações decorrentes do espalhamento dos dopantes entre fonte/dreno e o canal (9). Porém, a concentração de dopantes é menor do que as das regiões de fonte e dreno de dispositivos modo inversão, que geralmente são da ordem de $10^{20}$ $cm^{-3}$ (13), e, por conta disso, o JNT geralmente apresenta maior resistência série em relação a estes dispositivos (57).

O modo de funcionamento do JNT é similar ao de dispositivos modo acumulação (10), porém ele não pode ser considerado modo acumulação, uma vez

que a maior parte da condução ocorre no corpo do dispositivo ao invés da camada de acumulação (58). A figura 8 mostra esquematicamente o logaritmo de $I_{DS}$ versus $V_{GS}$, onde pode se verificar o regime em que a condução ocorre, $V_{Th}$ e $V_{FB}$ para transistores modo inversão, acumulação e o JNT.

Figura 8 – Log($I_{DS}$) x $V_{GS}$ para transistores de múltiplas portas




Fonte: Adaptado de (58)
Legenda: (A) modo inversão, (B) modo acumulação e (C) JNT.

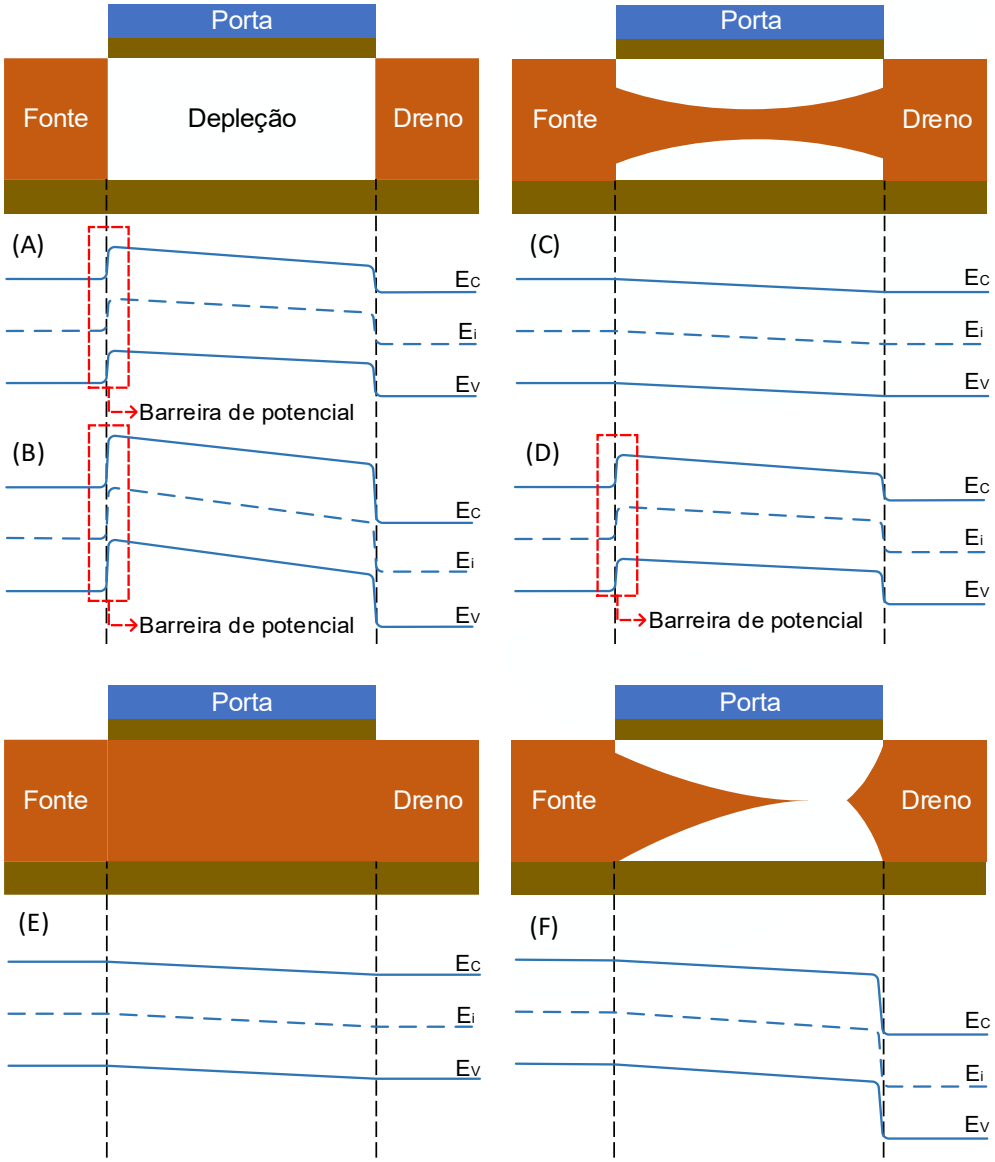
Na figura 9 pode se ver o diagrama de faixas de energia simplificado, onde $E_C$ é faixa de condução, $E_i$ é a faixa intrínseca e $E_V$ é a faixa de valência, juntamente com um esquema da seção transversal, ilustrando o que ocorre no canal, para um JNT nMOS, e o seu modo de operação, sendo $V_{D_{sat}}$ é a tensão de saturação de dreno, conforme:

a) Quando $V_{GS} < V_{Th}$, o JNT está completamente depletado, tendo barreira de potencial tanto para condução no corpo, conforme a figura 9.A, como para a camada de acumulação, conforme a figura 9.B, neste caso em ambas as regiões a condução se dá por difusão, estando o transistor em sublimiar;
b) Quando $0 < V_{DS} < V_{D_{sat}}$ e $V_{Th} < V_{GS} < V_{FB}$,, a região de depleção começa a diminuir, permitindo a condução por deriva pelo centro do dispositivo na região não depletada, conforme a figura 9.C, já a camada de acumulação continua com uma barreira de potencial, porém reduzida, tendo sua condução por difusão, conforme a figura 9.D. Neste caso o transistor está conduzindo principalmente pelo centro do dispositivo, estando em regime de tríodo;
c) Quando $0 < V_{DS} < V_{D_{sat}}$ e $V_{GS} > V_{FB} > V_{Th}$ , não há mais depleção no dispositivo e conduz por deriva também pela região de acumulação,

conforme a figura 9.E, neste caso o transistor está conduzindo principalmente pelo centro e pela camada de acumulação, estando em regime de tríodo;

d) Quando $V_{DS} > V_{D_{sat}}$ e $V_{GS} > V_{Th}$, o alto $V_{DS}$ faz com que se forme uma região de depleção próximo ao dreno, assim como em dispositivos MOS convencionais, neste caso o transistor está em saturação, conforme figura 9.F.

Figura 9 – Esquema da seção transversal e diagrama de faixas de energia para um JNT nMOS




Fonte: Autor

Legenda: (A) $V_{DS}$ baixo e $V_{GS} < V_{Th}$ para a o centro do dispositivo e (B) para a superfície; (C) $V_{DS}$ baixo e $V_{GS} > V_{Th}$ para o centro do dispositivo e (D) para a superfície; $V_{DS}$ baixo e (E) $V_{GS} > V_{FB}$ para o centro e para a superfície; (F) $V_{DS}$ alto e $V_{GS} > V_{Th}$ para o centro e para superfície.

Ao contrário de transistores convencionais, o JNT apresenta a característica de aumentar a corrente de dreno conforme a temperatura aumenta (15). Além disso, os JNTs apresentam uma menor variação da corrente de dreno com a temperatura em relação a transistores modo inversão de porta tripla, conseguindo manter o nível de corrente com uma maior variação de temperatura. O $g_M/I_{DS}$ também permanece constante em uma faixa maior de temperatura. Estes transistores também apresentam maior variação da condutância de dreno ($g_D$) com $V_{GT}$ e menor $g_D$ em $V_{GT}$ próximo à 0V quando comparados com os mesmos dispositivos. Mesmo com pior $g_M/I_{DS}$ o JNT apresenta melhores propriedades analógicas para frequências baixas e moderadas de operação (16).

Para melhorar os parâmetros analógicos dos JNTs, podem ser utilizadas associações série, tanto simétricas quando assimétricas, que, apesar de causarem uma redução de $I_{DS}$ por conta do aumento do comprimento efetivo de canal, apresentam a mesma eficiência em $g_M/I_{DS}$ (22). Esta configuração mostra vantagens como aumento do ganho de tensão dos JNTs e aumento da faixa de entrada de tensão quando utilizados como amplificadores do tipo dreno comum (21).

## 2.4 CARACTERISTICAS ELÉTRICAS DOS TRANSISTORES SEM JUNÇÕES

Para se discutir o funcionamento do transistor, é necessária a compreensão de parâmetros elétricos, assim como algumas propriedades físicas. Aqui são apresentados os parâmetros utilizados e suas definições segundo a literatura para a implementação do modelo.

### 2.4.1 Tensão de faixa plana

A tensão de faixa plana é o potencial que deve ser aplicado a porta para o levar as faixas de energia de um capacitor MOS a uma faixa plana. Para isto ocorrer é necessário compensar a diferença das funções trabalho dos materiais de porta e de canal ($\Phi_{MS}$) e o potencial devido presença de cargas no óxido ($V_Q$), sendo $V_{FB}$ a somatória desses efeitos (32), conforme a equação 3.

$$V_{FB} = \Phi_{MS} - V_Q \tag{3}$$

As armadilhas de interface são desprezadas no JNT, uma vez que a condução na superfície do dispositivo só é relevante quando a $V_{GS}$ for maior que $V_{FB}$, dando início à condução na camada de acumulação (9).

#### *2.4.1.1 Diferença de função trabalho entre metal de porta e semicondutor*

A diferença de função trabalho ($\phi_{MS}$) é a diferença entre a função trabalho do metal de porta ($\phi_m$) e do silício ($\phi_{Si}$) logo $\phi_{MS} = \phi_m - \phi_{Si}$. A função trabalho é a mínima energia para remover um elétron do material para nível de vácuo, onde não há interações com o átomo.

No caso do metal, $\phi_m$ é um valor intrínseco ao material.

No caso do silício, $\phi_{Si}$ depende do tipo de dopante, da concentração de dopantes e da temperatura. O valor de $\phi_{Si}$ é obtido pela equação 4.

$$\phi_{si} = \chi_{si} + \frac{E_G}{2} + \phi_F \tag{4}$$

onde $\chi_{si}$ é a afinidade eletrônica do silício que vale 4,15eV, $E_G$ é a largura da faixa proibida e $\phi_F$ é o potencial de Fermi, dado pela equação 2, tem o seu valor positivo para impurezas aceitadoras ($N_A$) e negativo para impurezas doadoras ($N_D$).

A concentração intrínseca de portadores em um material semicondutor ($n_i$) é a quantidade de portadores livres devido a energia térmica. Esse valor depende somente do material e da temperatura. Para a temperatura de zero absoluto (0K) não há energia térmica para a geração de pares elétron-lacuna, conforme a temperatura vai aumentando há um aumento de pares elétron-lacuna livres, aumentado $n_i$, qué é descrita pela equação 5 (59).

$$n_i = \sqrt{N_C N_V} e^{\left(\frac{-E_G}{2\phi_t}\right)} \tag{5}$$

onde $N_C$ e $N_V$ são, respectivamente, as densidades de estados nas bandas de condução e de valência.

As densidades de estados $N_C$ e $N_V$ são dadas, respectivamente, pelas equações 6 e 7 (59).

$$N_C = 2\left(\frac{2\pi m_{de}^* m_0 kT}{h^2}\right)^{3/2} \tag{6}$$

$$N_V = 2\left(\frac{2\pi m_{dh}^* m_o kT}{h^2}\right)^{3/2} \tag{7}$$

onde $m_{de}^{*}$ e $m_{dh}^{*}$ são, respectivamente, as massas efetivas das densidades de estados para elétrons e lacunas, $m_0$ é a massa do elétron e $h$ é a constate de Planck.

A largura da faixa proibida pode ser descrita pela equação 8.

$$E_G = E_G(0) - \frac{\alpha_{E_G} T^2}{\beta_{E_G} + T} \tag{8}$$

onde $\alpha_{E_G}$ e $\beta_{E_G}$ são parâmetros do material, definidos como $\alpha_{E_G} = 4{,}73 * 10^{-4}\ {}^{\mathrm{eV}}/_{K}$ e $\beta_{E_G} = 636\ \mathrm{K}$ e $E_G(0)$ é a largura da faixa proibida em 0K definida como 1,17eV, sendo estes valores validos para o silício.

#### *2.4.1.2 Cargas no oxido*

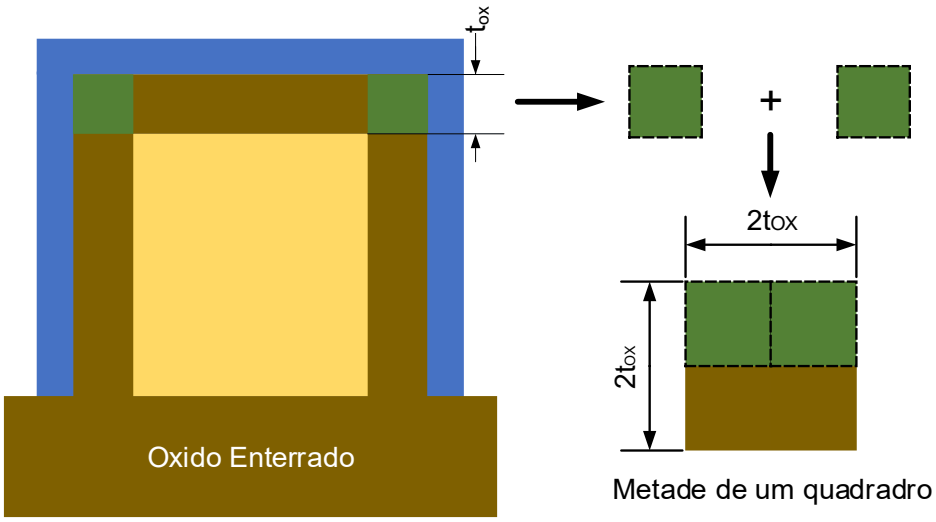
Por conta das imperfeições na decorrência da fabricação do semicondutor, o oxido pode apresentar cargas fixas e livres distribuídas por todo seu volume. Para este comportamento, usamos uma carga única equivalente junto a interface com o silício, conforme a equação 9.

$$V_Q = \frac{Q_{OX}}{C_{ox}} \tag{9}$$

onde $Q_{OX}$ é a densidade equivalente de cargas fixas no óxido por unidade de área e $C_{ox}$ o valor da capacitância de porta por unidade de área.

Para espessuras de oxido de porta muito pequenas, na ordem de alguns nanômetros, o efeito dos cantos da porta em um transistor tridimensional não pode mais ser desprezada, com isto é necessário compensar esta capacitância. A figura 10 mostra a seção transversal de um JNT, com a capacitância dos cantos destacada em verde.

Figura 10 – Seção transversal de um JNT pMOS com destaque para a capacitância dos cantos




Fonte: Autor, adaptado de (60).

Para se calcular o efeito da capacitância dos cantos, foram considerados os cantos do oxido de porta como a metade de um quadrado e o valor de sua capacitância, que pode ser calculado considerando o valor da metade de um quadrado conforme a equação 10 (61).

$$C_{crnr} = \frac{C_{quadrado}}{2} = \frac{0.367*4\pi\varepsilon_{OX}}{2} \tag{10}$$

onde $\varepsilon_{ox}$ é a permissividade do oxido de porta e $C_{crnr}$ é a constante relativa a capacitância dos cantos por unidade de comprimento e $C_{quadrado}$ é a capacitância de um quadrado de lado unitário.

Com isto, $C_{ox}$ passa a ser calculado pela equação 11 (61).

$$C_{ox} = \varepsilon_{ox}\left(\frac{t_{ox}}{W_{ef}} + C_{OX,crnr}\right) \tag{11}$$

onde $C_{OX,crnr}$ é o valor da constante da capacitância de canto, que pode ser definida como $C_{OX,crnr} = C_{crnr}/\varepsilon_{ox} = 2.3059$.

### 2.4.2 Cargas na camada de silício

A densidade de cargas fixas no silício ($Q_{Si}$) é a quantidade de portadores na camada de silício relativos à concentração de dopantes ionizados por unidade de comprimento, que pode ser obtida por meio da equação 12 (60)

$$Q_{Si} = \varepsilon_{Si}E_S W_{ef} \tag{12}$$

onde $E_S$ é o campo elétrico de superfície.

Quando toda camada de silício estiver depletada, a densidade de carga fixa no silício ($Q_{Si}$) pode ser descrita pela equação 13 (60).

$$Q_{Si} = qN_D WH \tag{13}$$

### 2.4.3 Efeito do potencial de substrato

A fim de se considerar o efeito da polarização de substrato, foi adicionada a contribuição do substrato na densidade de carga no silício. Para se considerar o efeito da polarização positiva na densidade de cargas, foi considerada a variação em $Q_{Si}$, conforme a equação 14 (62).

$$Q_{Si} = qN_D WH - C_{BOX}\left(V_{FB_S} - V_{BS}\right) \tag{14}$$

onde $C_{BOX}$ é a capacitância do oxido enterrado por unidade de comprimento, $V_{FB_S}$ é a tensão de faixa plana relativa ao oxido enterrado e $V_{BS}$ é a tensão de polarização do substrato. Para se considerar o efeito da redução da carga fixa por conta da polarização negativa é calculada a dimensão da região de depleção induzida pela polarização de substrato, que é dada pela equação 15 (62).

$$x_{depl} = -\frac{\varepsilon_{Si} t_{BOX}}{\varepsilon_{BOX}} + \sqrt{\left(\frac{\varepsilon_{Si} t_{BOX}}{\varepsilon_{BOX}}\right)^2 + \frac{2\varepsilon_{Si}}{qN_D}\left(V_{FB_S} - V_{BS}\right)} \tag{15}$$

onde $t_{BOX}$ é a espessura do oxido enterrado e $\varepsilon_{BOX}$ é a permissividade do oxido enterrado.

A fim de ter uma transição continua em $V_{FB_S}$, é utilizada uma função de suavização $V_{BS_2}$ que substitui $V_{FB_S}$ na equação 15 e $V_{BS}$ na equação 14, que é descrita pela equação 16 (62).

$$V_{BS_2} = \left(V_{FB_S} + SE_1\right)\left[1 + \frac{\ln\left[1+\exp\left(SE_2\left(-1+{V_{BS}}/{V_{FB_S}}\right)\right)\right]}{ln(1+\exp(SE_2))}\right] - SE_1 \tag{16}$$

onde $SE_1$é um parâmetro de ajuste utilizado definido de forma que $SE_1 + V_{FB_S} > 0$ definido empiricamente como 10 e $SE_2$ é um parâmetro de ajuste, que foi definido empiricamente como 3.

A região de depleção induzida pelo substrato é descontada da altura, a fim de se obter a altura efetiva para o cálculo de $Q_{Si}$ e $C_{OX}$, com isto, o valor de $H$ é substituído por $H_2$, que é dado pela equação 17.

$$H_2 = \mathrm{H} - \mathrm{H}\left[1 - \frac{ln\left(1+exp\left(SE_3*\left(1-{}^{x_{depl}}/_{H}\right)\right)\right)}{ln(1+exp(SE_3))}\right] \quad (17)$$

onde $SE_3$ é um parâmetro de ajuste, que foi definido empiricamente como 4.

Com isso, $Q_{Si}$ e $C_{OX}$ podem ser calculados pelas equações 18 e 19, que consideram os efeitos do potencial substrato.

$$Q_{Si} = qN_D W H_2 - C_{BOX}\left(V_{FB_S} - V_{BS_2}\right) \quad (18)$$

$$C_{ox} = \varepsilon_{ox}\left(\frac{t_{ox}}{2*H_2+W} + C_{OX,crnr}\right) \quad (19)$$

### 2.4.4 Tensão de limiar

Existem diversas definições de tensão de limiar, como a da igualdade das correntes de difusão e de deriva (63,64) e a relação entre as capacitâncias (5,65). Embora haja diferentes definições, todas elas buscam determinar a tensão que, quando aplicada à porta, leva o transistor ao que se considera o início da condução.

Para o JNT a função de limiar pode ser definida como a tensão que quando aplicada à porta faz com que comece a condução pelo corpo (60), que é a maior tensão de porta para que o corpo fique totalmente depletado, no caso de um nMOS. Outro modo de definir a tensão de limiar é através da igualdade das correntes de difusão e de deriva, que fundamentou o método para a extração experimental de $V_{Th}$ do JNT (66). Neste trabalho foi utilizado o modelo que leva como base o início da condução pelo corpo (60), porém foi incluso o efeito do potencial de substrato (61).

A tensão de limiar para o JNT nMOS porta tripla, sem considerar os efeitos do substrato e do efeito do confinamento quântico, é dado pela equação 20 (60).

$$V_{Th} = V_{FB} - \frac{qN_D WH}{C_{OX}} - \frac{qN_D}{\varepsilon_{Si}}\left(\frac{WH}{W_{ef}}\right)^2 \quad (20)$$

De forma a se considerar o efeito do potencial de substrato a equação 20 deve ser reescrita em função da carga fixa no silício ($Q_{Si}$), que é dada segundo a equação 13 para tensão de limiar desconsiderando o efeito do substrato.

Substituindo a equação 13 na equação 20 obtém-se a tensão de limiar, conforme a equação 21.

$$V_{Th} = V_{FB} - \frac{Q_{Si}}{C_{OX}} - \frac{{Q_{Si}}^2}{qN_D\varepsilon_{Si}{W_{ef}}^2} \quad (21)$$

Para se considerar o efeito do potencial de substrato em $V_{Th}$, é necessário utilizar os valores de $Q_{Si}$ e $C_{OX}$ calculados considerando este efeito, que são dados respectivamente pelas equações 18 e 19.

### 2.4.5 Inclinação de sublimiar

A inclinação de sublimiar ($S$) é definida como a variação de $V_{GS}$ necessária para a corrente entre fonte e dreno ($I_{DS}$) aumente em uma década (32,67), assim $S$ é definido pela equação 22.

$$S = \frac{\partial V_{GS}}{\partial(log(I_{DS}))} \tag{22}$$

Em regime de sublimiar, a corrente é predominantemente devida a componente de difusão (68). Utilizando a equação da corrente de difusão, podemos reescrever a equação 22 obtendo a equação 23.

$$S = n\,\phi_t ln(10) \tag{23}$$

onde $n$ é o fator de corpo, cujo limite mínimo teórico é a unidade.O fator de corpo está associado ao acoplamento capacitivo do transistor. Sendo assim, para a temperatura ambiente, o valor mínimo de $S$ é de, aproximadamente, 60mV/déc. Com isso, em transistores FDSOI, que apresentam melhor acoplamento capacitivo em relação ao MOS tradicional, tem a inclinação de sublimiar menor, o que significa que estes dispositivos apresentam maior velocidade e eficiência do chaveamento (2).

Os transistores de múltiplas portas apresentam um acoplamento capacitivo ainda melhor do que a do FDSOI (69), se aproximando muito da unidade. O JNT apresenta valores de S muito próximos do limite teórico, assim como os dispositivos de múltiplas portas (11).

### 2.4.6 Mobilidade

A mobilidade dos portadores (μ) pode ser definida como a relação entre a velocidade de deriva ($v$) com que os portadores se deslocam sob ações de um campo elétrico aplicado. Este valor é limitado por diversos mecanismos de degradação dependentes das características do material, temperatura e campo elétrico.

A mobilidade de baixo campo ($\mu_0$), leva em conta os efeitos de degradação da mobilidade que não depende do campo elétrico. Dentre estes mecanismos de degradação, os principais são:

— Espalhamento por fônons ou de rede (*lattice scattering* — $\mu_{ps}$) (70);

— Espalhamento por impurezas ionizadas (*ionized impurity scattering* — $\mu_{psii}$) (71);

— Espalhamento por impurezas neutras (*neutral impurity scattering* — $\mu_{ni}$) (72);

— Espalhamento portador–portador (*carrier-to-carrier scattering* — $\mu_{cc}$) (73).

Estes mecanismos podem ser contabilizados através da regra de Mathiessen (74), obtendo-se a mobilidade de baixo campo.

Por conta de sua alta dopagem (da ordem de $10^{19}\ cm^{-3}$) os JNTs apresentam baixa mobilidade de baixo campo, da ordem de 100 $cm^2V^{-1}s^{-1}$. Porém ao se reduzir o comprimento de canal, transistores convencionais (bulk) apresentam mobilidade similar à do nó tecnológico de 0,8 $\mu m$ (11), assim como os FinFETs, que sofre uma redução na mobilidade de 300 $cm^2V^{-1}s^{-1}$para 140 $cm^2V^{-1}s^{-1}$ quando alterado o nó tecnológico de 0,9 $\mu m$ para 0,11 $\mu m$ (11). Assim como nos transistores convencionais, técnicas de tensionamento mecânico podem sem utilizadas para melhorar o valor da mobilidade de baixo campo (11).

Ao se aplicar tensão na porta dos dispositivos modo inversão, os portadores são atraídos pelo campo elétrico vertical para a superfície silício/oxido de porta e sofrem degradação devido à rugosidade de superficie (32). Pode se obter a mobilidade degradada, chamada de mobilidade efetiva ($\mu_{eff}$), através da equação 24.

$$\mu_{eff} = \frac{\mu_0}{1+\alpha_S|E_{eff}|} \tag{24}$$

onde $\alpha_S$ é o coeficiente de espalhamento e $E_{eff}$ é o campo elétrico efetivo nas direções horizontal e vertical.

De forma geral, para se considerar o efeito da degradação da mobilidade pelo campo elétrico vertical se utiliza a equação 25, válida para $V_{GS} \geq V_{Th}$ (32).

$$\mu_{eff} = \frac{\mu_0}{1+\theta(V_{GS}-V_{Th})} \tag{25}$$

onde $\theta$ é o coeficiente de degradação da mobilidade.

Nos JNTs, não há influência do campo elétrico perpendicular quando o dispositivo está conduzindo somente pelo corpo (75). Como a condução pela camada de acumulação ocorre quando $V_{GS} > V_{FB}$, a equação 25 pode ser reescrita, sendo a degradação do campo elétrico vertical para os JNTs dado pela equação 26, válida para $V_{GS} > V_{FB}$.

$$\mu_{eff} = \frac{\mu_0}{1+\theta(V_{GS}-V_{FB})} \tag{26}$$

Para a degradação da mobilidade devido ao campo elétrico horizontal, foi utilizada o modelo proposto por Canali *et al.*, que pode ser obtido pelas equações 27 e 28 (76)

$$\mu_{\mathrm{eff}_2} = \frac{\mu_{eff}}{\left[1+\left(\frac{\mu_{eff} V_{DS_{eff}}}{v_{sat}(L-\Delta L)}\right)^{\beta}\right]^{1+\beta}} \tag{27}$$

$$\beta = \beta_0 \left(\frac{\mathrm{T}}{300}\right)^{\beta_{\mathrm{exp}}} \tag{28}$$

onde $\beta_0$ é um parâmetro de ajuste da intensidade da degradação e $\beta_{\mathrm{exp}}$ é um parâmetro de ajuste da dependência com a temperatura.

A fim de modelar a degradação por conta do aumento da tensão efetiva de dreno, foi utilizado o parâmetro $\theta_2$ (27), que considera uma degradação devido ao aumento de $\mathrm{V}_{\mathrm{DS}_{\mathrm{eff}}}$. Para contabilizar este parâmetro, a equação 26 foi reescrita para incluir este efeito, e passa a ser dada pela equação 29 (27).

$$\mu_{\mathrm{eff}} = \frac{\mu_0}{1+\left(\theta(\mathrm{V_{GS}}-\mathrm{V_{FB}})+\theta_2 \mathrm{V}_{\mathrm{DS}_{\mathrm{eff}}}\right)} \tag{29}$$

### 2.4.7 Resistência série

A resistência série ($R_S$) é uma resistência que advém da resistência da região de fonte/dreno, que causa a redução de $V_{DS}$ e $V_{GS}$ devido à queda de tensão nestas regiões.

Por conta do JNT ter uma menor dopagem nestas regiões em comparação a transistores modo inversão (57), da ordem de $10^{19}$cm$^{-3}$ contra $10^{21}$cm$^{-3}$, o JNT tem uma resistência maior nestas regiões.

O valor da resistência série pode ser estimado considerando a região de fonte e de dreno como um resistor, calculando seu valor. Para extração de seu valor em um JNT, pode ser utilizado o modelo proposto por Trevisoli *et al.* (77).

### 2.4.8 Transcondutância e razão $g_m/I_{DS}$

A transcondutância ($g_m$) é um parâmetro elétrico que mensura a eficiência do controle da porta sobre a corrente de dreno. A transcondutância é definida pela equação 30 (2).

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \tag{30}$$

A razão $g_m/I_{DS}$ é um parâmetro que mensura a eficiência de um dispositivo em converter corrente elétrica em transcondutância (78), uma vez que $g_m$ representa o ganho obtido pelo dispositivo e $I_{DS}$ a energia a ele fornecida (2). O valor máximo de $g_m/I_{DS}$ ocorre quando o transistor está operando em inversão fraca e seu valor máximo pode ser definido pela equação 31 (79).

$$\frac{g_m}{I_{DS}} = (n\,\phi_t)^{-1} \tag{31}$$

Como em transistores de múltiplas portas o valor de $n$ é muito próximo a unidade (69), a razão $g_m/I_{DS}$ tende ao inverso do potencial térmico. Na inversão forte ocorre uma redução no valor de $g_m/I_{DS}$ (79). Como o ganho de tensão ($A_V$) está relacionado com esta razão (78), ele será maior quando o dispositivo operar em inversão fraca (80).

Para o JNT, a razão $g_m/I_{DS}$ também é utilizada para a extração de $V_{Th}$, onde $V_{Th}$ é extraído do gráfico $g_m/I_{DS}\ x\ V_{GS}$ para $g_m/I_{DS}$ valendo a metade do valor máximo desta razão (66).

### 2.4.9 Efeitos de canal curto

Com a redução do comprimento de canal, chegou-se a dimensões onde os transistores MOSFET bulk parecem inviáveis devido ao SCE (5). Em transistores FDSOI, onde por conta da menor espessura da camada de silício a região de depleção controlada pela porta é menor. Este efeito é menor que nos transistores MOS tradicionais para transistores com comprimentos de canal semelhantes (2).

Com a redução das cargas controladas pela porta, os SCEs causam a redução da tensão de limiar e o aumento da inclinação de sublimiar conforme a redução do comprimento de canal, degradando as características dos transistores em relação aos de canal longo. Outros efeitos causados por esta redução são a redução da barreira

induzida pelo dreno (DIBL), a modulação do comprimento de canal e a saturação da velocidade dos portadores.

Além disto, as junções PN de fonte e dreno, polarizadas reversamente ficam mais negativas, aumentando a região de depleção a ela associada. Desta forma, a carga controlada pela porta é reduzida. Em dispositivos de canal curto, esta redução resulta na redução de $V_{Th}$, tornando $V_{Th}$ dependente de $V_{DS}$. Este efeito de redução da barreira de potencial junto a fonte é denominado DIBL.

Os transistores FDSOI apresentam maior resistência a estes efeitos em relação a transistores bulk, por conta do maior controle da porta sobre as cargas do canal e é melhorado caso a interface silício/óxido enterrado esteja em acumulação (2). Os transistores de múltiplas portas aumentaram ainda mais o controle da porta sobre as cargas do canal, com isso apresentam ainda menores SCEs (5). Os JNTs demonstram menores efeitos de canal curto em relação aos transistores modo inversão, com DIBL significativamente menor. Outra característica dos JNTs é que $V_{Th}$ não varia com o comprimento efetivo de canal (13).

## 2.5 MODELO ANALÍTICO DOS NANOFIOS TRANSISTORES MOS SEM JUNÇÃO

Nesta subseção será detalhado o modelo implementado. O modelo, que usa como base o potencial de superfície ($\phi_S$) para se calcular a densidade de cargas de condução no lado da fonte e no lado do dreno. É detalhado o modelo de tensão de limiar, a densidade de cargas de condução por unidade de comprimento dependente da polarização e finalmente a corrente de dreno.

### 2.5.1 Modelo estático

No modelo de $I_{DS}$ utilizado, é necessário se calcular o potencial de superfície no lado da fonte e do dreno. Aqui serão mostradas a contribuição da condução pelo corpo, a contribuição da camada de acumulação, as funções de suavização para transição entre os regimes de condução e como obter a densidade de cargas de condução ($Q_C$). Este modelo é valido para transistores de canal longo e, para utiliza-lo em transistores de canal curto é necessário compensar os SCEs (25).

#### *2.5.1.1 Condução pelo corpo*

Para considerar a corrente que flui pelo corpo, o potencial de superfície devido à depleção ($\phi_{S,dep}$) foi calculado, uma vez que essa condução é controlada pela profundidade da depleção na região do canal (25). A equação de $\phi_{S,dep}$, foi obtida através da solução da equação de Poisson bidimensional considerando apenas as cargas de depleção, levando em conta que, acima da tensão de limiar, há uma região neutra no centro do canal, conforme a equação 32 (61).

$$\phi_{S,dep} = V_{GS} - V_{FB} - \frac{\gamma_{pot}}{2} + \sqrt{\left(\frac{\gamma_{pot}}{2}\right)^2 - \gamma_{pot}(V_{GS} - V_{FB})} \tag{32}$$

onde $\gamma_{pot} = \varepsilon_{Si} q N_D {W_{ef}}^2 / {C_{OX}}^2$.

#### *2.5.1.2 Condução pela camada de acumulação*

Para o cálculo da corrente de acumulação, é feito o cálculo do potencial de superfície devido a acumulação ($\phi_{S,acc}$) levando em conta as mesmas condições da condução pelo corpo, agora considerando apenas a densidade de elétrons (25), conforme equação 33 (61).

$$\phi_{S,acc} = \phi_t \ln\left[1 + \frac{(V_{GS} - V_{FB} - \phi_{S,acc})^2}{\gamma_{pot}\phi_t}\right] \tag{33}$$

O valor de $\phi_{S,acc}$ pode ser determinado através da função W de Lambert. Entretanto, como o valor de $\phi_{S,acc}$ é de no máximo algumas vezes $\phi_t$ em acumulação forte, $\phi_{S,acc}$ pode ser desprezado dentro do termo logarítmico para $V_{GS} >> V_{FB}$ (25).

#### *2.5.1.3 Transição entre os modos de condução*

Para se obter uma transição continua entre os modos de condução (condução pelo corpo e condução pelo copo e camada de acumulação), foram utilizadas funções de suavização para descrever a tensão de porta (25).

Para que a carga de depleção tenda suavemente a zero, a máxima tensão de porta foi limitada em $V_{FB}$ (25), conforme a equação 34 (81).

$$V_{GS_1} = V_{FB}\left[1 - \frac{\ln\left[1 + \exp\left(Q_{C_1}\left(1 - {(V_{GS} - V_Y)}/{V_{FB}}\right)\right)\right]}{\ln(1 + \exp(Q_{C_1}))}\right] \tag{34}$$

onde $Q_{C_1}$ é um parâmetro que controla a suavidade entre os diferentes regimes de condução e $V_Y$ é a tensão no ponto desejado do canal, ajustada para o cálculo dos potenciais na região de fonte (geralmente 0V) e dreno.

Para que haja uma transição suave entre o sublimiar e a condução, a mínima tensão de porta foi limitada em em $V_{Th}$ (25), confome a equação 35 (81).

$$V_{GS_2} = V_{Th}\left[1 + \frac{\ln\left[1+\exp\left(Q_{C_2}\left(-1+{}^{V_{GS_1}}/_{V_{Th}}\right)\right)\right]}{\ln\left(1+\exp\left(Q_{C_2}\right)\right)}\right] \tag{35}$$

onde $Q_{C_2}$é um parâmetro que controla a inclinação de sublimiar de um dispositivo de canal longo.

Para a determinação do parâmetro $Q_{C_1}$algumas considerações têm que ser feitas. Se o valor for relativamente baixo, dependendo da diferença entre a tensão de limiar e a tensão de faixa plana, a região de sublimiar poderá ser afetada por esse parâmetro. Em contrapartida, valores relativamente baixos, menores que 5, modelam melhor os dispositivos. De forma a satisfazer estas condições, o parâmetro $Q_{C_1}$ é definido pela equação 36 (61).

$$Q_{C_1} = Q_{C_3} - \frac{Q_{C_4}}{1+\exp\left(-Q_{C_5}(V_{GS} - V_{Th})\right)} \tag{36}$$

onde $Q_{C_3}$ é mantido em 18 para que $Q_{C_1}$não afete o sublimiar, $Q_{C_4}$ ajusta a transição entre a condução de corpo e da camada de acumulação do parametro $Q_{C_1}$ e $Q_{C_5}$ controla a transição entre $Q_{C_3}$ $e$ $Q_{C_4}$.

Como o parâmetro $Q_{C_2}$ controla o sublimiar, ele é definido de forma a se obter a inclinação correta, por isso é definido segundo a equação 37 (61).

$$Q_{C_2} = \frac{V_{Th}}{2n\phi_t} \tag{37}$$

Para se considerar estas transições e obter uma transição continua, as equações 32 e 33 foram reescritas para se utilizar as equações 34 e 35 como tensão de porta (25). Com isso, $\phi_{S,dep}$ e $\phi_{S,acc}$ são dadas pelas equações 38 e 39, respectivamente.

$$\phi_{S,dep} = V_{GS_1} - V_{FB} + V_Y - \frac{\gamma_{pot}}{2} + \sqrt{\left(\frac{\gamma_{pot}}{2}\right)^2 - \gamma_{pot}\left(V_{GS_2} - V_{FB}\right)} \tag{38}$$

$$\phi_{S,acc} = \phi_t \ln\left[1 + \frac{\left(V_{GS} - V_{GS_1} - V_Y\right)^2}{\gamma_{pot}\phi_t}\right] \tag{39}$$

Para se evitar que quando $V_{Th} < 0\text{V}$ o valor de $V_{GS_2}$ tenha comportamento inesperado, é necessário somar uma constante para garantir que esse valor seja sempre positivo. Para isto, de forma a não alterar o valor da função $V_{GS_2}$, é necessário alterar $Q_{C_2}$ também, passando $V_{GS_2}$ e $Q_{C_2}$ a ser descritos, respectivamente, pelas equações 40 e 41.

$$V_{GS_2} = V_{Th} + \left(V_{Th} + Q_{C_6}\right)\frac{\ln\left[1+\exp\left(Q_{C_2}\left(-1+{}^{\left(V_{GS_1}+Q_{C_6}\right)}\!/_{\left(V_{Th}+Q_{C_6}\right)}\right)\right)\right]}{\ln\left(1+\exp\left(Q_{C_2}\right)\right)} \tag{40}$$

$$Q_{C_2} = \frac{V_{Th}+Q_{C_6}}{2n\phi_t} \tag{41}$$

onde o valor de $Q_{C_6}$ é definido de forma a manter sempre $\left(V_{Th} + Q_{C_6}\right) > 0$, aqui adotado como 2.

O potencial de superfície para dispositivos de canal longo pode ser calculado pela equação 42.

$$\phi_S = \phi_{S,dep} + \phi_{S,acc} \tag{42}$$

#### *2.5.1.4 Densidade de cargas de condução*

A densidade absoluta de cargas de condução ($Q_c$) deve ser calculada tanto para o lado da fonte ($Q_{c,S}$) quanto para o lado do dreno ($Q_{c,D}$). Para isso deve ser calculado o potencial de superfície também para fonte ($\phi_{S,S}$) e dreno ($\phi_{S,D}$), onde $V_Y$ será, respectivamente, a tensão na fonte e no dreno. O valor de $Q_c$ é obtido somando-se a densidade de cargas fixas ($Q_{Si}$) com a carga controlada pela porta ($Q$), e pode ser obtida pela obtida pela equação 43 (25).

$$Q_c = Q_{Si} + Q = Q_{Si} + (V_{FB} - V_{GS} + \phi_S)C_{OX} \tag{43}$$

#### *2.5.1.5 Corrente de dreno*

Para se obter a corrente estática de dreno ($I_{DS}$), a equação 44 foi integrada em relação à densidade de cargas, levando em consideração que $\partial V_Y = -\partial Q_c / C_{OX}$ é uma relação linear (25).

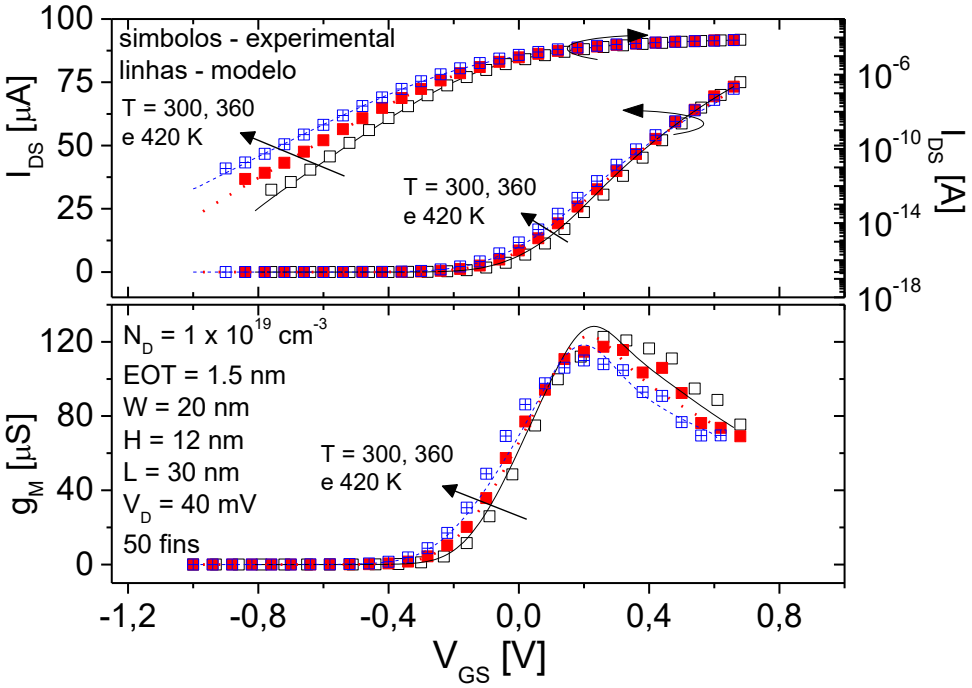
$$I_{DS} = \frac{\mu Q_c \partial V_Y}{\partial Y} \tag{44}$$

Com isso, $I_{DS}$ pode ser obtido através das cargas de condução na fonte e no dreno, através da equação 45.

$$I_{DS} = \frac{\mu}{L}\left(\frac{Q_{c,S}{}^2 - Q_{c,D}{}^2}{2C_{OX}}\right) \tag{45}$$

A figura 11 mostra a comparação entre o modelo utilizado e resultados experimentais, onde EOT é a espessura efetiva do oxido de porta.

Figura 11 – Curvas $I_{DS}$ x $V_{GS}$ e $g_M$ x $V_{GS}$ para um JNT nMOS




Fonte: Trevisoli *et al.* (25), traduzido pelo autor

### *2.5.1.6 Tensão de saturação*

Para se obter a tensão de saturação de dreno, foi utilizada a equação semi empírica proposta por Paz, *et al.*, que é obtida pela equação 46 (28).

$$V_{DS_{Sat}} = 0{,}5[0{,}08 + 0{,}115(L * 10^7)^{0{,}33} V_{GT}]\left(1 + \tanh(3\mathrm{V_{GT}})\right) + 0{,}5\mathrm{V_{GT}}\left(1 - \tanh(3\mathrm{V_{GT}})\right) \tag{46}$$

A fim de limitar a mínima tensão de saturação no valor do potencial térmico, foi feita o cálculo da limitação de $V_{DS_{Sat}}$ dado pela equação 47.

$$V_{DS_{Sat_2}} = \phi_t + \left(\phi_t + V_{D_{Sat2}}\right)\left[\frac{ln\left(1+exp\left(V_{D_{Sat1}}\left(-1+\frac{\left(V_{DS_{Sat}}+V_{D_{Sat2}}\right)}{\left(\phi_t+V_{D_{Sat2}}\right)}\right)\right)\right)}{ln\left(1+exp\left(V_{D_{Sat1}}\right)\right)}\right] \tag{47}$$

onde $V_{D_{Sat1}}$ é um parâmetro que controla a suavidade entre a transição de $V_{DS_{Sat}}$ e $\phi_t$, aqui definido empiricamente como 10 e $V_{D_{Sat2}}$ é um parâmetro utilizado para garantir

que função esteja dentro do seu limite de validade, aqui definido empiricamente como 2.

Para se considerar o efeito da tensão de saturação em $V_{DS}$, foi utilizada uma função de suavização a fim de limitar $V_{DS}$ em $V_{DS_{Sat}}$, com isto, $V_{DS}$ passa a ser descrito pela equação 48.

$$V_{DS} = V_{DS_{Sat_2}} \left[ 1 - \frac{\ln\left(1+\exp\left(V_{Sat_3}\left(1-\frac{V_{DS}}{V_{DS_{Sat_2}}}\right)\right)\right)}{\ln(1+\exp(V_{D_{Sat3}}))} \right] \tag{48}$$

onde $V_{D_{Sat3}}$ é um parâmetro de ajuste.

### *2.5.1.7 Efeitos de canal curto*

Para se considerar os SCEs, foi desenvolvido a equação de Poisson tridimensional, a fim de se obter o mínimo potencial no canal, que pode ser calculado pela equação 49 (27).

$$\phi_{min} = \frac{\sqrt{-(\phi_{s,S}-V_S)^2(\phi_{s,D}-V_D)^2+2(\phi_{s,S}-V_S)(\phi_{s,D}-V_D)\cosh\left(\frac{L}{\lambda}\right)}}{\sinh\left(\frac{L}{\lambda}\right)} \tag{49}$$

onde $V_S$ e $V_D$ são respectivamente os potenciais na fonte e no dreno, podendo ser considerado $V_S = 0$ e $V_D = V_{DS}$ , $\phi_{s,S}$ e $\phi_{s,D}$ os potenciais na fonte e no dreno, respectivamente, que, por este efeito só ocorrer quando o transistor estiver em depleção, foi utilizado a equação 38 para descrever o potencial e $\lambda$ é o comprimento característico do transistor. O comprimento característico de um transistor de porta tripla pode ser calculado como uma média de dois comprimentos, o relativo à altura ($\lambda_h$) e o relativo a largura ($\lambda_w$). O valor de $\lambda$ pode ser calculado pelas equações 50–52 (5).

$$\lambda = \frac{1}{\sqrt{\lambda_w^{-2}+(2\lambda_h)^{-2}}} \tag{50}$$

$$\lambda_w = \sqrt{\left(\frac{\varepsilon_{Si} W t_{ox}}{2\varepsilon_{OX}}\right)\left(1+\frac{\varepsilon_{OX} W}{4\varepsilon_{Si} t_{OX}}\right)^2} \tag{51}$$

$$\lambda_h = \sqrt{\left(\frac{\varepsilon_{Si} H t_{ox}}{4\varepsilon_{OX}}\right)\left(1+\frac{\varepsilon_{OX} W}{2\varepsilon_{Si} t_{OX}}\right)^2} \tag{52}$$

Este efeito é considerado como um aumento na tensão efetiva de porta, desta forma, como o valor de $\phi_{min}$ é positivo, é somado este valor em $V_{GS}$.

Para a modulação do comprimento de canal, foi implementada o modelo utilizado por Paz *et al.* para os JNTs, que é dado pela equação 53 (28)

$$\Delta \mathrm{L} = \mathrm{clm}_1 \sqrt{\frac{\varepsilon_{si}\left(V_{DS}-V_{DS_{Sat}}\right)}{qN_D}\left(1 + tanh\left(clm_2\left(V_{DS} - V_{DS_{Sat}}\right)\right)\right)} \quad (53)$$

onde $\mathrm{clm}_1$ é um parâmetro de ajuste da intensidade do efeito, $\mathrm{clm}_2$ é um parâmetro que controla a suavidade e $\Delta\mathrm{L}$ é a diferença entre o comprimento real e efetivo de canal.

### 2.5.2 Modelo dinâmico

Para se avaliar o comportamento dinâmico do JNT em um circuito, são calculadas as capacitâncias intrínsecas, permitindo avaliar o comportamento do transistor com sinais que variam no tempo.

As capacitâncias intrínsecas são calculadas com base na densidade de cargas de condução. Para isto, deve-se obter a carga total de condução no canal ($Q_t$), que pode ser calculada integrando-se $Q_c$ (que deve ser calculada sem considerar a tensão de saturação de dreno) ao longo do canal, conforme a equação 54 (29).

$$Q_t = \int_0^L Q_c dy = \frac{\mu}{I_D}\int_{V_S}^{V_D} {Q_c}^2 dV_y \quad (54)$$

Tomando a mesma consideração utilizada para obter a equação 45, pode se calcular $Q_t$ através da equação 55 (29).

$$Q_t = \frac{\mu}{C_{OX}I_D}\int_{Q_{c,S}}^{Q_{c,D}} {Q_c}^2 dQ_c = \frac{\mu}{2C_{OX}I_D}\left({Q_{c,S}}^3 - {Q_{c,D}}^3\right) \quad (55)$$

A carga total na porta ($Q_G$) é calculada pela diferença dada pela equação 56 (29).

$$Q_G = Q_t - LQ_{Si} \quad (56)$$

Para se obter as cargas na fonte e no dreno, foi utilizado o esquema de particionamento das cargas de Ward–Dutton, obtendo-se desta forma a carga total no dreno ($Q_D$) segundo a equação 57 (29).

$$Q_D = -\left[\int_0^L \frac{y}{L} Q_C dy - \frac{LQ_F}{2}\right] = \frac{\mu^2}{2L\left(C_{OX}{I_D}^2\right)}\int_{Q_{c,S}}^{Q_{c,D}}\left({Q_c}^2{Q_{c,S}}^2 - {Q_c}^4\right)dQ_c + \frac{LQ_f}{2} \quad (57)$$

Resolvendo-se a integral da equação 57, obtem-se a equação 58 (29).

$$Q_D = \frac{\mu^2}{2L(C_{OX}I_D)^2}\left[\frac{Q_{c,S}{}^2(Q_{c,S}{}^3 - Q_{c,D}{}^3)}{3} - \frac{Q_{c,S}{}^5 - Q_{c,D}{}^5}{5}\right] + \frac{LQ_f}{2} \quad (58)$$

A carga total na fonte ($Q_S$) é calculada pela equação 59 (29).

$$Q_S = -Q_G - Q_D \quad (59)$$

Quando não é aplicado tensão no dreno, isto é, $V_G = V_D = 0$, $Q_{c,S} = Q_{c,D}$ e $I_D = 0$, com isto as equações 55 e 58 levam a uma indeterminação, o que é indesejável. Por conta disto, estas equações foram reescritas utilizando a equação 45, passando a ser calculadas respectivamente pelas equações 60 e 61 (29).

$$Q_G = \frac{2L}{3}\frac{Q_{c,S}{}^2 + Q_{c,S}Q_{c,D} + Q_{c,D}{}^2}{Q_{c,S} + Q_{c,D}} - LQ_f \quad (60)$$

$$Q_D = -\frac{2L}{15}\frac{2Q_{c,S}{}^3 + 4Q_{c,S}{}^2Q_{c,D} + 6Q_{c,S}Q_{c,D}{}^2 + 3Q_{c,D}{}^3}{Q_{c,S}{}^2 + 2Q_{c,S}Q_{c,D} + Q_{c,D}{}^2} + \frac{LQ_f}{2} \quad (61)$$

### *2.5.2.1 Capacitâncias intrínsecas*

Considerando que um JNT de porta tripla tem 4 terminais e a carga em cada um destes terminais ($Q_G$, $Q_D$, $Q_S$ e $Q_B$) podem ser diferenciadas em relação a cada tensão ($V_G$, $V_D$, $V_S$ e $V_B$), 16 capacitâncias intrínsecas podem ser obtidas. A relação entre estas capacitâncias são dadas pelas equações 62–65 (29).

$$C_{gg} = C_{gs} + C_{gd} + C_{gb} = C_{sg} + C_{dg} + C_{bg} \quad (62)$$

$$C_{dd} = C_{dg} + C_{ds} + C_{db} = C_{gd} + C_{sd} + C_{bd} \quad (63)$$

$$C_{ss} = C_{sg} + C_{sd} + C_{sb} = C_{gs} + C_{ds} + C_{bs} \quad (64)$$

$$C_{bb} = C_{bg} + C_{bs} + C_{bd} = C_{gb} + C_{sb} + C_{db} \quad (65)$$

Das equações 62–65, somente 9 das 16 são linearmente independentes. Com isto é necessário calcular apenas 9 capacitâncias, obtendo-se as outras através destas relações (29).

Diferenciando a equação 60 em função de $V_k$, onde $V_k$ pode assumir o valor da tensão de fonte ($V_S$), dreno ($V_D$), porta ($V_G$) ou substrato ($V_B$), obtém-se, para a porta, a equação 66 (29).

$$\frac{\partial Q_G}{\partial V_k} = \frac{2L}{3}\left[\frac{\frac{\partial Q_{c,S}}{\partial V_k}(2Q_{c,S} + Q_{c,D}) + \frac{\partial Q_{c,D}}{\partial V_k}(Q_{c,S} + 2Q_{c,D})}{Q_{c,S} + Q_{c,D}} - \left(\frac{\partial Q_{c,S}}{\partial V_k} + \frac{\partial Q_{c,D}}{\partial V_k}\right)\frac{Q_{c,S}{}^2 + Q_{c,S}Q_{c,D} + Q_{c,D}{}^2}{(Q_{c,S} + Q_{c,D})^2}\right] \quad (66)$$

De forma similar, diferenciando a equação 61, obtém-se, para o dreno, a equação 67 (29).

$$\frac{\partial Q_D}{\partial V_k} = -\frac{2L}{15}\left[\frac{2\frac{\partial Q_{c,S}}{\partial V_k}\left(Q_{c,S}{}^3+3Q_{c,S}{}^2Q_{c,D}+Q_{c,S}Q_{c,D}{}^2\right)+\frac{\partial Q_{c,D}}{\partial V_k}\left(3Q_{c,D}{}^3+8Q_{c,S}{}^2Q_{c,D}+9Q_{c,S}Q_{c,D}{}^2\right)}{Q_{c,S}{}^3+3Q_{c,S}{}^2Q_{c,S}+3Q_{c,S}Q_{c,D}{}^2+Q_{c,D}{}^3}\right] \quad (67)$$

Para se calcular as capacitâncias em relação a fonte, utiliza-se a equação 68.

$$\frac{\partial Q_S}{\partial V_k} = -\frac{\partial Q_G}{\partial V_k} - \frac{\partial Q_D}{\partial V_k} \quad (68)$$

No cálculo de todas as capacitâncias intrínsecas, são necessárias as derivadas de $Q_{c,S}$ e $Q_{c,D}$. Diferenciando a equação 43 em função de $V_k$ obtém-se a equação 69 (29).

$$\frac{\partial Q_c}{\partial V_k} = \left(\frac{\partial V_G}{\partial V_k} - \frac{\partial \phi_S(V_y)}{\partial V_k}\right) C_{OX} + \left(\frac{\partial V_B}{\partial V_k} - \frac{\partial \phi_{SB}}{\partial V_k}\right) C_{BOX} \quad (69)$$

Para se calcular a derivada de $\phi_S(V_y)$, onde $V_y$ é $V_D$ para $Q_{c,D}$ e $V_S$ se for para $Q_{c,S}$. A derivada do potencial de superfície é calculada como a soma das derivadas dos potenciais de depleção e acumulação, conforme a equação 70.

$$\frac{\partial \phi_S}{\partial V_k} = \frac{\partial \phi_{S,acc}}{\partial V_k} + \frac{\partial \phi_{S,dep}}{\partial V_k} \quad (70)$$

As derivadas dos potencias de superfície de acumulação e depleção são dadas, respectivamente, pelas equações 71 e 72 (29).

$$\frac{\partial \phi_{S,acc}}{\partial V_k} = \frac{2\left(V_{GS}-V_{GS_1}-V_y\right)/\gamma_{pot}}{1+\left(V_{GS}-V_{GS_1}-V_y\right)^2/(\gamma_{pot}\phi_t)}\left(\frac{\partial V_G}{\partial V_k} - \frac{\partial V_y}{\partial V_k} - \frac{\partial V_{GS_1}}{\partial V_k}\right) \quad (71)$$

$$\frac{\partial \phi_{S,dep}}{\partial V_k} = \frac{\partial V_y}{\partial V_k} + \frac{\partial V_{GS_1}}{\partial V_k} - \frac{\sqrt{\gamma_{pot}}}{\sqrt{\gamma_{pot}-4(V_{GS_2}-V_{FB})}}\frac{\partial V_{GS_2}}{\partial V_k} \quad (72)$$

As derivadas das funções de suavização $V_{GS_1}$ e $V_{GS_2}$ são dadas respectivavamente pelas equações 73 e 74 (29).

$$\frac{\partial V_{GS_1}}{\partial V_k} = \frac{Q_{C_1}\exp\left(Q_{C_1}\left(1-\left(V_{GS}-V_y\right)/V_{FB}\right)\right)}{\left[1+\exp\left(Q_{C_1}\left(1-\left(V_{GS}-V_y\right)/V_{FB}\right)\right)\right]\ln\left[1+\exp\left(Q_{C_1}\right)\right]}\left(\frac{\partial V_G}{\partial V_k} - \frac{\partial_{V_y}}{\partial V_K}\right) \quad (73)$$

$$\frac{\partial V_{GS_2}}{\partial V_k} = \frac{\partial V_{Th}}{\partial V_k} \frac{ln\left[1+\exp\left(Q_{C_2}\left(-1+{}^{V_{GS_1}}\!/_{V_{Th}}\right)\right)\right]}{\ln[1+\exp(Q_{C_2})]} + \frac{\partial V_{Th}}{\partial V_k} +$$

$$\frac{Q_{C_2} V_{Th} \exp\left(Q_{C_2}(-1+V_{GS_1}/V_{Th})\right)}{\left[1+\exp\left(Q_{C_2}\left(-1+{}^{V_{GS_1}}\!/_{V_{Th}}\right)\right)\right]\ln[1+\exp(Q_{C_2})]} \left(\frac{1}{V_{Th}} \frac{\partial V_{GS_1}}{\partial V_k} - \frac{V_{GS_2}}{{V_{Th}}^2} \frac{\partial V_y}{\partial V_k}\right) \quad (74)$$

A derivada da tensão de limiar só existe em relação a $V_B$, sendo para as outras $\frac{\partial V_{Th}}{\partial V_k} = 0$. A derivada em relação a $V_B$ é dada pela equação 75 (29).

$$\frac{\partial V_{Th}}{\partial V_B} = \left[-\frac{1}{C_{OX}} - \frac{1}{\varepsilon_{Si} q N_D} \frac{2Q_{Si}}{{W_{ef}}^2}\right] \frac{\partial Q_{SI}}{\partial V_B} \quad (75)$$

onde $\frac{\partial Q_{Si}}{\partial V_B} = -C_{BOX}\left(-1 + \frac{\partial \phi_{SB}}{\partial V_B}\right)$.

Para a completa solução analítica, a derivada de $\phi_{SB}$ pode ser obtida através da equação 76 (29).

$$\frac{\partial \phi_{SB}}{\partial V_k} = \frac{q N_D x_{depl}}{\varepsilon_{Si}} \frac{\partial x_{depl}}{\partial V_k} \quad (76)$$

O valor da derivada de $x_{depl}$ pode ser obtido através da equação 77 (29).

$$\frac{\partial x_{depl}}{\partial V_k} = \frac{\frac{\varepsilon_{Si}}{q N_D}\left(\frac{\partial V_{BS_2}}{\partial V_k} - \frac{\partial V_B}{\partial V_k}\right)}{\sqrt{\left(\frac{\varepsilon_{Si} t_{BOX}}{\varepsilon_{BOX}}\right)^2 + \frac{2\varepsilon_{Si}}{q N_D}(V_{BS_2} - V_{BS})}} \quad (77)$$

E, a derivada de $V_{BS_2}$ é dada pela equação 78 (29).

$$\frac{\partial V_{BS_2}}{\partial V_k} = \frac{SE_2 \exp\left(SE_2\left(-1+{}^{V_{BS}}\!/_{V_{FB_S}}\right)\right)}{\left[1+SE_2 \exp\left(SE_2\left(-1+{}^{V_{BS}}\!/_{V_{FB_S}}\right)\right)\right]\ln[1+\exp(SE_2)]} \frac{\partial V_B}{\partial V_k} \quad (78)$$

Finalmente, para se obter as capacitâncias intrínsecas é necessário considerar o sinal da capacitância, que é dado pela equação 79.

$$\mathrm{C_{jk}} = \partial m \frac{\partial Q_j}{\partial V_k} \quad (79)$$

onde j pode ser a porta, fonte ou dreno, k pode ser a porta, fonte, dreno ou substrato e $\partial m = -1$ se j ou k for a porta ou o substrato e $\partial m = 1$ nos demais casos.

## 2.6 LINGUAGEM VERILOG-A

Existem algumas linguagens de descrição de hardware (HDL) que tem uma parte dedicada ao comportamento analógico, como VHDL-AMS (82,83), e VERILOG-

AMS (84,85), como também linguagens para descrições hibridas de hardware e software, como SystemC (86,87).

Inicialmente, a linguagem VERILOG-AMS foi desenvolvida para descrições comportamentais de circuitos elétricos analógicos e de sinais mistos. Ficou clara a necessidade de uma linguagem padrão para descrição de modelos compactos e as linguagens de descrição de hardware se tornaram fortes candidatos para isto. O modelo será implementado em linguagem VERILOG-A que emergiu de fato como substituto do C e do FORTRAN para modelos compactos mesmo com uma resistência inicial à adoção da linguagem (88). Os modelos compactos são os modelos que descrevem o comportamento dos componentes de um circuito, como resistores, capacitores, transistores, entre outros (88). A linguagem VERILOG-A é a parte exclusivamente analógica da linguagem VERIOLOG-AMS (85) que por sua vez é uma linguagem derivada da linguagem VERILOG (84). Esta linguagem funciona complementando a linguagem VERILOG com o subconjunto analógico para descrever um comportamento analógico e digital (AMS). Esta linguagem foi escolhida por permitir a portabilidade do código entre os diversos simuladores compatíveis com esta linguagem e por ter sido atualizado para o uso neste tipo de aplicação. Os compiladores iniciais da linguagem VERILOG-A não eram muito precisos em relação ao manual de referência da linguagem (LRM) e, com isto, o código tinha que ser modificado para cada simulador utilizado. Com a evolução dos compiladores, este problema desapareceu, além de se tornarem bem mais eficientes nesta função, se aproximando muito da eficiência de um código escrito manualmente em C, e em algumas vezes o superando (88). Porém, mesmo sendo uma linguagem padrão, ainda é possível ter um código confuso e mal escrito, sem os devidos comentários e padronização que dificultam sua compreensão.

A partir da versão 2.2, a linguagem VERILOG-AMS melhorou seu suporte a modelos compactos (89), como derivada parcial e a passagem de parâmetros vindos do simulador (85). Uma vantagem da linguagem VERILOG-A em relação ao C, é de ser independente do simulador, podendo ser usado nos simuladores compatíveis ao invés de ter que adaptar ao mudar de simulador e de seus códigos serem bem menores do que o C, principalmente por gerar automaticamente as derivadas (88).

Para que o código execute de forma eficiente, tem que se observar as diversas recomendações ao se escrever o código como a definição das constantes, a saída

dos resultados somente entre dois nós a fim de se observar à lei de Kirchoff , a simplificação de equações, o uso dos parâmetros no sistema internacional de unidades e o alinhamento do código (88,89).

Além disto, a linguagem VERILOG-A permite a criação de nós internos no modelo, desta forma o efeito da resistência série pode ser considerado como uma queda de tensão em um resistor em série a cada terminal, com corrente igual à que flui pelo respectivo nó, conforme demostrado em (90) para o diodo.

## 2.7 SIMULADOR NUMÉRICO DE DISPOSTIVOS

Para a simulação numérica tridimensional foi utilizado o simulador para projeto tecnológico assistido por computador (TCAD) da Synopsys. Para obter os resultados, o simulador utiliza o método dos elementos finitos em cada um dos pontos determinados, baseando-se em equações de continuidade e de Poisson (76).

A estrutura do JNT a ser simulada foi definida utilizado o software Sentaurus Structure Editor (91). Neste software é possível definir para cada região o material, dimensão, concentrações de dopante, etc. Esta estrutura gerada é utilizada como entrada para a simulação tridimensional. No Apêndice A se encontra o arquivo utilizado para a geração da estrutura.

A simulação da estrutura foi feita utilizando o software Sentaurus Device (76). Para descrever o comportamento do transistor, foram considerados alguns fenômenos físicos, de forma que alguns modelos foram utilizados para modelar a mobilidade dos portadores, os mecanismos de geração e recombinação e o estreitamento da faixa proibida.

a) Mobilidade dos portadores:
   - HighFieldSaturation:

     Este modelo, descrito por Canali *et al*. (92), considera a saturação da velocidade dos portadores para altos valores de campo elétrico e possui dependência com a temperatura.

b) Geração e recombinação de portadores:
   - SRH:

     O efeito Shockley–Read–Hall é contabilizado pelo modelo que leva os seus nomes e quantifica a geração e recombinação dos portadores devido aos defeitos presentes na rede cristalina do

semicondutor. Foram utilizados os parâmetros “DopingDep” e “TempDependence” no modelo para que sejam levados em consideração a concentração de dopantes e a temperatura neste cálculo.

c) Largura da faixa proibida:

– BandGapNarrowing:

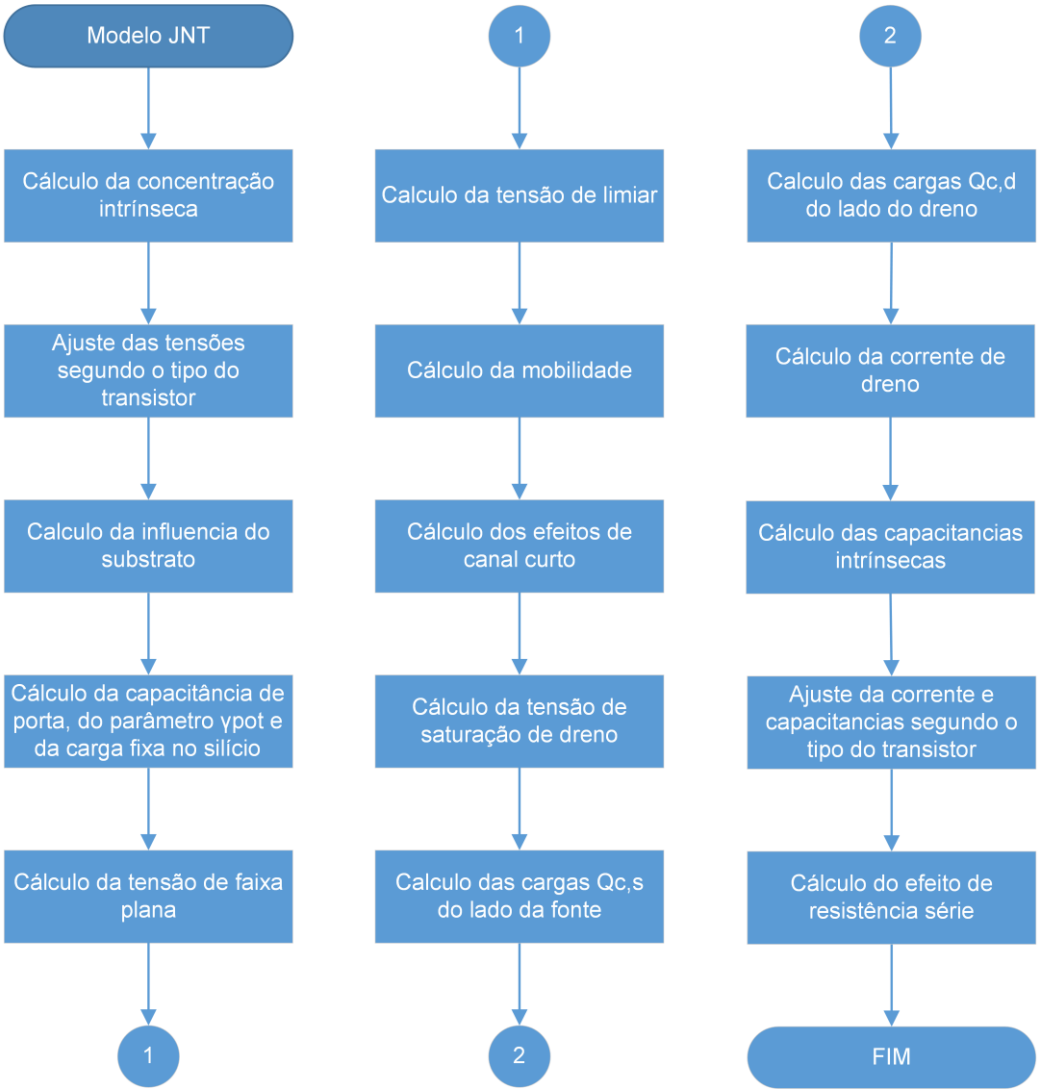
Este modelo é utilizado para considerar o estreitamento da largura da faixa proibida, que ocorre dependendo da concentração de dopantes e da temperatura (93).

No Apêndice B se encontra um exemplo de arquivo utilizado para simulação no Sentaurus Device.

# 3 IMPLEMENTAÇÃO DO MODELO EM LINGUAGEM VERILOG-A

Para a implementação do modelo, buscou-se seguir algumas recomendações (88,89) para otimizar o funcionamento do código, como a simplificação das fórmulas por meio de fatoração, definir o limite para todos os parâmetros de entrada, compartimentar o código em blocos funcionais e utilizar constantes com versão definida (utilizadas as definições do NIST/2010 neste trabalho sempre que disponíveis). O modelo foi implementado em linguagem VERILOG-A e testado com o simulador de circuitos ELDO, da Mentor Graphics (30). A implementação foi feita conforme descrito na seção anterior, e baseando-se nisto, foi desenvolvido um fluxograma para o cálculo da corrente de dreno, conforme figura 12.

Figura 12 – Fluxograma para calculo da corrente de dreno




Fonte: Autor

Para iniciar-se a implementação, antes de iniciar a sequência definida no fluxograma da figura 12, tem se as definições advindas da linguagem VERILOG-A.

A implementação deve iniciar com as definições da linguagem, é definida a função *TYPE* a fim de permitir diferentes valores padrão dos parâmetros de ajuste para nMOS e pMOS e são seguidos das definições (como as constantes físicas não fornecidas pela linguagem e parâmetros empíricos do modelo):

```
`include "disciplines.vams"
`include "constants.vams"

`define NMOS 1
`define PMOS -1
`define TYPE(ndef,pdef) ((type==`NMOS) ? ndef : pdef)

`define PHYSICAL_CONSTANTS_NIST2010
`define PHY_EPSOX (3.9*`P_EPS0) //Oxide permittivity in F/m
`define PHY_EPSSI (11.8*`P_EPS0) //Silicon permittivity in F/m
`define PHY_Me 9.10938291e-31 //Eletron mass [kg] (nist/2010)
`define PHY_Ml  0.9163 //Longitudinal electron mass

`define SE1 10.0
`define SE2 5.0
`define SE3 4.0
`define QC3 18.0
`define QC6 2.0
`define VDSAT1 10.0
`define VDSAT2 2.0
```

Após estas definições, tem-se a declaração do modelo e suas conexões também declarando nós internos para resistência série, definindo seguindo a mesma ordem de nós dos outros MOSFETs:

```
module jnt(d, g, s, b);
   inout d, g, s, b;
   (* desc="Drain terminal" *)   electrical d;
   (* desc="Gate terminal" *)    electrical g;
   (* desc="Source terminal" *) electrical s;
   (* desc="Bulk terminal" *)     electrical b;
   (* desc="Internal nodes" *)   electrical di, si;
```

Em seguida são definidos os parâmetros de entrada, seus valores padrão e seus respectivos limites:

```
   (* desc="Transistor type" *) parameter integer type = `NMOS from [`PMOS :
`NMOS ] exclude 0;
   (* desc="Height", units="Meter" *) parameter real h = 10.0E-9 from [1.0e-9 :
inf) ;
   (* desc="Width", units="meter" *) parameter real w = 10.0E-9 from [1.0e-9 :
inf);
   (* desc="Channel Lenght", units="Ohm" *)parameter real l = 100.0E-9 from
[1.0e-9 : inf);
   (* desc="Transistor dopping", units="Meter^-3" *) parameter real
ndop=5.0E24 from [1.0e16 : 1.0e30];
   (* desc="Gate oxide thickness", units="Meter" *) parameter real tox = 2.0E-
9 from [1.0e-10 : inf);
```

```
(* desc="Burried oxide tickness", units="Meter" *) parameter real tbox = 100.0E-9 from [1.0e-9 : inf);
(* desc="Saturation speed", units="Meter/second" *) parameter real vsat = `TYPE(1.07e5, 8.37e4) from [0.0 : inf);
(* desc="Low eletric field mobility", units="Meter^2/(volt*second)" *)parameter real u0 = `TYPE(100.0E-4, 40.0E-4) from [0 : 0.15];
(* desc="Substract dopping", units="Meter^-3" *) parameter real nsub = 1.0E21 from [1.0E16 : 1.0E30];
(* desc="Corner capacitance effect" *)parameter real Cox_crnr = 2.3059 from [0.0 : inf);
(* desc="Gate work function adjust", units="electron Volt" *)parameter real d_FiMS = 0.0 from (-inf : inf);
(* desc="Oxide fixed equivalent charge", units="Coloumbs/meter" *) parameter real qox = 0.0 from [0.0 : inf);
(* desc="Burried oxide fixed equivalent charge", units="Coloumb/meter" *) parameter real qbox = 0.0 from [0.0 : inf);
(* desc="Transistor subthreshold factor" *) parameter real n = 1.0 from [1.0 : 2.0];
(* desc="Acuumulation transition parameter" *) parameter real qc4 = 10.156 from (0.0 : `QC3);
(* desc="Acuumulation transition parameter" *) parameter real qc5 = 8.875 from (0.0 : 100);
(* desc="Short Channel Effect smooth parameter" *) parameter real sce = 15 from [0.0 : 50.0);
(* desc="Drain Voltage Saturation Smooth Parameter" *) parameter real vdsat3 = 2.0 from (0.0 : 30.0);
(* desc="Channel Lenght Modulation parameter" *) parameter real clm1 = 1 from [ 0.0 : 1];
(* desc="Channel Lenght Modulation smooth parameter" *) parameter real clm2 = 10 from ( 0.0 : 100);
(* desc="Mobility degradation factor" *) parameter real theta = 0.0 from [0.0 : 5.0];
(* desc="Mobility degradation factor" *) parameter real theta2 = 0.0 from [0.0 : 5.0];
(* desc="Mobility degradation factor" *) parameter real beta0 = `TYPE(1.109, 1.213) from [ 1.0 : 10];
(* desc="Mobility degradation factor" *) parameter real betaexp = `TYPE(0.66, 0.17) from (0 : 1);
//Series resistence
(* desc="Drain Resistance", units="Ohm" *)  parameter real rd = 0.0 from [0.0 : inf);
(* desc="Source Resistance", units="Ohm" *) parameter real rs = rd  from [0.0 : inf);
localparam integer sign = `TYPE(1, -1);
```

Após se definir os parâmetros, são definidas as funções, aqui utilizando somente para o cálculo das densidades de estados:

```
analog function real Nx;
  input T, mdx;
  real T, mdx;
  begin
    Nx = 2.0*pow((2.0 * `M_PI * mdx * `PHY_Me *`P_K * T)/(`P_H*`P_H),(1.5))*2.0;
  end
endfunction //Nx
```

Definindo-se as funções, são definidas as variáveis globais, que são acessíveis em todo código e pelo simulador, caso este suporte:

```
//Temperature in Kelvin
real T;
//Silicon parameters
real fit;
real Nd;
//Capacitances
real Cox;
real Cbox, Wef;
//Parameters
real Ypot, Qsi, Vfb;
real Vth, mu, Ids;
// source-drain interchange
integer interchange;
real Vbs, Vbs2, VFBs, xdepl, H2;
real vds, Vds, Vgs, Vsb, Vgd, Vs, Vd;
real Qcs,  Qcd, d_l;
//Capacitance calculation
real dQg_dVs, dQg_dVd, dQg_dVb, dQg_dVb_aux;
real dQd_dVg, dQd_dVs, dQd_dVb;
real dQs_dVg, dQs_dVd, dQs_dVb;
real Cgs, Cgd, Cgb;
real Cdg, Cds, Cdb;
real Csg, Csd, Csb;
```

Assim é finalizada a preparação do código para a implementação fluxograma da figura 12.

A implementação do primeiro bloco do fluxograma, o cálculo da concentração intrínseca, deve ser após o inicio do bloco analógico que contém todo o código que será executado e obter a temperatura obtida do simulador:

```
analog begin
    begin : temperature_adjustment
        //Celcius to Kelvin
        T = $temperature;
    end //temperature_adjustment
```

Após isto é implementado o cálculo da concentração intrínseca, em um bloco do código que agrega os blocos do fluxograma até o cálculo da tensão de limiar:

```
begin : transistors_parameters
        real mt, mde, mdh;
        real Nv, Nc, Eg, fif;
        real ni, FiMS, FiBS;

        mt = 0.1913+T*(-4.042E-5 +T*(1.392E-6 + T *(-4.326E-9 + T*4.42E-
12)));
        mde = pow((6.0*sqrt(`PHY_MI*(mt*mt))),(2.0/3.0));
        mdh = 0.5906 + T*(-2.45E-4 + T*(1.1504E-5 + T*(-4.115E-8
+T*4.502E-11)));

        Nd=ndop;

        Nv = Nx(T, mdh);
        Nc = Nx(T, mde);

        Eg = 1.1696 - 4.73e-4*(T*T)/(636.0+T);
```

```
fit = $vt;

ni = sqrt(Nc*Nv) * exp(-Eg/(2.0*fit));

//Fermi Potential
fif = fit *ln (Nd/ni);
FiMS =  fif + (Eg/2.0) + d_FiMS;
```

Observa-se que o cálculo das densidades de estado (Nv e Nc) são executados pela função anteriormente declarada, o potencial térmico (fit) advém do simulador para temperatura definida na simulação. Observa-se também a fatoração para simplificação dos cálculos executados em mt, mde e mdh a fim de otimizar o código. Após o cálculo da concentração é feita a leitura das tensões entre os terminais e feita a consideração para que $V_{DS}$ seja sempre positivo durante o calculo do modelo e feito ajustes para o calculo de um nMOS ou de um pMOS:

```
//Potentials
vds = sign * V(di,si);
if (vds >= 0.0) begin
   interchange = 0;
   Vds = vds;
   Vsb = sign * V(si,b);
   Vgs = sign * V(g,si);
   Vgd = sign * V(g,di);
end else begin
   interchange = 1;
   Vds = -vds;
   Vsb = sign * V(di,b);
   Vgs = sign * V(g,di);
   Vgd = sign * V(g,s);
end
```

Após obter-se as tensões entre os terminais, são feitos os cálculos considerando-se o transistor sendo nMOS e posteriormente executado os ajustes necessários para que o modulo dos resultados e as inversões dos terminais sejam compensados. Na sequência do código é feito o calculo da influência do substrato até o cálculo da tensão de limiar, finalizando o primeiro bloco do código:

```
Vbs = -Vsb;
Cbox = `PHY_EPSOX*w/tbox;
FiBS = fit * ln(Nd*nsub/(ni*ni));
VFBs = FiBS - (qbox/Cbox);
Vbs2=(VFBs+`SE1)*(1.0+ln(1.0+limexp(`SE2*(-
1.0+(Vbs+`SE1)/(VFBs+`SE1)))) /(ln(1.0+limexp(`SE2))))-`SE1;
xdepl = -`PHY_EPSSI*tbox/`PHY_EPSOX + 
sqrt((`PHY_EPSSI*tbox/`PHY_EPSOX)*(`PHY_EPSSI*tbox/`PHY_EPSOX)+
2.0*`PHY_EPSSI*(Vbs2-Vbs)/(`P_Q*Nd));
H2 = h-h*(1.0-ln(1+limexp(`SE3*(1.0-
(xdepl)/(h))))/(ln(1.0+limexp(`SE3))));
//
Wef = (2.0*h)+w;
Cox = `PHY_EPSOX*((w+2.0*H2)/tox + Cox_crnr);
Vfb = FiMS - (qox/Cox);
```

```
        Ypot = (`P_Q* Nd* `PHY_EPSSI *(Wef*Wef))/(Cox*Cox);
        Qsi = `P_Q*Nd*w*H2 -Cbox*(VFBs-Vbs2);

        Vth = Vfb - Qsi/Cox -
(1.0/(`P_Q*Nd))*((Qsi*Qsi)/(`PHY_EPSSI*Wef*Wef));
    end //transistors_parameters
```

Seguindo o fluxograma, tem-se um novo bloco no código para o modelo estático, que termina com o resultado de $I_{DS}$. O cálculo da mobilidade, o calculo dos efeitos de canal curto e a tensão de saturação de dreno também são ficam em blocos isolados, de forma a melhorar a organização do código,:

```
    begin : static_analysis
        real beta;
        Vd = Vds;
        Vs = 0.0;
        mu=u0;

        begin : Del_Vgs_val
            real QC1, QC2, Vgs1, Vgs2, phisdep, phisdepL;
            real lambda_w, lambda_h, lambda, aux, phimin;
            if (sce > 0.0) begin
                QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vs)));
                QC2 = (Vth+`QC6)/(2.0*n*fit);
                Vgs1=Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vs)/Vfb))))/ln(1.0+limexp(QC1)));
                Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)) );
                phisdep = Vgs1 - Vfb + Vs - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0)
- Ypot*(Vgs2-Vfb) );

                QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vd)));
                Vgs1=Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vd)/Vfb))))/ln(1.0+limexp(QC1)));
                Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)) );
                phisdepL = Vgs1 - Vfb + Vd - Ypot/2.0 +
sqrt( (Ypot/2.0)*(Ypot/2.0) - Ypot*(Vgs2-Vfb) );

                lambda_w =
sqrt((`PHY_EPSSI*w*tox/(2.0*`PHY_EPSOX))*(1.0+`PHY_EPSOX*w/(4.0*`
PHY_EPSSI*tox)));
                lambda_h =
sqrt((`PHY_EPSSI*h*tox/(4.0*`PHY_EPSOX))*(1.0+`PHY_EPSOX*h/(2.0*`P
HY_EPSSI*tox)));
                lambda = 1.0/sqrt(1.0/(lambda_w*lambda_w) +
1.0/(4.0*lambda_h*lambda_h));

                aux = (2*(phisdepL-Vd)*(phisdep-Vs)*cosh(l/lambda))-
(((phisdep-Vs)*(phisdep-Vs))+((phisdepL-Vd)*(phisdepL-Vd)));
                if (aux < 0) begin
                    aux = 0;
                end//if
                phimin = sqrt(aux)/sinh(l/lambda);
                Vgs = Vgs+phimin;
            end //if
        end//Del_Vgs_Val
```

```
begin : Vdsat_val
   real Vdsat, Vdsat2, Vgt;
   Vgt = Vgs - Vth;
   Vdsat2 = 0.08 + 0.115*pow((l*vsat*1e4),0.33)*Vgt;
   Vdsat = Vdsat2*0.5*(1+tanh(3*Vgt))+ Vgt*0.5*(1-tanh(3*Vgt));

   Vdsat = fit+(fit+`VDSAT2)*ln(1.0+ limexp(`VDSAT1*(-
1.0+(Vdsat+`VDSAT2)/(fit+`VDSAT2))))/(ln(1.0+limexp(`VDSAT1)));
   Vd = Vdsat*(1.0-(log(1.0+limexp(vdsat3*(1.0-
Vds/Vdsat))))/(log(1.0+limexp(vdsat3))));
end //Vdsat_val

begin : mob_val
   real aux;
   mu = u0;
   aux = tanh(4.0*(Vgs-Vfb));
   mu = mu/(1.0+(theta*max((Vgs-Vfb),0.0) + theta2*Vd)*aux);
end //mob_val
```

Em seguida são calculadas as densidades de carga de condução na fonte e no dreno, também de forma a ser visível somente o resultado da conta, minimizando a quantidade de variáveis ao longo do código:

```
begin : Qcs_val
   real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
   QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vs)));
   QC2 = (Vth+`QC6)/(2.0*n*fit);
   Vgs1=Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vs)/Vfb))))/ln(1.0+limexp(QC1)));
   Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)) );
   phisdep = Vgs1 - Vfb + Vs - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0) -
Ypot*(Vgs2-Vfb) );
   phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vs)*(Vgs-Vgs1-Vs)/(Ypot*fit)));
   phis = phisacc + phisdep;
   Qcs = (Vgs - Vfb - phis)*Cox + Qsi;
end //Qcs_val

begin : Qcd_val
   real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
   QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vd)));
   QC2 = (Vth+`QC6)/(2.0*n*fit);
   Vgs1=Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vd)/Vfb))))/ln(1.0+limexp(QC1)));
   Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)));
   phisdep = Vgs1 - Vfb + Vd - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0) -
Ypot*(Vgs2-Vfb));
   phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vd)*(Vgs-Vgs1-Vd)/(Ypot*fit)));
   phis = phisacc + phisdep;
   Qcd = (Vgs - Vfb - phis)*Cox + Qsi;
end //Qcd_val
```

Por, fim, se obtem a corrente de dreno, calculando também a modulação do comprimento de canal e a degradação da mobilidade devido ao campo elétrico horizontal:

```
begin : delta_L
   real aux, Vgt;
   Vgt = Vgs - Vth;
   if (Vgt < 0.0) begin
      aux = 0.0;
   end else begin
      aux = max((Vds-Vd),0.0);
   end
   d_l                                                                    =
clm1*sqrt(`PHY_EPSSI*aux/(`P_Q*Nd)*(1.0+tanh(clm2*aux)));
end//delta_L

//DC Current
beta = beta0*pow((T/300.0),betaexp);
mu = mu/(  pow((1.0+pow((mu*Vd/(vsat*(l-d_l))),beta)),(1.0/beta)));
Ids = mu/((l-d_l)*Cox)*(Qcs*Qcs-Qcd*Qcd)*0.5;
end //static_analysis
```

Seguindo o fluxograma tem-se a implementação das capacitâncias intrínsecas, para isto foi implementado o modelo dinâmico em um bloco de código próprio:

```
begin : Capacitance_val
   real Qcd_ns, dQcd_dVg, dQcd_dVs, dQcd_dVd, dQcd_dVb;
   real dQcs_dVg, dQcs_dVs, dQcs_dVd, dQcs_dVb;
   real dVbs2_dVb, dxdepl_dVb;
   real dphisB_dVb, dVth_dVb;
   real dQg_dVg, dQd_dVd;
   real aux1, aux2, aux3, aux4, aux5;
   dVbs2_dVb                          =          `SE2*limexp(`SE2*(-
1.0+(Vbs+`SE1)/(VFBs+`SE1)))/((1.0+limexp(`SE2*(-
1.0+(Vbs+`SE1)/(VFBs+`SE1))))*ln(1.0+limexp(`SE2)));
   aux1 = `PHY_EPSSI*tbox/`PHY_EPSOX;
   aux2 = `PHY_EPSSI/(`P_Q*Nd);
   dxdepl_dVb  =  aux2*(dVbs2_dVb  -  1.0)/sqrt(aux1*aux1+2.0*(Vbs2-
Vbs)*aux2);
   dphisB_dVb = xdepl*dxdepl_dVb/aux2;
   dVth_dVb          =     Cbox*(dphisB_dVb-1.0)     *     (1.0/Cox     +
2.0*Qsi/(`P_Q*Nd*`PHY_EPSSI*(Wef*Wef)));

   begin : del_Qcd
      real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
      real dVgs1_dVg, dVgs1_dVs, dVgs1_dVd, dVgs1_dVb, dVgs2_dVg,
dVgs2_dVs, dVgs2_dVd, dVgs2_dVb;
      real dphisdep_dVg, dphisdep_dVs, dphisdep_dVd, dphisdep_dVb,
dphisacc_dVg, dphisacc_dVs, dphisacc_dVd, dphisacc_dVb;
      QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vds)));
      QC2 = (Vth+`QC6)/(2.0*n*fit);
      QC2 = QC2 -0.5*QC2/(1+limexp(-3*(Vgs-Vth-Vds)));
      Vgs1      =      Vfb*(1.0-ln(1.0+      limexp(QC1*(1.0-      ((Vgs-
Vds)/Vfb))))/ln(1.0+limexp(QC1)));
      Vgs2          =          Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)));
      phisdep = Vgs1 - Vfb + Vds - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0) -
Ypot*(Vgs2-Vfb));
      phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vds)*(Vgs-Vgs1-Vds)/(Ypot*fit)));
      phis = phisacc + phisdep;
      Qcd_ns = (Vgs - Vfb - phis)*Cox + Qsi;
      dVgs1_dVg              =              QC1*limexp(QC1*(1.0-(Vgs-
Vds)/Vfb))/((1.0+limexp(QC1*(1.0-(Vgs-Vds)/Vfb)))*ln(1.0+limexp(QC1)));
```

```
        dVgs1_dVs = 0.0;
        dVgs1_dVd = -1.0*dVgs1_dVg;
        dVgs1_dVb = 0.0;
        dVgs2_dVg = QC2*dVgs1_dVg*limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))/(ln(1.0+limexp(QC2))*(1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))));
        dVgs2_dVs = 0.0;
        dVgs2_dVd = -1.0*dVgs2_dVg;
        dVgs2_dVb = dVth_dVb*ln(1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6))))/ln(1.0+limexp(QC2)) + dVth_dVb -
QC2*(Vgs1+`QC6)/(Vth+`QC6)*dVth_dVb*limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))/((1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6))))*ln(1.0+limexp(QC2)));
        aux1 = sqrt(Ypot/(Ypot - 4.0*(Vgs2-Vfb)));
        dphisdep_dVg = dVgs1_dVg - dVgs2_dVg * aux1 ;
        dphisdep_dVs = 0.0;
        dphisdep_dVd = 1.0-dphisdep_dVg;
        dphisdep_dVb = -dVgs2_dVb*aux1;
        aux1 = Vgs-Vgs1-Vds;
        aux2 = 2.0*aux1/(Ypot*(1.0 + aux1*aux1/(Ypot*fit)));
        dphisacc_dVg = (1.0-dVgs1_dVg)*aux2;
        dphisacc_dVs = 0.0;
        dphisacc_dVd = (-1.0-dVgs1_dVd)*aux2;
        dphisacc_dVb =0.0;
        dQcd_dVg = (1.0 - (dphisdep_dVg + dphisacc_dVg))*Cox;
        dQcd_dVs = -(dphisdep_dVs + dphisacc_dVs)*Cox;
        dQcd_dVd = -(dphisdep_dVd + dphisacc_dVd)*Cox;
        dQcd_dVb = -(dphisdep_dVb + dphisacc_dVb)*Cox + (1.0 -
dphisB_dVb)*Cbox;
      end //del_Qcd

      begin : del_Qcs
        real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
        real dVgs1_dVg, dVgs1_dVs, dVgs1_dVd, dVgs1_dVb, dVgs2_dVg,
dVgs2_dVs, dVgs2_dVd, dVgs2_dVb;
        real dphisdep_dVg, dphisdep_dVs, dphisdep_dVd, dphisdep_dVb,
dphisacc_dVg, dphisacc_dVs, dphisacc_dVd, dphisacc_dVb;
        QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vs)));
        QC2 = (Vth+`QC6)/(2.0*n*fit);
        QC2 = QC2 -0.5*QC2/(1+limexp(-3*(Vgs-Vth-Vs)));
        Vgs1 = Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vs)/Vfb))))/ln(1.0+limexp(QC1)));
        Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)));
        phisdep = Vgs1 - Vfb + Vs - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0) -
Ypot*(Vgs2-Vfb));
        phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vs)*(Vgs-Vgs1-Vs)/(Ypot*fit)));
        phis = phisacc + phisdep;
        Qcs = (Vgs - Vfb - phis)*Cox + Qsi;
        dVgs1_dVg = QC1*limexp(QC1*(1.0-(Vgs-
Vs)/Vfb))/((1.0+limexp(QC1*(1.0-(Vgs-Vs)/Vfb)))*ln(1.0+limexp(QC1)));
        dVgs1_dVs = -1.0*dVgs1_dVg;
        dVgs1_dVd = 0.0;
        dVgs1_dVb = 0.0;
        dVgs2_dVg = QC2*dVgs1_dVg*limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))/(ln(1.0+limexp(QC2))*(1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))));
        dVgs2_dVs = -1.0*dVgs2_dVg;
        dVgs2_dVd = 0.0;
```

```
        dVgs2_dVb = dVth_dVb*ln(1.0+limexp(QC2*(-1.0+(Vgs1+`QC6)/(Vth+`QC6))))/ln(1.0+limexp(QC2)) + dVth_dVb - QC2*(Vgs1+`QC6)/(Vth+`QC6)*dVth_dVb*limexp(QC2*(-1.0+(Vgs1+`QC6)/(Vth+`QC6)))/((1.0+limexp(QC2*(-1.0+(Vgs1+`QC6)/(Vth+`QC6))))*ln(1.0+limexp(QC2)));
        aux1 = sqrt(Ypot/(Ypot-4.0*(Vgs2-Vfb)));
        dphisdep_dVg = dVgs1_dVg - dVgs2_dVg*aux1;
        dphisdep_dVs = 1.0 - dphisdep_dVg;
        dphisdep_dVd = 0.0;
        dphisdep_dVb = - dVgs2_dVb*aux1;
        aux1 = Vgs-Vgs1-Vs;
        aux2 = 2.0*aux1/(Ypot*(1.0+aux1*aux1/(Ypot*fit)));
        dphisacc_dVg = (1.0-dVgs1_dVg)*aux2;
        dphisacc_dVs = (-1.0-dVgs1_dVs)*aux2;
        dphisacc_dVd = 0.0;
        dphisacc_dVb =0.0;
        dQcs_dVg = (1.0 - (dphisdep_dVg + dphisacc_dVg))*Cox;
        dQcs_dVs = -(dphisdep_dVs + dphisacc_dVs)*Cox;
        dQcs_dVd = -(dphisdep_dVd + dphisacc_dVd)*Cox;
        dQcs_dVb = -(dphisdep_dVb + dphisacc_dVb)*Cox + (1.0 - dphisB_dVb)*Cbox;
    end //del_Qcs

    aux5 = 1.0/(Qcs+Qcd_ns);
    //dQg_dVk
    aux1 = (Qcs*Qcs + Qcs*Qcd_ns + Qcd_ns*Qcd_ns)*aux5*aux5;
    aux2 = (2.0*Qcs+Qcd_ns)*aux5;
    aux3 = (Qcs+2.0*Qcd_ns)*aux5;
    aux4 = 2.0*(l-d_l)/3.0;
    dQg_dVg = aux4*(dQcs_dVg*aux2 + dQcd_dVg*aux3 - (dQcs_dVg+dQcd_dVg)*aux1);
    dQg_dVs = aux4*(dQcs_dVs*aux2 + dQcd_dVs*aux3 - (dQcs_dVs+dQcd_dVs)*aux1);
    dQg_dVd = aux4*(dQcs_dVd*aux2 + dQcd_dVd*aux3 - (dQcs_dVd+dQcd_dVd)*aux1);
    dQg_dVb = aux4*(dQcs_dVb*aux2 + dQcd_dVb*aux3 - (dQcs_dVb+dQcd_dVb)*aux1);
    dQg_dVb_aux = Cbox*l*(-1+dphisB_dVb);
    //dQd_dVk
    aux1 = Qcs*(Qcd_ns*Qcd_ns + Qcs*(Qcs+3*Qcd));
    aux2 = Qcd_ns*(8.0*Qcs*Qcs + Qcd_ns*(9.0*Qcs + 3.0*Qcd_ns));
    aux3 = -2.0*(l-d_l)*aux5*aux5*aux5/15.0;
    dQd_dVg = aux3*(2.0*dQcs_dVg*aux1+dQcd_dVg*aux2);
    dQd_dVs = aux3*(2.0*dQcs_dVs*aux1+dQcd_dVs*aux2);
    dQd_dVd = aux3*(2.0*dQcs_dVd*aux1+dQcd_dVd*aux2);
    dQd_dVb = aux3*(2.0*dQcs_dVb*aux1+dQcd_dVb*aux2);
    //dQs_dVk
    dQs_dVg = -dQg_dVg - dQd_dVg;
    dQs_dVd = -dQg_dVd - dQd_dVd;
    dQs_dVb = -dQg_dVb - dQd_dVb;

    end //Capacitance_val
```

Para finalizar o fluxograma, tem-se a consideração dos sinais (para compensar as considerações feitas no início), o cálculo da resistência série, a saída dos resultados para o simulador, terminando o código implementado:

```
    Cgs = - dQg_dVs;
    Cgd = - dQg_dVd;
```

```
        Cgb = - dQg_dVb - dQg_dVb_aux;
        Cdg = - dQd_dVg;
        Cds =   dQd_dVs;
        Cdb = - dQd_dVb;
        Csg = - dQs_dVg;
        Csd =   dQs_dVd;
        Csb = - dQs_dVb;

        if (interchange==0) begin
           I(di,si) <+ sign*Ids;
           I(g,si) <+ 0;
           I(b,si) <+ 0;
        end else begin
           I(di,si) <+ -sign*Ids;
           I(g,si) <+ 0;
           I(b,si) <+ 0;
        end
        V(d,di) <+ I(di,si)*rd;
        V(si,s) <+ I(di,si)*rs;
     end //analog begin
  endmodule
```

Para se utilizar o modelo, é necessário o ajuste de alguns parâmetros do transistor:

a) Tipo de transistor:

Ajustado pelo parâmetro “type”, podendo assumir os valores “NMOS” ou “PMOS", ajustando se é um nMOS ou um pMOS respectivamente, sendo o valor padrão NMOS

b) Dimensões do canal:

As dimensões do canal são ajustadas pelos parâmetros “h”, “w” e “l” sendo, respectivamente, a altura do transistor, a largura do transistor e o comprimento do canal, conforme figuras 5.B e 7 e são definidos em [m]. Os valores padrão para a altura, largura e comprimento são, respectivamente, 10nm, 50nm e 100nm.

c) Concentração de dopantes da camada de silício:

A concentração de dopantes da camada de silício é ajustada pelo parâmetro “ndop”, definido em [$m^{-3}$], sendo seu valor padrão $5*10^{24}m^{-3}$.

d) Concentração de dopantes do substrato:

A concentração de dopantes do substrato é ajustada pelo parâmetro “nsub”, definido em [$m^{-3}$], sendo seu valor padrão $10^{21}m^{-3}$.

e) Espessura dos óxidos:

As espessuras do óxido de porta e oxido enterrado são ajustadas, respectivamente, pelos parâmetros “tox” e “tbox” conforme figura 5.B e definidos em [m]. Os valores padrão de tox e tbox são, respectivamente, 2nm e 100nm.

f) Fator de correção da capacitância dos cantos:

O fator de correção da capacitância dos cantos é definido pelo parâmetro “cox_crnr”. O seu valor padrão é de 2,3059.

g) Ajuste do material de porta:

O material de porta padrão é silício policristalino tipo $P^+$ para um nMOS e $N^+$ para um pMOS. Para a utilização de outro material de porta é necessário calcular a diferença da função trabalho entre o material padrão e o desejado em [eV], dado pelo parâmetro “d_fims”. O valor padrão desse parâmetro é 0eV.

h) Densidade de cargas no oxido:

A densidade equivalente de cargas fixas no oxido é ajustada pelo parâmetro “qox”, definida em [C/m$^2$]. Seu valor padrão é 0 C/m$^2$, considerando um oxido de porta sem cargas.

Da mesma forma que o oxido de porta, a densidade equivalente de cargas fixas no oxido enterrado é ajustada pelo parâmetro “qbox”, definida em [C/m$^2$]. Seu valor padrão é 0 C/m$^2$, considerando um oxido enterrado sem cargas.

i) Transição entre os modos de condução:

Os parâmetros $QC_4$ e $QC_5$, que ajustam a suavização da carga de depleção, são definidos, respectivamente, pelos parâmetros “qc4” e “qc5”, sendo parâmetros adimensionais. Os valores padrão de qc4 e qc5 são, respectivamente, 10,156 e 8,875

j) Velocidade de saturação:

A velocidade de saturação ($v_{Sat}$) é definida pelo parâmetro “vsat”, que é dada em [m/s]. O valor padrão deste parâmetro é 1,07*10$^5$ m/s para o nMOS e 8,37*10$^4$ m/s para o pMOS.

k) Mobilidade de baixo campo:

A mobilidade de baixo campo ($\mu_0$) é definida pelo parâmetro “u0”, que é dada em [m$^2$/(V*s)]. O valor padrão deste parâmetro é 0,01 m$^2$/(V*s) para o nMOS e 0,004 m$^2$/(V*s) para o pMOS.

l) Fator de corpo:

O fator de corpo (n) é definido pelo parâmetro “n”, sendo um parâmetro adimensional. O valor padrão desse parâmetro é de 1 para o nMOS e 1,04 para o pMOS.

m) Tensão de saturação de dreno:

O parâmetro de ajuste da transição de $V_{DS_{Sat}}$ ($V_{D_{Sat3}}$) é definido pelo parâmetro “vdsat3”, sendo um parâmetro adimensional. O valor padrão desse parâmetro é de 2.

n) Degradação da mobilidade pelo campo vertical:

O coeficiente de degradação da mobilidade ($\theta$) é definido pelo parâmetro “theta”, sendo um parâmetro adimensional. O valor padrão desse parâmetro é de 0.

O coeficiente da degradação da mobilidade pela tensão de porta ($\theta_2$) é defino pelo parâmetro “theta2”, sendo um parâmetro adimensional. O valor padrão desse parâmetro é de 0.

o) Degradação da mobilidade pelo campo horizontal:

O coeficiente de degradação da mobilidade por campo elétrico horizontal ($\beta_0$) é definido pelo parâmetro “beta0”, sendo um parâmetro adimensional. O valor padrão desse parâmetro é de 1,109 para o nMOS e 1,213 para o pMOS.

A dependência com a temperatura da degradação da mobilidade por campo elétrico horizontal ($\beta_{exp}$) é definido pelo parâmetro “betaexp”, sendo um parâmetro adimensional. O valor padrão desse parâmetro é 0,66 para o nMOS e 0,17 para o pMOS.

p) Modulação do comprimento de canal

A intensidade do efeito da modulação de comprimento de canal ($clm_1$) é definida pelo parâmetro “clm1”, sendo um parâmetro adimensional. O valor padrão desse parâmetro é 1.

O parâmetro de ajuste de suavidade da modulação de comprimento de canal ($clm_2$) é definido pelo parâmetro “clm2”, sendo ele adimensional. O valor padrão desse parâmetro é 10.

q) Resistencia série:

O valor da resistência série é dividida em dois parâmetros referente a resistência de dreno e de fonte e são definidas pelos parâmetros “rd” e “rs”, definidos em [Ω]. O valor padrão de rd é 0Ω enquanto o valor padrão de rs é o mesmo de rd.

Para se obter a corrente dos transistores pMOS, foi feito o cálculo da corrente da mesma forma que para o nMOS, considerando a inversão dos sinais das tensões no início do cálculo e a inversão do sinal da corrente ao final.

O código implementado está no apêndice A, e no apêndice B se encontram exemplos de arquivos de entrada utilizados no simulador ELDO durante os testes do modelo. O uso deste modelo é feito no arquivo de entrada do simulador, mantendo na

mesma pasta o código implementado e indicando o uso dele por meio da linha de código ".verilog jnt;va". Para adicionar um dispositivo deste modelo é necessário utilizar os comandos ".model jnt macro LANG=veriloga" e "Yxx jnt d g s b" onde "xx" é um nome único para este transistor neste circuito, geralmente numérico e "d", "g", "s" e "b" são, respectivamente, os terminais de dreno, porta, fonte e substrato.

Para modificar os parâmetros de entrada, é necessário declara-los no fim dos comandos ".model" ou "Yxx", com o nome do parâmetro seguido de seu novo valor, como "Y1 jnt 1 2 3 4 l=1u". Caso um mesmo parâmetro seja alterado em ".model" e em "Yxx", ele assumirá o valor declarado em Yxx, utilizando o valor declarado em ".model" caso haja outros transistores com o mesmo modelo. No segundo exemplo do apêndice B é mostrado o uso desta característica.

A tabela 1 mostra todos os parâmetros de entrada, unidades, valor padrão, mínimo e máximo permitido e uma breve descrição. Também foram considerados a variação dos parâmetros por conta da mudança do tipo de portador no valor padrão dos parâmetros.

Tabela 1 – Lista de parâmetros de entrada do modelo

| Parâmetro | Unidade | Valor Padrão | Mínimo | Máximo | Descrição |
|---|---|---|---|---|---|
| type | - | 1 | -1 | 1 | nMOS = 1, pMOS = -1 |
| h | m | 10n | 1n | - | Altura do transistor |
| w | m | 50n | 1n | - | Largura do transistor |
| l | m | 100n | 1n | - | Comprimento de canal do transistor |
| ndop | $m^{-3}$ | 5e24 | 1e16 | 1e30 | Concentração de dopantes da camada de silício |
| nsub | $m^{-3}$ | 1e21 | 1e16 | 1e30 | Concentração de dopantes do substrato |
| tox | m | 2n | 1n | - | Espessura do oxido de porta |
| tbox | m | 100n | 1n | - | Espessura do oxido enterrado |
| cox_crnr | - | 2,30 | 0 | - | Fator de correção da capacitância dos cantos |

| Parâmetro | Unidade | Valor Padrão | Mínimo | Máximo | Descrição |
|---|---|---|---|---|---|
| d_fims | eV | 0 | - | - | Ajuste do material de porta |
| qox | $C/m^2$ | 0 | 0 | - | Densidade de cargas fixas no oxido de porta |
| qbox | $C/m^2$ | 0 | 0 | - | Densidade de cargas fixas no oxido enterrado |
| u0 | $m^2/(V*s)$ | 0,01 (nMOS)<br>0,004 (pMOS) | 0 | 0,15 | Mobilidade de baixo campo |
| vsat | m/s | 1,07e5(nMOS)<br>8,37e4(pMOS) | 1e-9 | - | Velocidade de saturação dos portadores |
| n | - | 1(nMOS)<br>1,04(pMOS) | 1,0 | 2,0 | Fator de corpo |
| qc4 | - | 10,156 | 0 | 18,0 $(QC_3)$ | Parâmetro de ajuste da transição entre os modos de condução |
| qc5 | - | 8,875 | 0 | 100 | Parâmetro de ajuste da transição entre os modos de condução |
| vdsat3 | - | 2 | 0 | 30 | Parâmetro de ajuste da transição de $V_{DS_{Sat}}$ |
| theta | - | 0 | 0 | 5 | Coeficiente de degradação da mobilidade pelo campo elétrico vertical |
| theta2 | - | 0 | 0 | 5 | Coeficiente de degradação da mobilidade por tensão de dreno |
| beta0 | - | 1,109(nMOS)<br>1,213(pMOS) | 1 | 10 | Coeficiente de degradação da mobilidade por campo elétrico horizontal |
| betaexp | - | 0,66(nMOS<br>0,17(pMOS) | 0 | 1 | Dependência com a temperatura da degradação da mobilidade por |

| Parâmetro | Unidade | Valor Padrão | Mínimo | Máximo | Descrição |
|---|---|---|---|---|---|
| | | | | | campo elétrico horizontal |
| clm1 | - | 1 | 0 | 1 | Intensidade do efeito da modulação de comprimento de canal |
| clm2 | - | 10 | 0 | 100 | Parâmetro de ajuste de suavidade da modulação de comprimento de canal |
| rd | Ω | 0 | 0 | - | Resistencia de dreno |
| rs | Ω | rd | 0 | - | Resistencia de fonte |

Fonte: Autor

# 4 VALIDAÇÃO DA IMPLEMENTAÇÃO EM VERILOG-A

A validação do modelo implementado em linguagem VERILOG-A foi feita em duas etapas. A primeira delas foi a validação do código em relação à literatura, comparando a implementação feita com dados obtidos a partir das equações do modelo. Em uma segunda etapa foi feita a validação da física do modelo, comparando a implementação feita com resultados de simulações numéricas tridimensionais. Todos os resultados obtidos do modelo implementado em linguagem VERILOG-A são oriundos de simulações executadas no simulador de circuitos ELDO, da Mentor Graphics.

## 4.1 VALIDAÇÃO DO CÓDIGO IMPLEMENTADO EM LINGUAGEM VERILOG-A

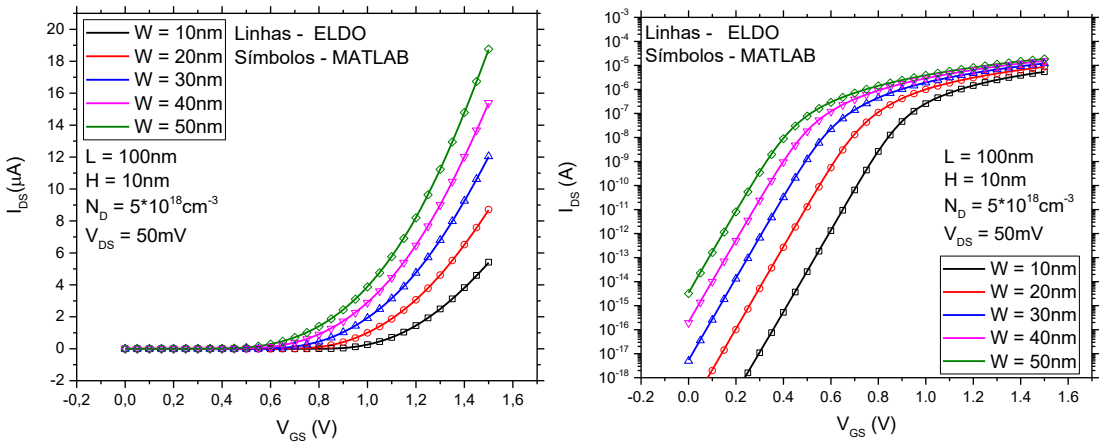
Para a validação do código, foi utilizada a implementação em MATLAB fornecida por Trevisoli (61), testada e validada previamente pelo autor para fins de comparação. Foram utilizados os mesmos valores dos parâmetros e constantes no MATLAB e no modelo implementado.

O valor de $V_{Th}$ utilizado nas simulações é o calculado pelo modelo, não sendo extraído para a obtenção dos gráficos de $I_{DS}\ x\ V_{DS}$.

Para comparação das curvas, foi utilizado o coeficiente de correlação de Pearson ($r$), sendo $-1 < r < 1$. Para $r = 1$ há uma relação linear positiva, para $r = -1$ há uma relação linear inversa e para $r = 0$ não há uma relação linear entre as duas curvas. Quanto mais próximo $r = |1|$, maior o nível de correlação entre as curvas.

Na figura 13 está a curva $I_{DS}\ x\ V_{GS}$ para transistores de 100nm e $V_{DS} = 50mV$. Os transistores têm $N_D = 5 * 10^{18} cm^{-3}$, $\theta = 0$ e $Cox_crnr = 2{,}5$, deixando os outros parâmetros nos valores padrão, conforme a tabela 1. Nela pode-se ver o escalonamento da corrente com o aumento da largura do transistor. Também pode-se ver a redução de $V_{Th}$ com o aumento de $W_{ef}$. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

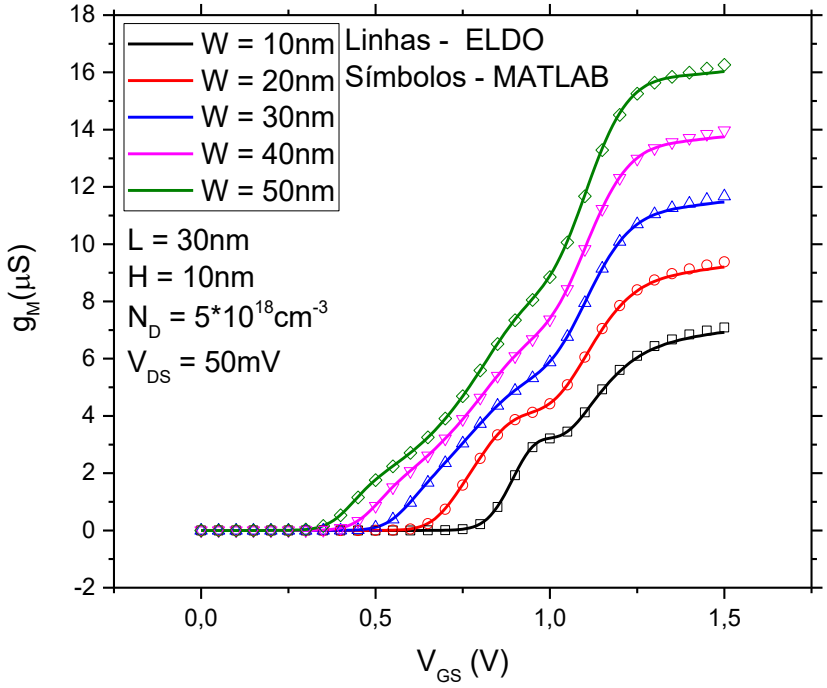
Figura 13 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando a largura do canal




Fonte: Autor

Foi feita a curva de $g_M$ $x$ $V_{GS}$, mostrada na figura 14, para as mesmas condições. Nota-se o aumento de $g_{M_{max}}$ com o aumento da largura do canal, conforme o esperado, uma vez que a área de condução aumento e houve aumento da corrente de dreno. Mesmo sendo uma derivada, as duas implementações se comportaram de maneira similar. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

Figura 14 – Curva $g_M$ x $V_{GS}$ variando a largura do canal

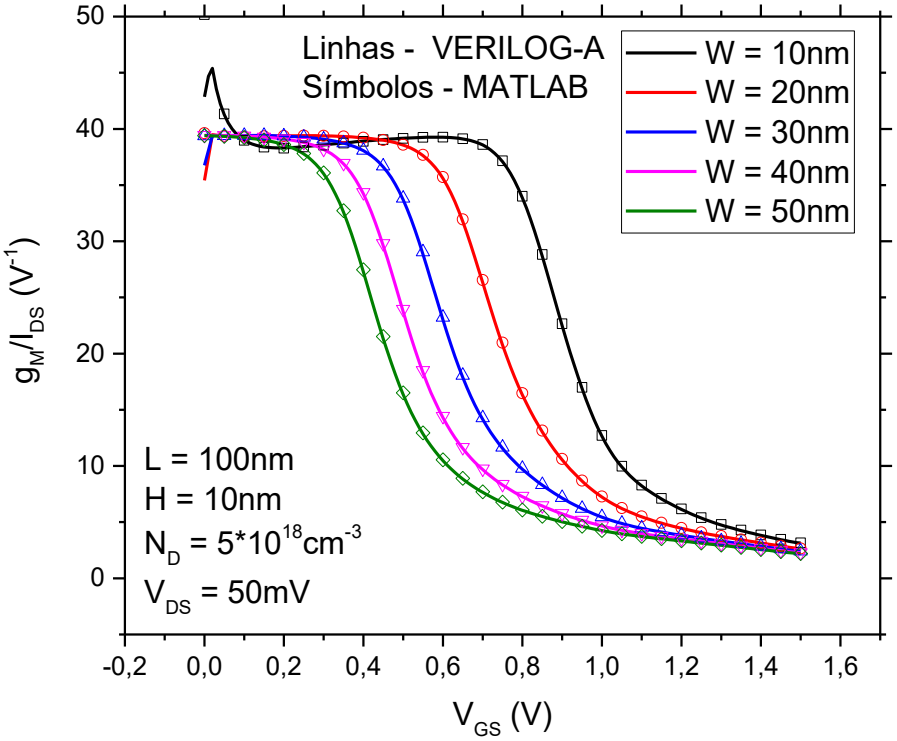



Fonte: Autor

Na curva de $g_M/I_{DS}$ $x$ $V_{GS}$, mostrada na figura 15, nota-se uma divergência entre a os dois modelos para $V_{GS}$ igual 0V, isto se deve ao modo com que o simulador SPICE

trabalha, obtendo um resultado pouco satisfatório neste ponto. Deslocando este ponto do zero, ambos os modelos voltam a se comportar da mesma forma, de forma similar aos resultados mostrados anteriormente. Para estas curvas, obteve-se $r = 0{,}9992$, mostrando ótima correlação.

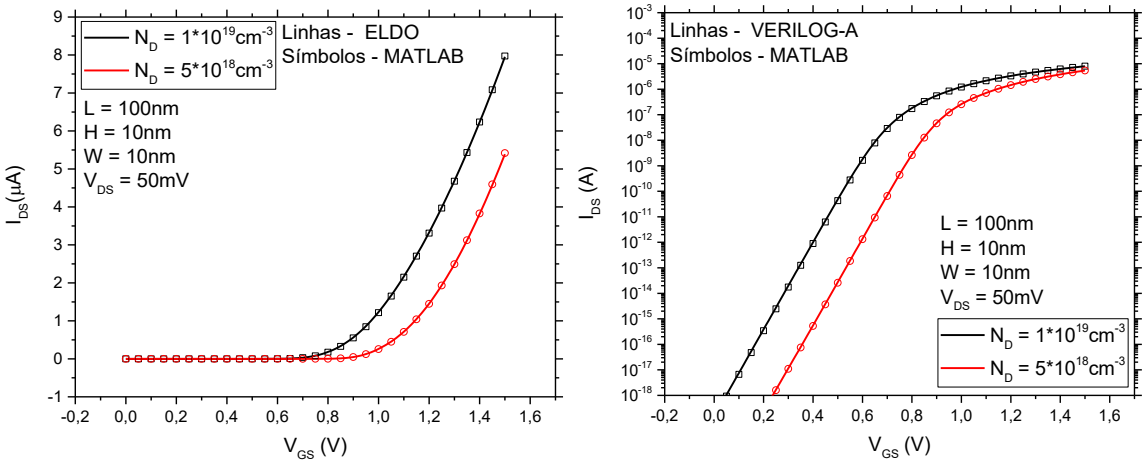
Figura 15 – Curva $g_M/I_{DS}$ x $V_{GS}$ variando a largura do canal




Fonte: Autor

Da mesma forma foram feitas as curvas variando a concentração de dopantes, mostrada na figura 16, os transistores têm $W = 10nm$, $\theta = 0$ e $Cox_crnr = 2{,}5$, deixando os outros paramentos nos valores padrão. Nestas curvas se observa a redução de $V_{Th}$ conforme se aumenta a concentração de dopantes. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

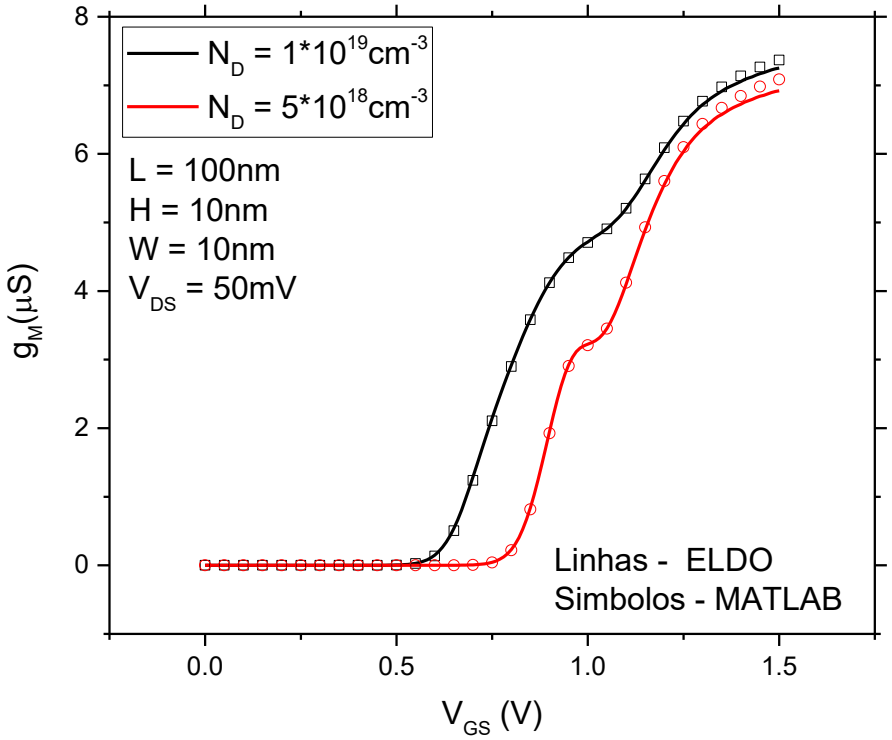
Figura 16 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando concentração de dopantes




Fonte: Autor

Foi feita a curva de $g_M$ $x$ $V_{GS}$, mostrada na figura 17, para as mesmas condições. Nota-se um valor de $g_{M_{max}}$ próximo, como a estrutura do transistor é a mesma, alterando-se somente a concentração de dopantes, o controle da porta é similar. Para estas curvas, obteve-se $r = 1$.

Figura 17 – Curvas $g_M$ x $V_{GS}$ variando a concentração de dopantes

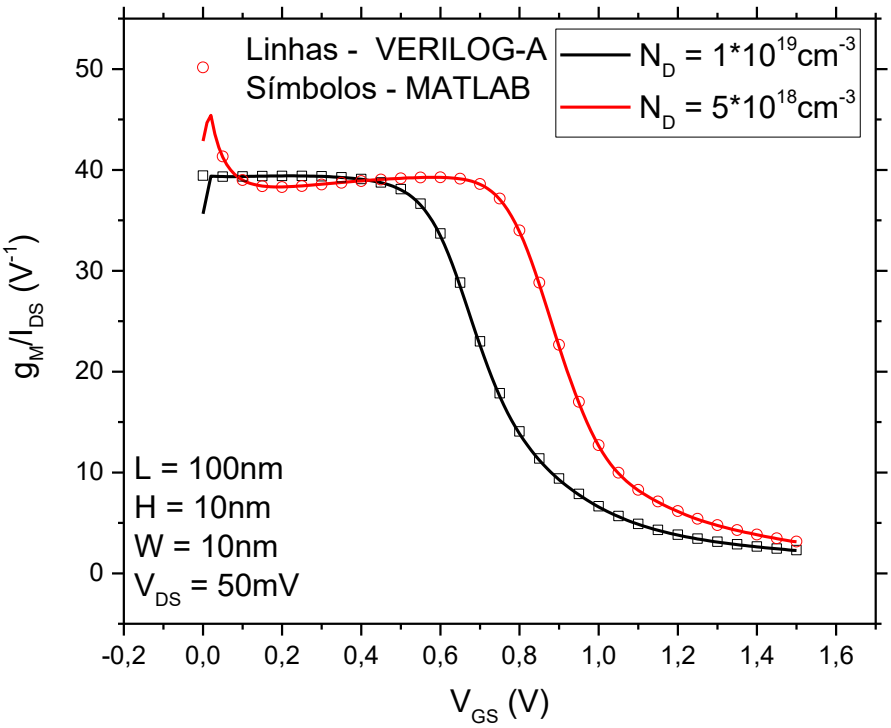



Fonte: Autor

Na curva de $g_M/I_{DS}$ $x$ $V_{GS}$, mostrada na figura 18, é possível verificar que, mesmo variando a concentração de dopantes, o ponto de $V_{GS}$ = 0V continua deslocado,

causando o mesmo comportamento notado na figura 15. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

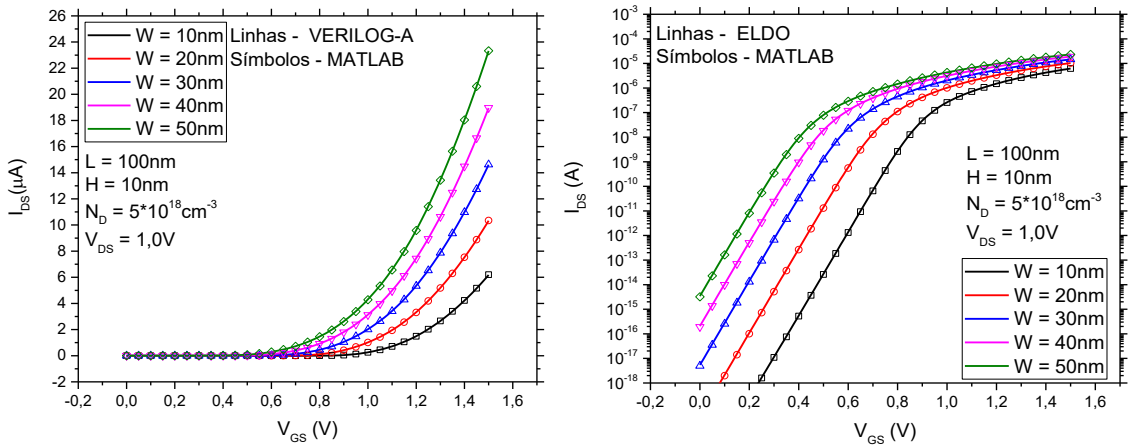
Figura 18 – Curvas $g_M/I_{DS}$ x $V_{GS}$ variando a largura do canal




Fonte: Autor

Na figura 19 está a curva $I_{DS}\ x\ V_{GS}$ para transistores de 100nm e $V_{DS} = 1{,}0V$. Os transistores têm $N_D = 5 * 10^{18} cm^{-3}$, $\theta = 0$ e $Cox_crnr = 2{,}5$, deixando os outros paramentos nos valores padrão, da mesma forma que as simulações anteriores. Nestes gráficos se pode se observar que para este valor de $V_{DS}$ ambos os modelos têm o mesmo comportamento. Observa-se o aumento da corrente com o aumento de $V_{DS}$, comparando com a figura 13, mostrando a sua dependência. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

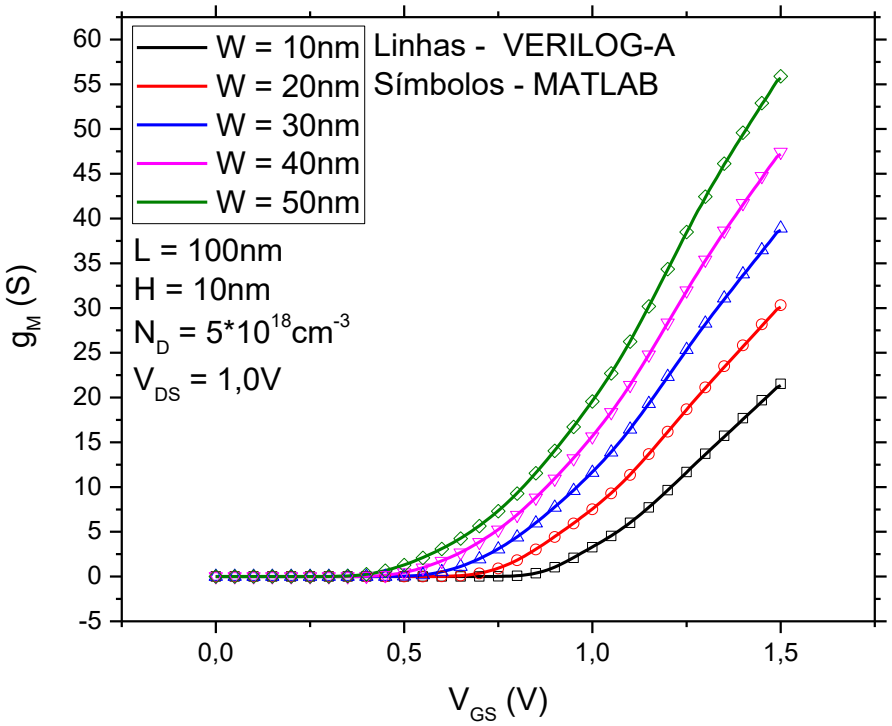
Figura 19 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando a largura do canal




Fonte: Autor

Foi feita a curva de $g_M$ $x$ $V_{GS}$, mostrada na figura 20, para as mesmas condições. Nesta simulação não é possível ver o valor de $g_{m_{max}}$, que seria obtido para um valor de $V_{GS}$ maior do que o limite da simulação, mesmo assim já é possível se notar valores de $g_M$ maiores do que os obtidos com $V_{DS} = 50mV$. Isto também demonstra que ocorre o deslocamento do pico de $g_M$ com o aumento de $V_{DS}$. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

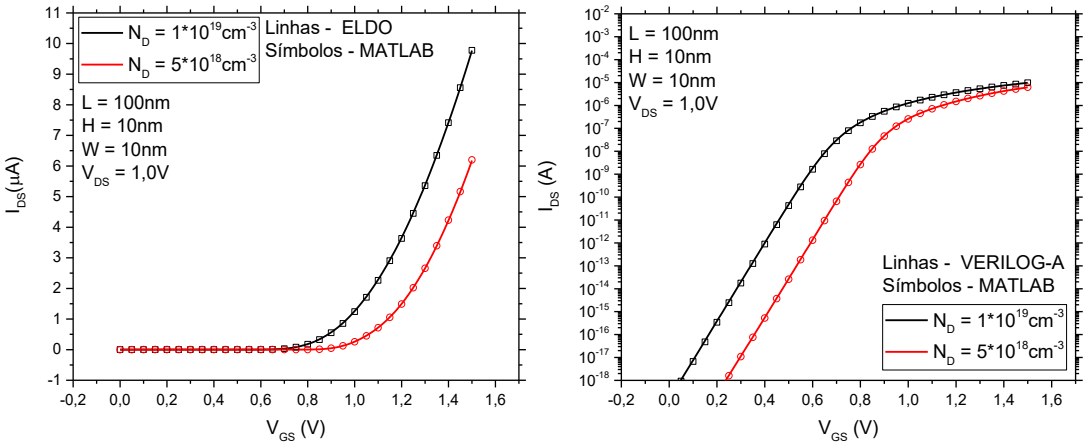
Figura 20 – Curva $g_M$ x $V_{GS}$ variando a largura do canal




Fonte: Autor

Da mesma forma foi feita as curvas variando a concentração de dopantes, mostrada na figura 19, os transistores têm $W = 10nm$, $\theta = 0$ e $Cox_crnr = 2{,}5$, deixando os outros paramentos nos valores padrão. Nas curvas da figura 21 também é possível se notar o aumento da corrente por conta do aumento de $V_{DS}$ em comparação com a figura 16. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

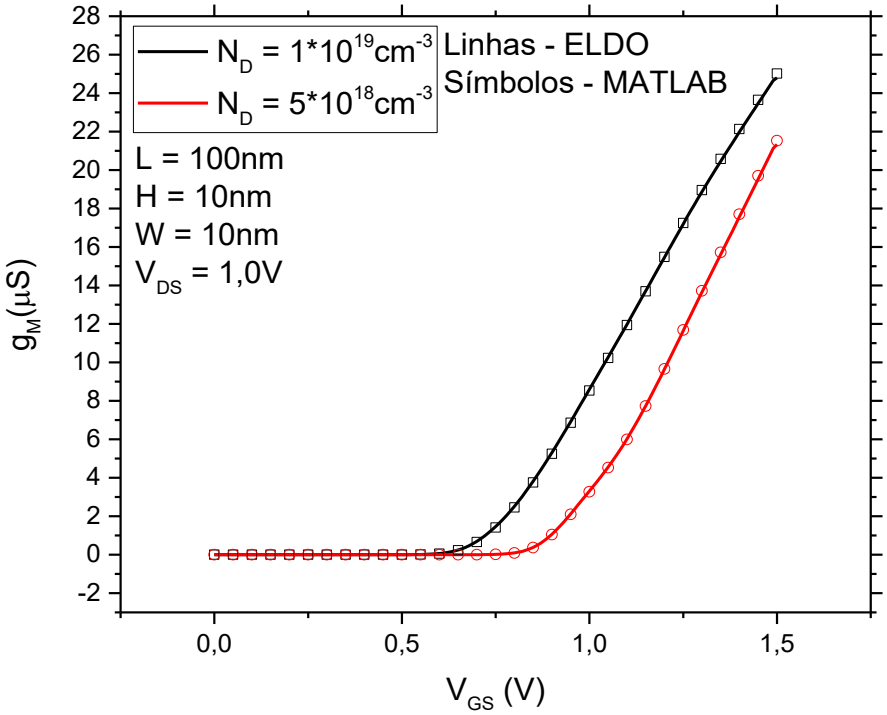
Figura 21 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando concentração de dopantes




Fonte: Autor

Foi feita a curva de $g_M \; x \; V_{GS}$, mostrada na figura 22, para as mesmas condições. De forma similar a observada na figura 20, não é possível ver o valor de $g_{m_{max}}$ na simulação, que seria obtido para um valor de $V_{GS}$ maior do que o limite adotado, porém consegue-se ver a mesma tendência da obtida com a variação da largura do canal. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

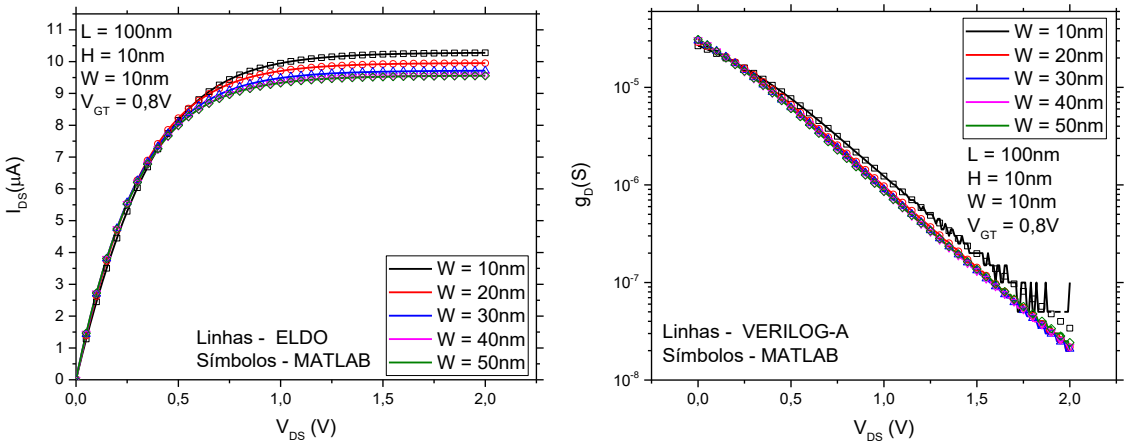
Figura 22 – Curva $g_M$ x $V_{GS}$ variando a concentração de dopantes




Fonte: Autor

Das curvas mostradas na figura 23,observa-se em $I_{DS}\ x\ V_{DS}$ que a tensão de saturação de dreno está limitando a corrente de dreno de forma similar. É possível notar que não há inclinação após a saturação da corrente, isto deve-se ao fato de não ter sido incluso o efeito da modulação do comprimento de canal em ambas as implementações. Na curva da condutância de dreno ($g_D$) é possível ver o valor decrescente, se aproximando a zero rapidamente após a saturação. Também é possível notar o limite da precisão do SPICE (que foi ampliado em relação ao padrão, segundo o código apresentado no Apêndice D) no $g_D$, que gera uma descontinuidade para altos valores de $V_{DS}$ notada principalmente no transistor de 10nm de largura. Obteve-se $r = 1$ nas correntes de dreno e, mesmo com a descontinuidade na curva da condutância de dreno para W=10nm, o valor do fator de correlação permaneceu em 1. Isto se deve ao fato da precisão da corrente fornecida pelo ELDO ser de apenas 5 algarismos significativos contra 15 do MATLAB em uma região onde a variação da corrente é mínima para estes transistores pela ausência do efeito de modulação do comprimento de canal.

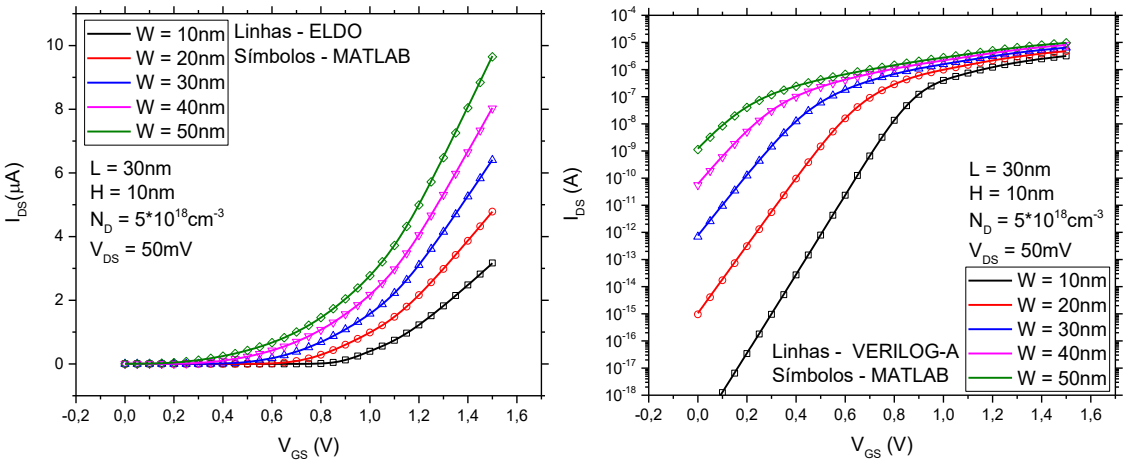
Figura 23 – Curva $I_{DS}$ x $V_{DS}$ e $g_D$ x $V_{DS}$ variando a largura do canal




Fonte: Autor

Na figura 24 está a curva $I_{DS}\ x\ V_{GS}$ para transistores de 30nm. Os transistores têm $N_D = 5 * 10^{18} cm^{-3}$, $\theta = 0$ e $Cox_crnr = 2{,}5$, deixando os outros paramentos nos valores padrão, conforme a tabela 1. Pode se notar as mesmas tendências mostradas para transistores com $L = 100nm$, porém com uma corrente maior devido à redução do comprimento de canal. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

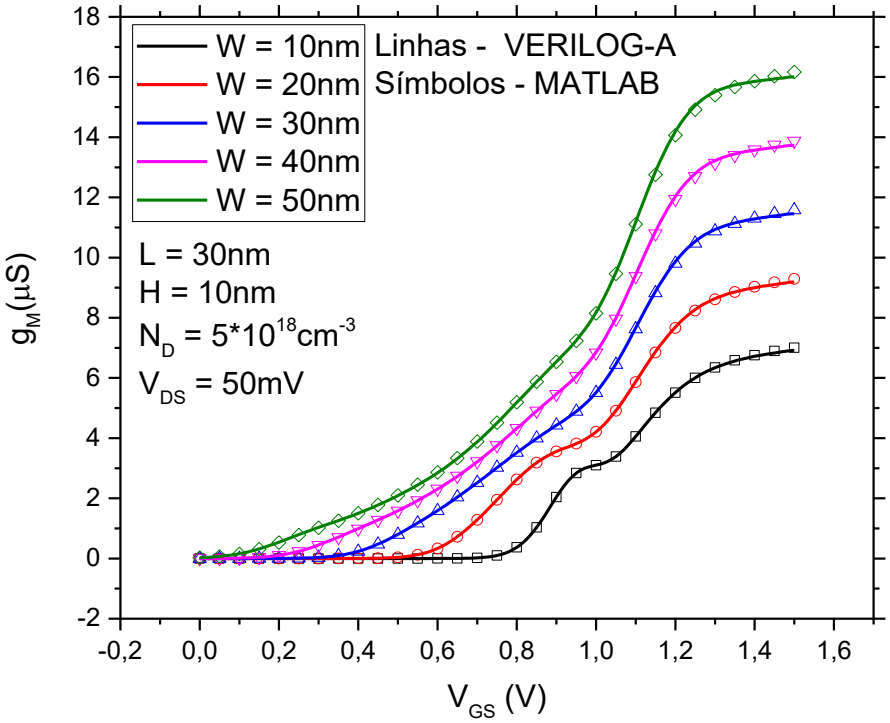
Figura 24 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando a largura do canal




Fonte: Autor

Foi feita a curva de $g_M\ x\ V_{GS}$, mostrada na Figura 25, para as mesmas condições. Observa-se comportamento semelhante aos transistores de 100nm (figura 14), porém com o aumento dos valores, devido ao aumento da corrente de dreno. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

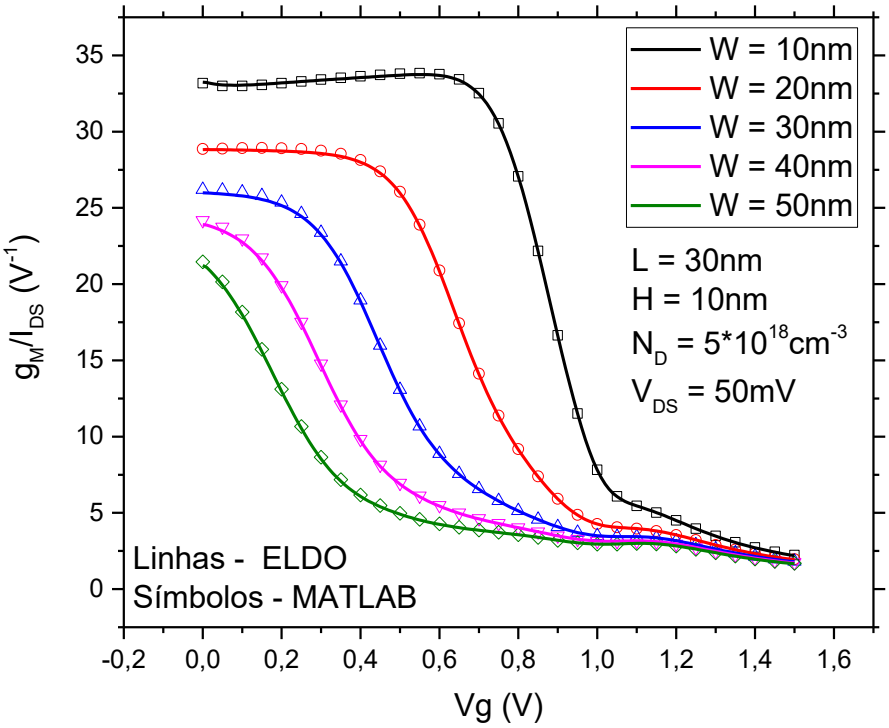
Figura 25 – Curva $g_M$ x $V_{GS}$ variando a largura do canal




Fonte: Autor

Na curva de $^{g_M}/_{I_{DS}}$ $x$ $V_{GS}$, mostrada na figura 26, $^{g_M}/_{I_{DS}}$ $x$ $V_{GS}$, observa-se que não houve o mesmo problema das outras curvas. Para obter este resultado sem o erro em $V_{GS} = 0V$, foram somados 100nV em todos os pontos de $V_{GS}$ para as curvas obtidas no ELDO. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

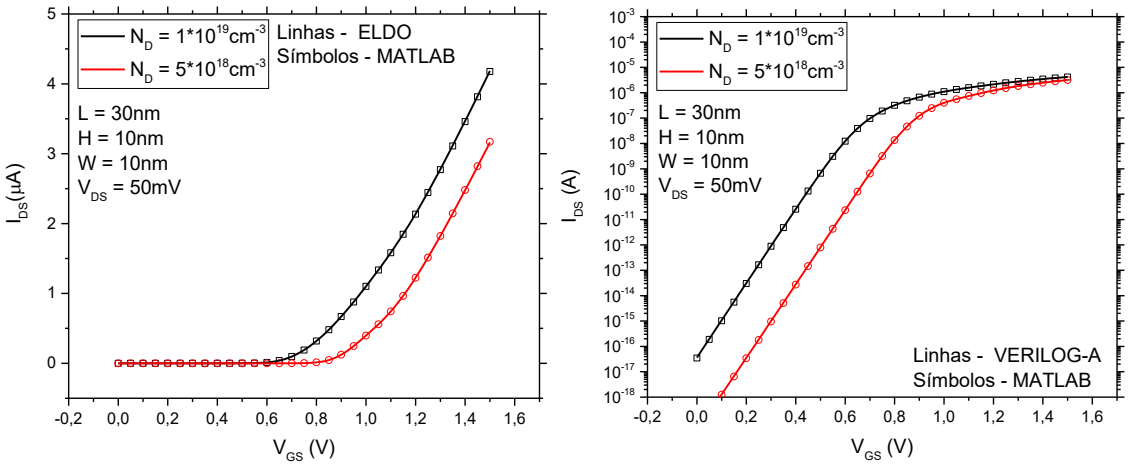
Figura 26 – Curva $g_M/I_{DS}$ x $V_{GS}$ variando a largura do canal




Fonte: Autor

Da mesma forma foi feita as curvas variando a concentração de dopantes, mostrada na figura 27, os transistores tem $W = 10nm$, $\theta = 0$ e $Cox_crnr = 2{,}5$, deixando os outros paramentos nos valores padrão. Observa-se comportamento semelhante ao da figura 16, porém com o aumento do nível de corrente, devido a redução do comprimento de canal. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

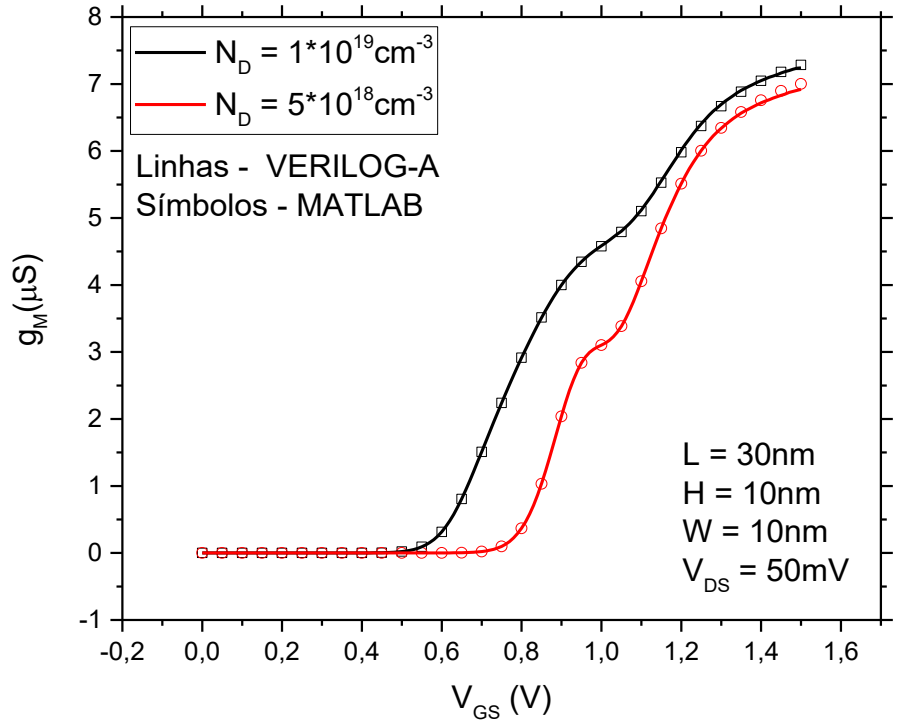
Figura 27 – Curvas $I_{DS}$ x $V_{GS}$ e log($I_{DS}$) x $V_{GS}$ variando concentração de dopantes




Fonte: Autor

Foi feita a curva de $g_M \; x \; V_{GS}$, mostrada na figura 28, para as mesmas condições. Observa-se comportamento semelhante ao obtido com os transistores de 100nm, com o aumento de $g_{M_{max}}$, por conta do aumento da corrente de dreno. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

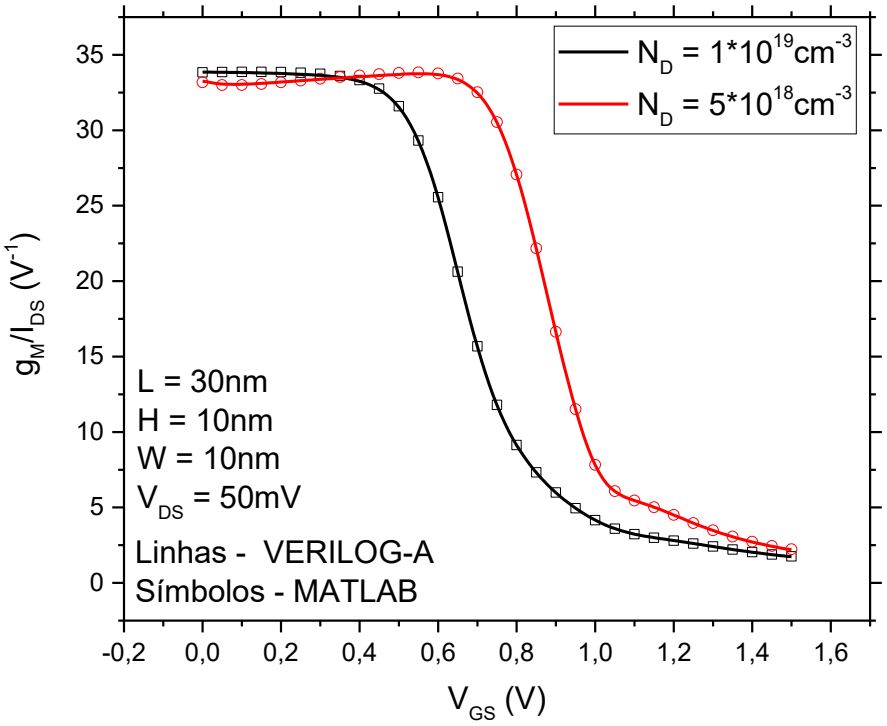
Figura 28 – Curva $g_M$ x $V_{GS}$ variando a concentração de dopantes




Fonte: Autor

Na curva de $^{g_M}/_{I_{DS}} \; x \; V_{GS}$ extraída nas mesmas condições, mostrada na figura 29, também mostrou-se concordância entre ambos os modelos. Notou-se comportamento similar aos das outras curvas $^{g_M}/_{I_{DS}} \; x \; V_{GS}$, necessitando da mesma correção utilizada na figura 26 e pela análise do $V_{Th}$ extraído destas curvas nota-se um resultado esperado. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

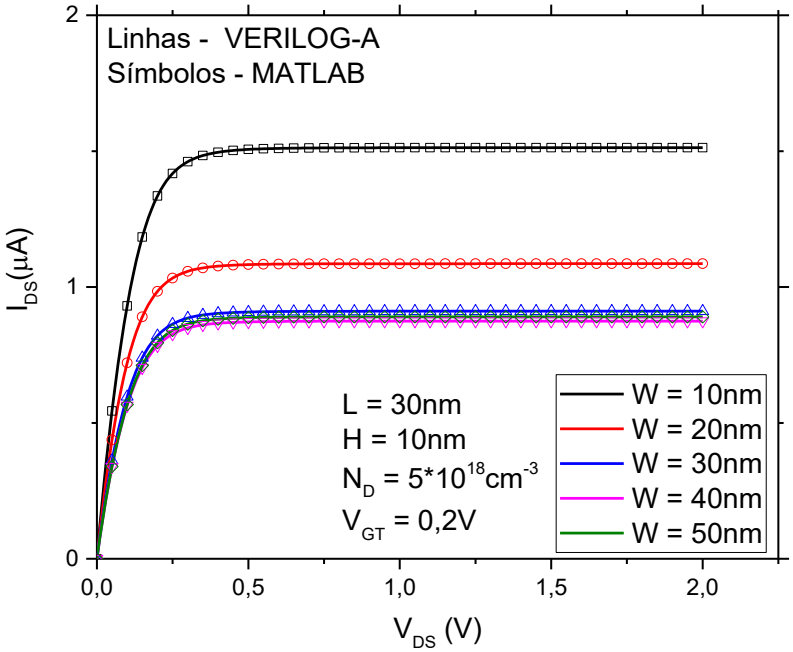
Figura 29 – Curva $g_M/I_{DS}$ x $V_{GS}$ variando a concentração de dopantes




Fonte: Autor

Nas curvas de $I_{DS}\ x\ V_{DS}$ da figura 30, assim como se pode notar na figura 23, não se tem inclinação após a saturação pelo fato de não estar incluso a modulação do comprimento de canal. Quanto a implementação nota-se que ambas estão em concordância. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

Figura 30 – Curva $I_{DS}$ x $V_{DS}$ variando a largura do canal




Fonte: Autor

## 4.2 COMPARAÇÃO COM SIMULAÇÕES TRIDIMENSIONAIS

Para a validação do modelo implementado, foram feitas simulações numéricas tridimensionais através do software Sentaurus da Synopsys. Com isto, é certa as dimensões, a dopagem do transistor e a temperatura simuladas, podendo validar se o modelo implementado se comporta de forma similar para as mesmas condições. Para verificar se o modelo implementado se comporta conforme o esperado, foi avaliada as curvas de corrente e sua derivada, permitindo verificar, além de se são comparáveis, se variam de forma similar. Para esta comparação foi utilizado o coeficiente de correlação de Pearson.

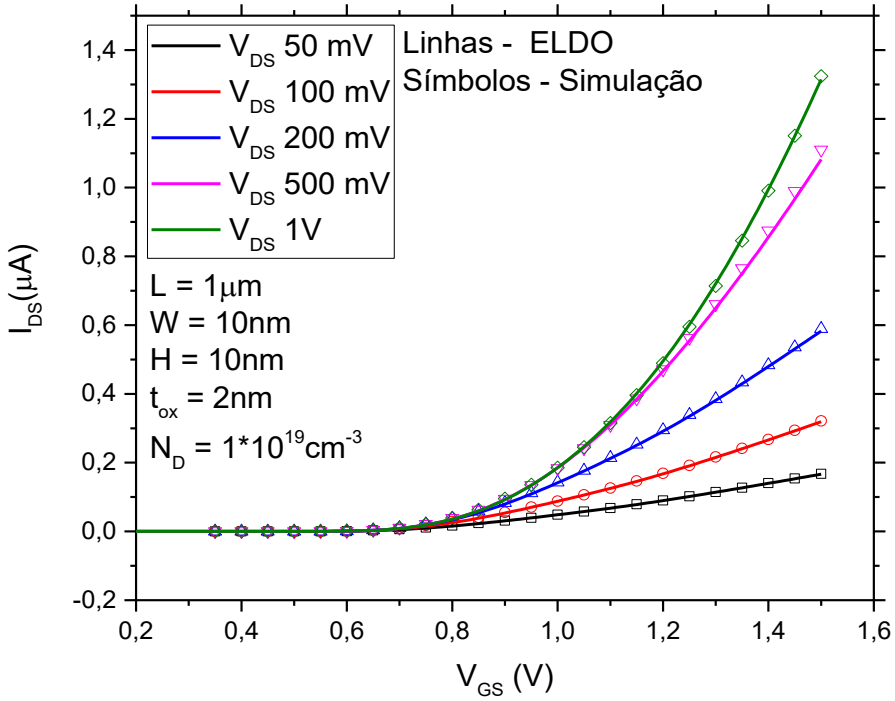
Para isto, foi feita a validação em transistores nMOS e pMOS. A validação do nMOS tem por fim verificar a correta implementação do modelo e as alterações necessárias em relação ao proposto por Trevisoli *et al.*, confirmando que a implementação continua válida. A validação dos transistores pMOS foi feita para validar o modelo para estes transistores assim como o modo que foi implementado.

### 4.2.1 JNTs nMOS

Nesta subseção é validada a física da implementação do modelo para os JNTs nMOS, a fim de verificar o correto emprego do modelo e sua ordem de aplicação. Aqui também serão apresentadas as alterações em relação ao modelo proposto por Trevisoli *et al.* para o correto funcionamento do modelo. Para a validação do modelo, foram utilizadas as mesmas dimensões, dopagem e temperatura utilizados para a simulação, comparando várias condições de polarização calibrando o modelo, por meio dos parâmetros descritos na seção 3, para cada transistor.

Na figura 31 são mostradas as curvas $I_{DS}\ x\ V_{GS}$ para transistores nMOS de canal longo, de 1μm de comprimento, e minimizando o comprimento das regiões de fonte e dreno, com 1nm cada região, para reduzir os efeitos da resistência serie. É possível observar uma boa concordância para $V_{DS}$ de até 200mV, com apenas uma pequena redução para valores acima disto. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

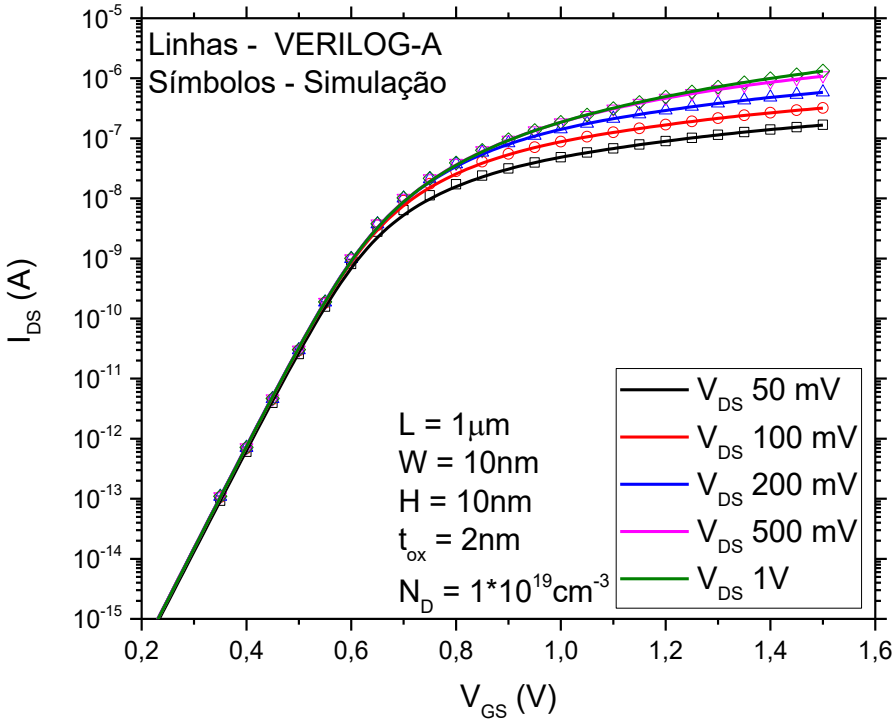
Figura 31 – Curvas $I_{DS}$ x $V_{GS}$ variando $V_{DS}$




Fonte: Autor

Na figura 32 é mostrada curvas $\log I_{DS}\ x\ V_{GS}$ para o mesmo transistor. É possível observar que o sublimiar apresenta uma inclinação similar a simulação para todos os valores de $V_{DS}$ simulados.

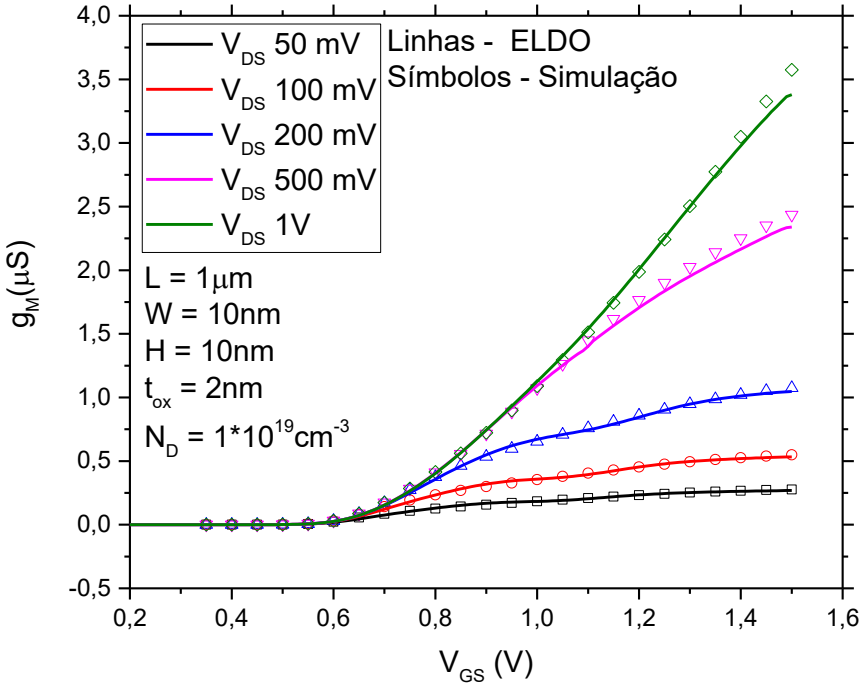
Figura 32 – Curvas log($I_{DS}$) x $V_{GS}$ variando $V_{DS}$




Fonte: Autor

Na figura 33 é mostrada as curvas $g_M \; x \; V_{GS}$ para o mesmo transistor. É possível observar que as curvas apresentam uma mesma tendência, aqui evidenciando a redução observada na figura 31. Para estas curvas, obteve-se $r = 0{,}9994$, mostrando ótima correlação.

Figura 33 – Curvas $g_M$ x $V_{GS}$ variando $V_{DS}$




Fonte: Autor

Destas analises foram extraídos S, $V_{TH}$ para $V_{GS}$ = 50mV e $g_M$ para $V_{GS}$ = 1,5V tanto para o modelo como para a simulação, apresentados na tabela 2.

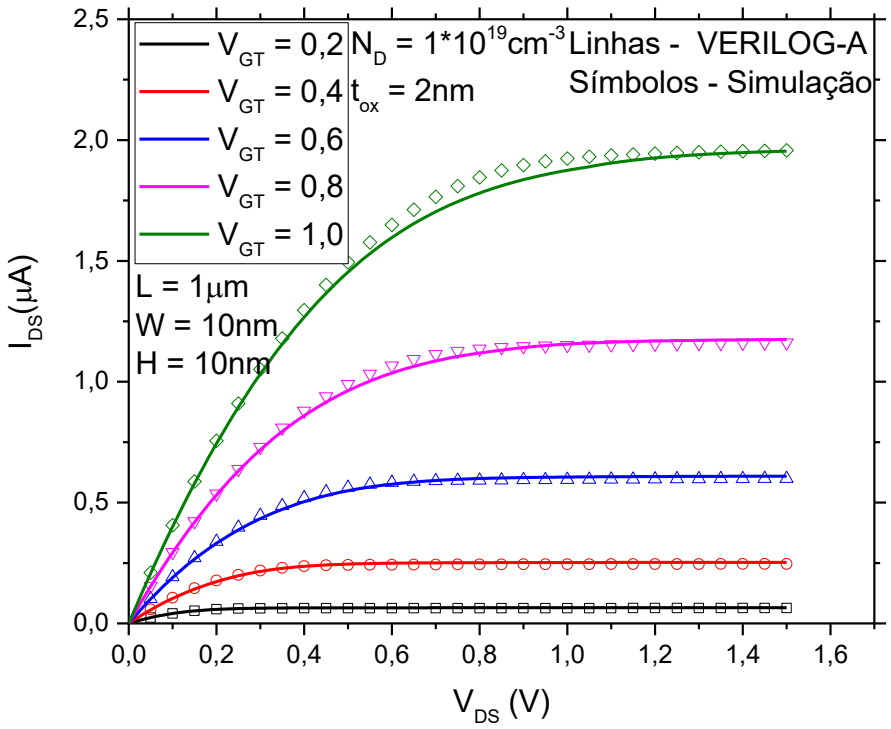
Tabela 2 – Valores extraídos para L = 1µm

| | $V_{TH}$ [V] | S [mV/déc] | $g_M$ @ $V_{GS}$=1,5V [µS] | | | | |
|---|---|---|---|---|---|---|---|
| | | | $V_{DS}$ =50mV | $V_{DS}$ = 0,1V | $V_{DS}$ = 0,2V | $V_{DS}$ = 0,5V | $V_{DS}$ = 1V |
| ELDO | 0,65 | 60,37 | 0,269 | 0,533 | 1,05 | 2,34 | 3,38 |
| Simulação | 0,66 | 61,63 | 0,277 | 0,549 | 1,07 | 2,43 | 3,58 |

Fonte: Autor.

Na figura 34 são mostradas as curvas $I_{DS} \; x \; V_{DS}$ para um transistor de mesmas características da figura 33. É possível ver que a corrente de saturação está coerente com o dispositivo simulado. Para estas curvas, obteve-se $r = 0{,}9982$, mostrando ótima correlação.

Figura 34 – Curvas $I_{DS}$ x $V_{DS}$ variando $V_{GT}$

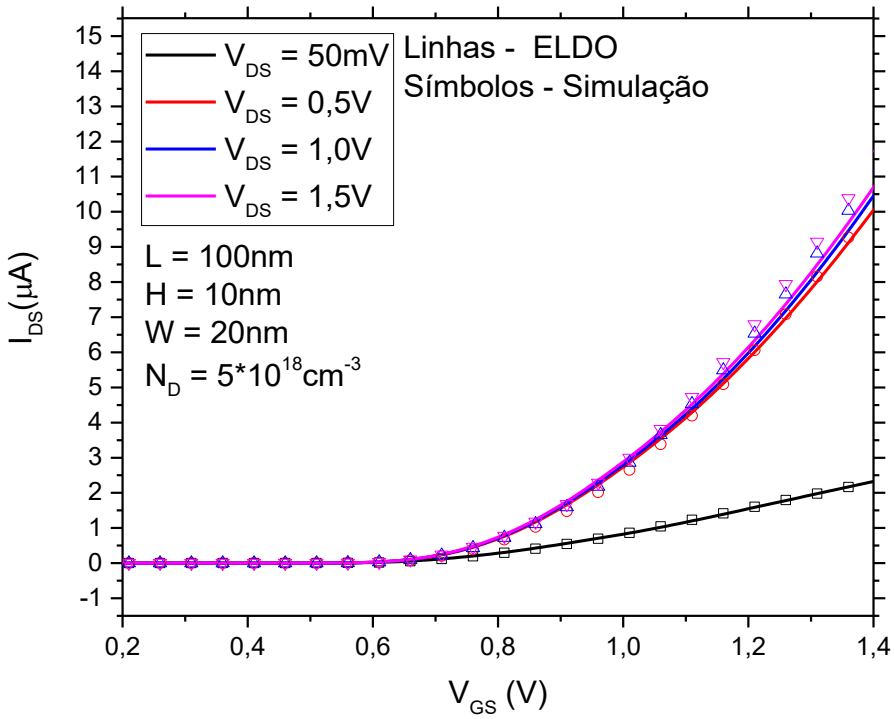



Fonte: Autor

Em transistores de canal curto, o modelo analítico para os SCEs proposto por Trevisoli *et al.* não responde corretamente em VERILOG-A por conta da limitação do cálculo de exponenciais da linguagem. Para isto, foi utilizado o modelo numérico que se baseia no mesmo princípio e utiliza raiz quadrada para o cálculo destes efeitos, conforme demostrado em 2.5.1.7. Também foram adicionados os efeitos da modulação de comprimento de canal e da degradação da mobilidade devido ao campo elétrico horizontal.

Na figura 35 são mostradas as curvas $I_{DS}\ x\ V_{GS}$ para um transistor nMOS de 100nm de comprimento de canal, com as regiões de fonte e dreno com 1nm cada a fim de minimizar o efeito da resistências série. Para obter este resultado, foi utilizado o parâmetro $\theta_2$, que considera uma degradação devido ao aumento de $V_{DS_{eff}}$, permitindo obter diferentes níveis de corrente para $V_{DS}$ altos (acima de 0,5V para figura 35) obtendo-se um único conjunto de parâmetros para o transistor. Com isso, foi possível encontrar um único conjunto de parâmetros que modelam o transistor para os valores de $V_{DS}$ utilizados, conforme mostra a figura 35. Para estas curvas, obteve-se $r = 0{,}9996$, mostrando ótima correlação.

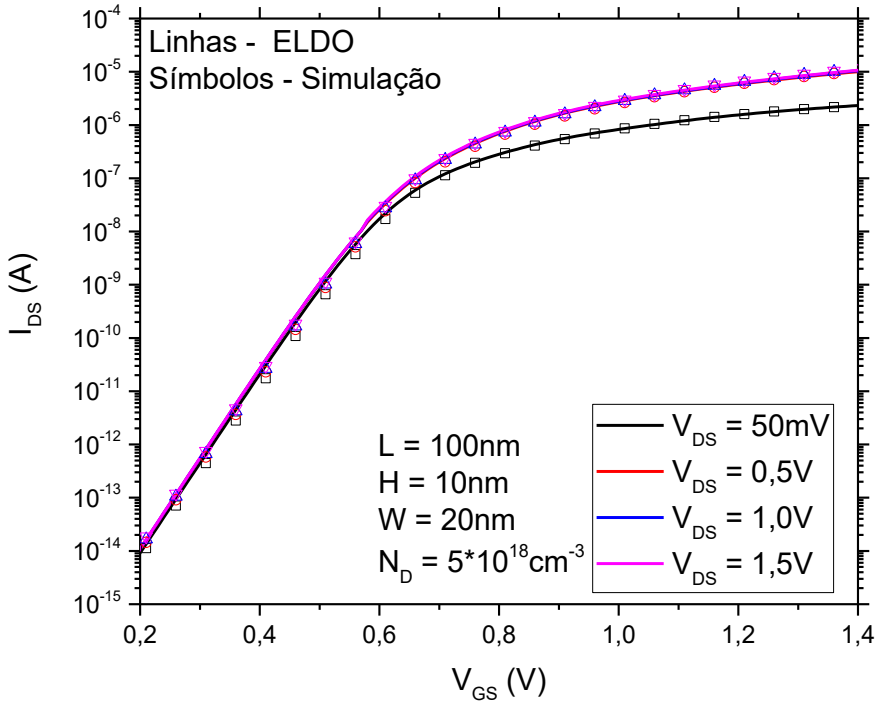
Figura 35 – Curvas $I_{DS}$ x $V_{GS}$ variando $V_{DS}$




Fonte: Autor

Na figura 36 é mostrada curvas $\log I_{DS}\ x\ V_{GS}$ para o mesmo transistor. Aqui também é possível observar que o sublimiar apresenta uma inclinação similar com a simulação para todos os valores de $V_{DS}$ testados.

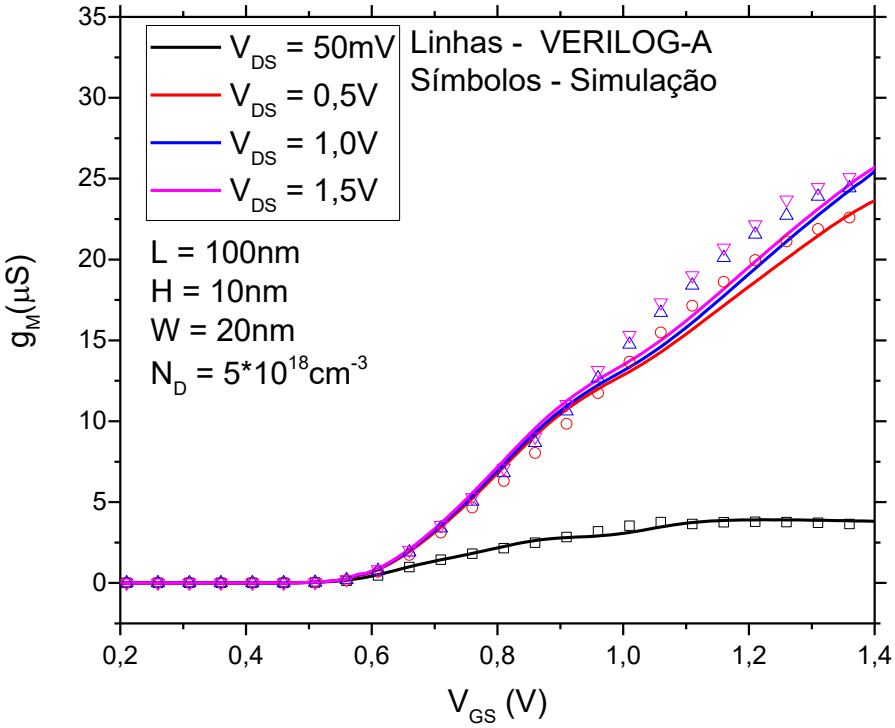
Figura 36 – Curvas log($I_{DS}$) x $V_{GS}$ variando $V_{DS}$




Fonte: Autor

Na figura 37 é mostrada as curvas $g_M \; x \; V_{GS}$ para o mesmo transistor. É possível observar as diferentes curvas para $V_{DS}$ altos, aqui evidenciando o uso de $\theta_2$. Para estas curvas, obteve-se $r = 0{,}9802$, mostrando ótima correlação.

Figura 37 – Curvas $g_M$ x $V_{GS}$ variando $V_{DS}$




Fonte: Autor

Destas analises foram extraídos S, $V_{TH}$ e $g_M$ com $V_{GS}$ = 1,5V tanto para o modelo como para a simulação, apresentados na tabela 3.

Tabela 3 – Valores extraídos para L = 100nm

| | $V_{TH}$ [V] | S [mV/déc] | $g_M$ @ $V_{GS}$=1,5V [µS] | | | |
|---|---|---|---|---|---|---|
| | | | $V_{DS}$ =50mV | $V_{DS}$ = 0,5V | $V_{DS}$ = 1V | $V_{DS}$ = 1,5V |
| ELDO | 0,64 | 60,5 | 3,72 | 24,9 | 27,8 | 28,0 |
| Simulação | 0,66 | 62,85 | 3,38 | 20,9 | 20,0 | 18,2 |

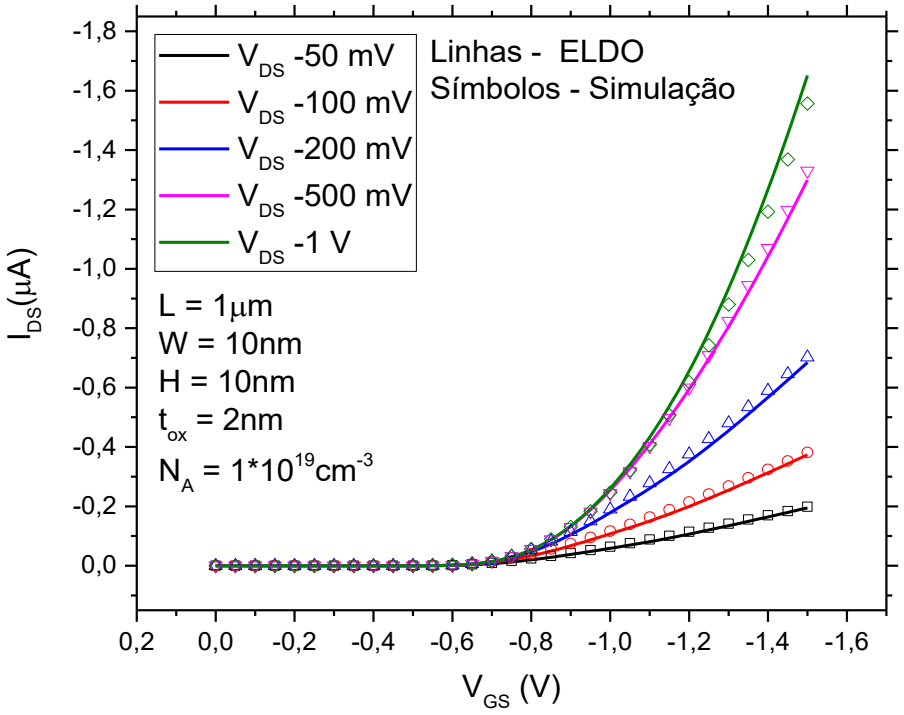
Fonte: Autor.

### 4.2.2 JNTs pMOS

Para a validação do modelo, foram utilizadas as mesmas dimensões, dopagem e temperatura utilizados para a simulação, comparando várias condições de polarização calibrando o modelo, por meio dos parâmetros descritos na seção 3, para cada transistor.

A fim de obter um modelo completo, foi também feito a análise em transistores pMOS. Na figura 38, é apresentado as curvas $I_{DS}\ x\ V_{GS}$ de um transistor pMOS de canal longo, com 1μm de comprimento de canal. Para estas curvas, obteve-se $r = 0{,}9995$, mostrando ótima correlação.

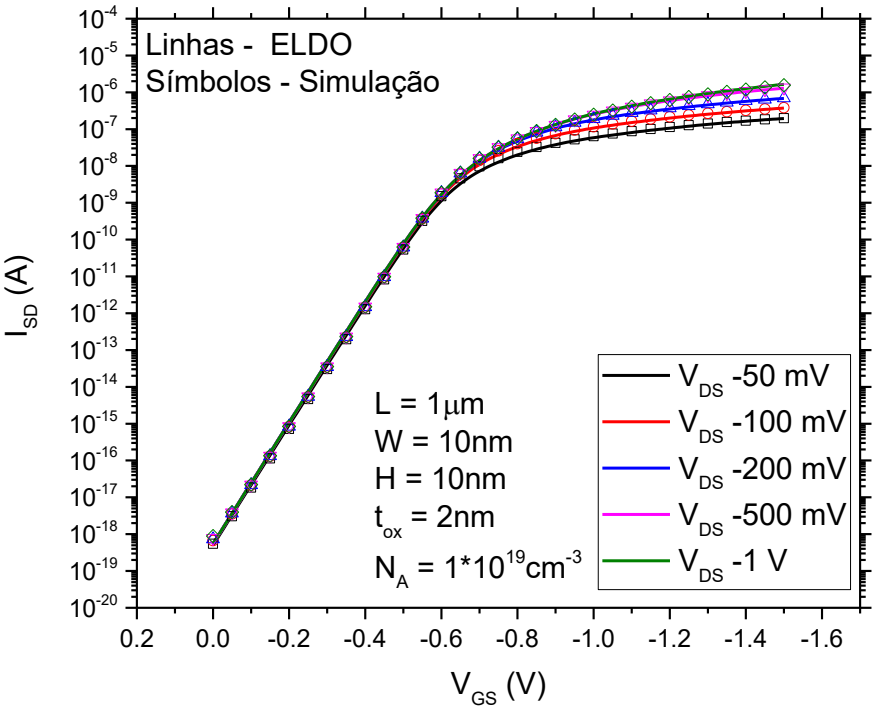
Figura 38 – Curvas $I_{DS}$ x $V_{GS}$ variando $V_{DS}$ de um dispositivo pMOS




Fonte: Autor

Na figura 39 são mostradas as curvas $\log I_{SD}\ x\ V_{GS}$ do mesmo transistor. Nela é possível ver que o sublimiar tem inclinações parecidas.

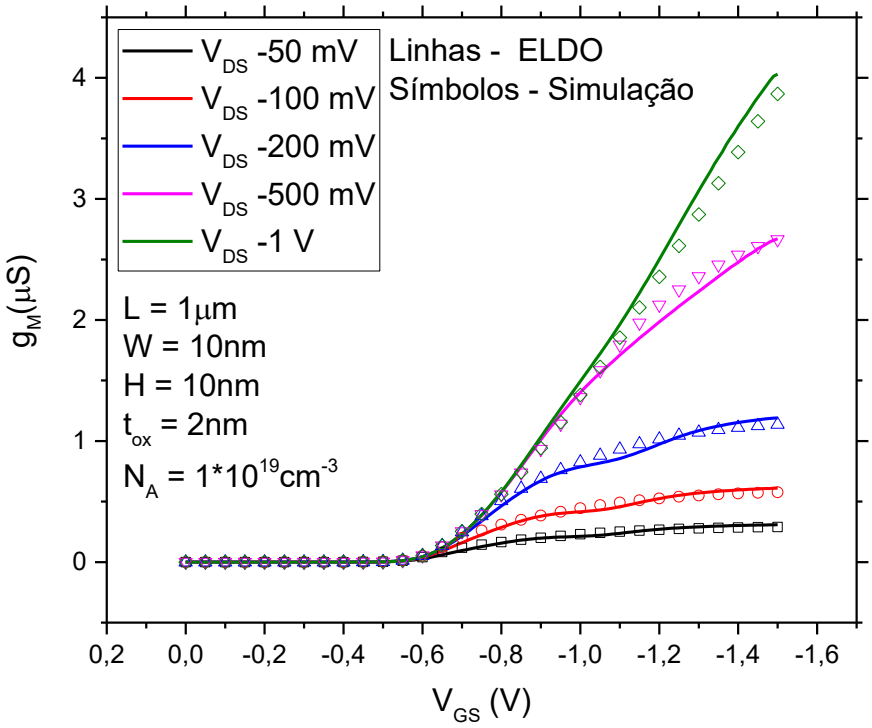
Figura 39 – Curvas log($I_{SD}$) x $V_{GS}$ variando $V_{DS}$ de um dispositivo pMOS




Fonte: Autor

Na figura 40 são mostradas as curvas $g_M \; x \; V_{GS}$ do mesmo transistor. Nela é possível ver uma tendência similar. Para estas curvas, obteve-se $r = 0{,}9959$, mostrando ótima correlação.

Figura 40 – Curvas $g_M$ x $V_{GS}$ variando $V_{DS}$ de um dispositivo pMOS




Fonte: Autor

Destas analises foram extraídos S, $V_{TH}$ para $V_{GS}$ = -50mV e $g_M$ para $V_{GS}$ = -1,5V tanto para o modelo como para a simulação, apresentados na tabela 2.

Tabela 4 – Valores extraídos para o pMOS

| | $V_{TH}$ [V] | S [mV/déc] | $g_M$ @ $V_{GS}$=-1,5V [µS] | | | | |
|---|---|---|---|---|---|---|---|
| | | | $V_{SD}$ =50mV | $V_{SD}$ = 0,1V | $V_{SD}$ = 0,2V | $V_{SD}$ = 0,5V | $V_{SD}$ = 1V |
| ELDO | -0,64 | 61,5 | 0,309 | 0,611 | 1,19 | 2,67 | 4,03 |
| Simulação | -0,65 | 62,1 | 0,290 | 0,576 | 1,14 | 2,66 | 3,87 |

Fonte: Autor.

# 5 VALIDAÇÃO DA IMPLEMENTAÇÃO DO MODELO DINÂMICO

Para a validação do modelo dinâmico, foi feita comparação com a implementação em MATLAB a fim de verificar o código implementado. Também foram utilizadas simulações numéricas tridimensionais, através do software Sentaurus da Synopsys. Com isto, são certas as dimensões, a dopagem do transistor e a temperatura simuladas, permitindo validar se o modelo implementado se comporta similarmente para as mesmas condições.

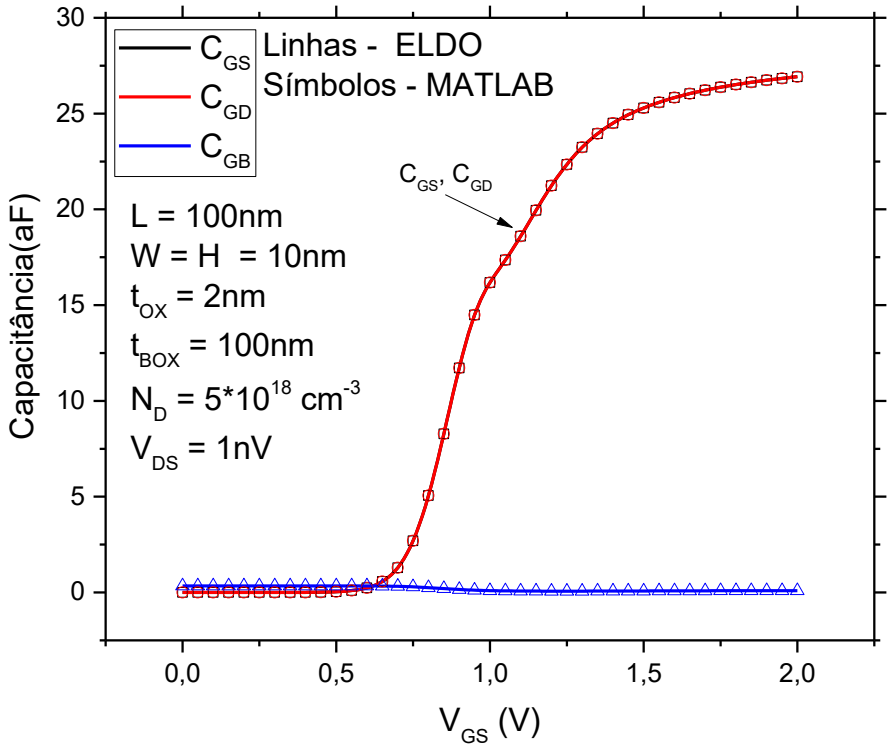
Para avaliar se o modelo se comporta de forma similar, foram avaliadas as curvas das capacitâncias intrínsecas. Para a validação do modelo, foram utilizadas as mesmas dimensões, dopagem e temperatura utilizados na simulação, calibrando o modelo por meio dos demais parâmetros para cada transistor, conforme apresentado na seção 3. A avaliação dos resultados foi feita por meio do coeficiente de correlação de Pearson.

## 5.1 VALIDAÇÃO DO CÓDIGO IMPLEMENTADO EM LINGUAGEM VERILOG-A

Nesta etapa foram feitas comparações entre o modelo implementado em linguagem VERILOG-A, testados através do simulador de circuitos ELDO, e a implementação em MATLAB, a fim de se verificar a implementação do código.

Na figura 41 são mostradas as capacitâncias de porta, comparando com a implementação feita no MATLAB. Foram simulados transistores de 100nm de comprimento de canal, com tensão de dreno de 1nV, validando a implementação do modelo. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

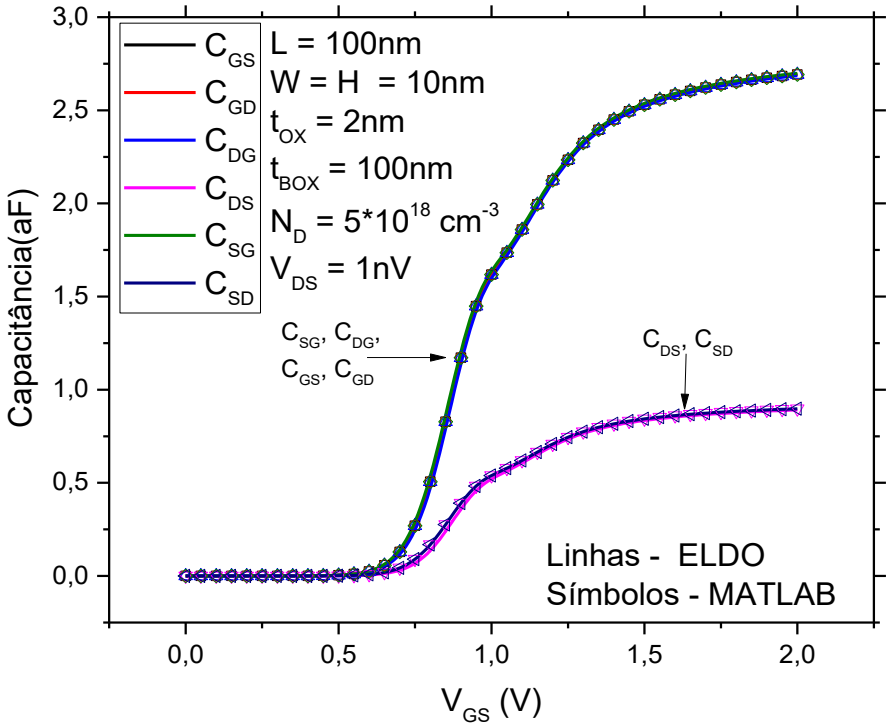
Figura 41 – Capacitâncias intrínsecas relativas à porta




Fonte: Autor

Na figura 42 são mostrados as capacitâncias do transistor em relação a fonte e o dreno, comparando com a implementação feita no MATLAB. Foi utilizado o mesmo transistor e condições de polarização da figura 41. Nesta figura pode se observar a simetria das capacitâncias de fonte e dreno, uma vez que o valor de $V_{DS}$ pode ser desprezado. Para estas curvas, obteve-se $r = 0{,}9997$, mostrando ótima correlação.

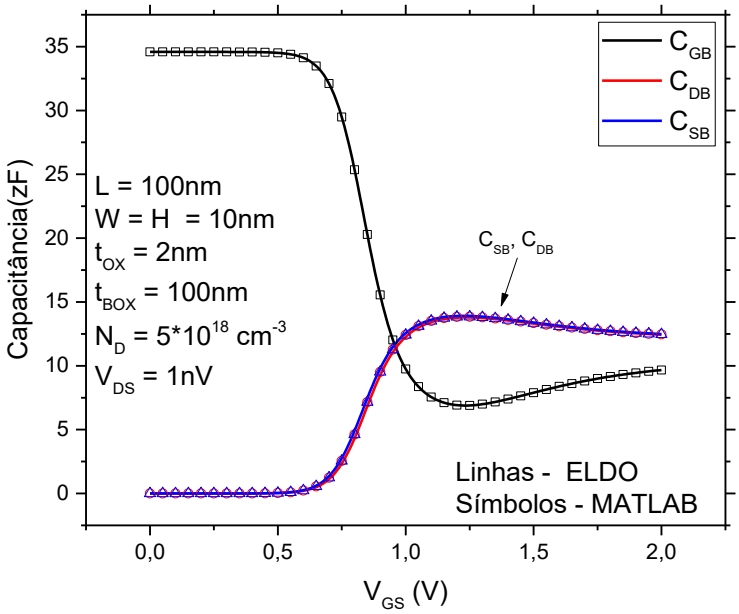
Figura 42 – Capacitâncias intrínsecas relativas à fonte e ao dreno




Fonte: Autor

Na figura 43 são mostradas as capacitâncias em relação ao substrato, comparado com a implementação feita no MATLAB. Foi utilizado o mesmo transistor e condições de polarização das figuras 41 e 42. Para estas curvas, obteve-se $r = 0{,}9999$, mostrando ótima correlação.

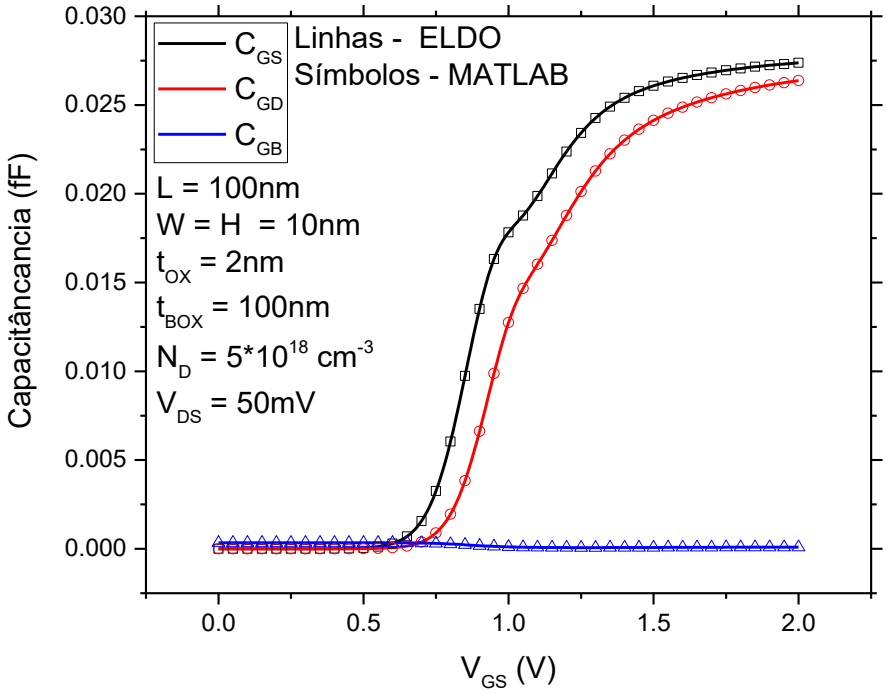
Figura 43 – Capacitâncias intrínsecas relativas ao substrato




Fonte: Autor

Na figura 44 são mostradas as capacitâncias de porta, comparando com a implementação feita no MATLAB. Foram simulados transistores de 100nm de comprimento de canal, com tensão de dreno de 50mV, validando a implementação do modelo. Para estas curvas, obteve-se $r = 1$, mostrando ótima correlação.

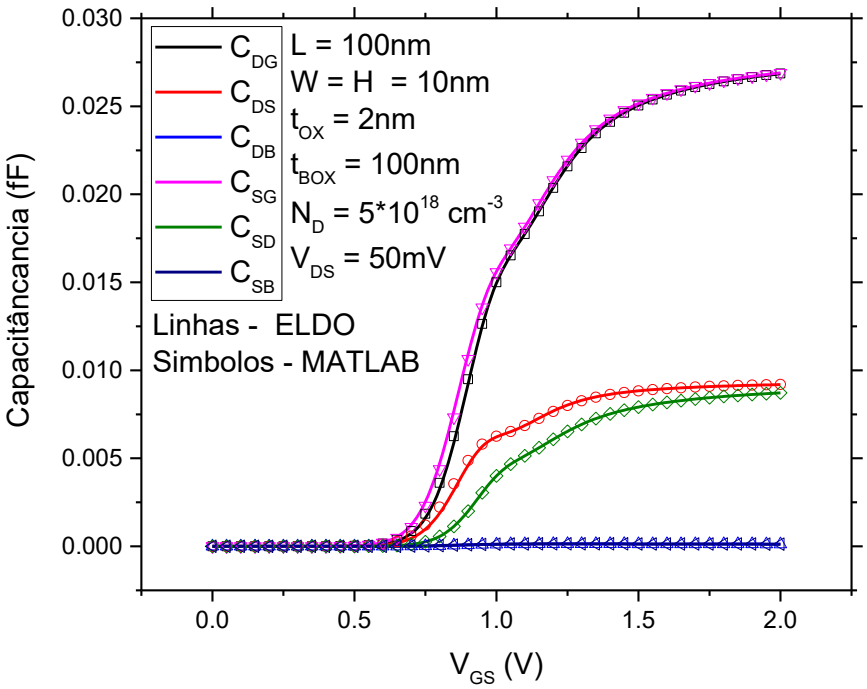
Figura 44 – Capacitâncias intrínsecas relativas à porta




Fonte: Autor

Na figura 45 são mostradas as capacitâncias do transistor em relação a fonte e o dreno, comparando com a implementação feita no MATLAB. Foi utilizado o mesmo transistor e condições de polarização da figura 44. Nesta figura pode se observar a simetria das capacitâncias de fonte e dreno, uma vez que o valor de $V_{DS}$ pode ser desprezado. Para estas curvas, obteve-se $r = 0{,}9997$, mostrando ótima correlação.

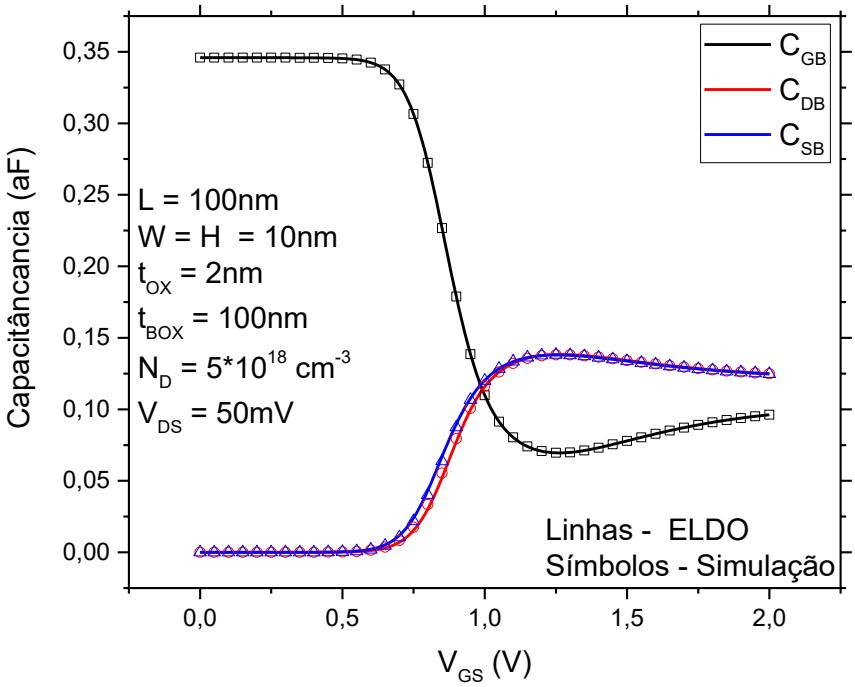
Figura 45 – Capacitâncias intrínsecas relativas à fonte e ao dreno




Fonte: Autor

Na Figura 46 são mostradas as capacitâncias em relação ao substrato, comparado com a implementação feita no MATLAB. Foi utilizado o mesmo transistor e condições de polarização das figuras 44 e 45. Para estas curvas, obteve-se $r = 0{,}9999$, mostrando ótima correlação.

Figura 46 – Capacitâncias intrínsecas relativas ao substrato



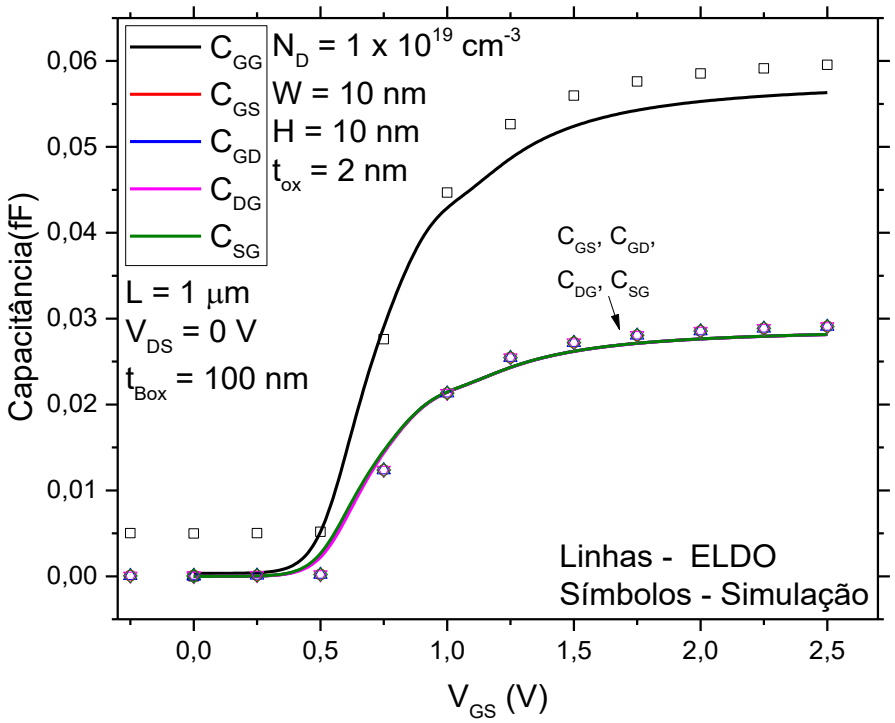

Fonte: Autor

## 5.2 COMPARAÇÃO COM SIMULAÇÕES TRIDIMENSIONAIS

Nesta etapa foram feitas comparações entre o modelo implementado em linguagem VERILOG-A testados através do simulador de circuitos ELDO e simulações numéricas tridimensionais, a fim de se verificar o modelo implementado.

Na figura 47 são mostradas as capacitâncias em relação a fonte e o dreno, comparadas com simulações numéricas tridimensionais. Foi simulada um transistor de canal longo com $V_{DS}$ = 0V. Para estas curvas, obteve-se $r = 0{,}9940$, mostrando boa correlação.

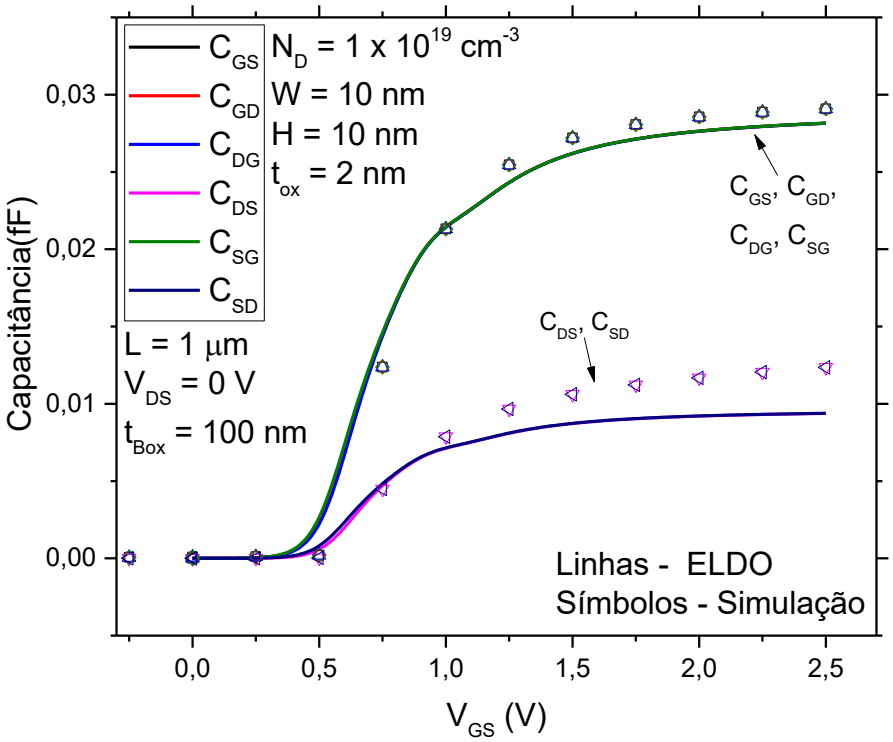
Figura 47 – Capacitâncias intrínsecas relativas à porta




Fonte: Autor

Na figura 48 são mostradas as capacitâncias em relação a fonte e o dreno, comparadas com simulações numéricas tridimensionais. O transistor e as condições de polarização são as mesmas utilizadas na figura 47. Para estas curvas, obteve-se $r = 0{,}9897$, mostrando boa correlação.

Figura 48 – Capacitâncias intrínsecas relativas à fonte e ao dreno




Fonte: Autor

# 6 CONCLUSÃO

Nesta dissertação for implementado o modelo do nanofio transistor sem junções em linguagem VERILOG-A para o uso em simuladores SPICE. O modelo foi testado por meio do simulador ELDO da Mentor Graphics. Para validação do código, foi comparado com a implementação feita em MATLAB pelo autor do modelo, confirmando que a implementação foi feita com sucesso. Também foi feito a validação do modelo por meio de simulações numéricas tridimensionais. Foi também validado o modelo para transistores pMOS. Por fim, foi implementado o modelo dinâmico.

O modelo do transistor nMOS implementado foi amplamente testado por meio de comparações com o MATLAB, variando comprimento e largura de canal, concentração de dopantes e pontos de polarização. Para isto, todos os parâmetros de ajuste do modelo, assim como os valores das constantes, foram mantidos iguais, obtendo resultados similares em ambos as implementações. Também foi necessário alterar o método de cálculo dos efeitos de canal curto em relação à proposta pelo autor do modelo, utilizando outra fórmula baseada no mesmo modelo para superar o limite relativo a linguagem implementada quanto ao valor máximo dos exponenciais. O fator de correlação de Pearson nos gráficos da corrente de dreno em função da tensão de porta foram $r = 1$ , mostrando que ambas implementações são perfeitamente semelhantes. Nos gráficos de transcondutância o fator de correlação de Pearson foi maior que $r = 09992$, também mostrando ótima correlação entre ambas implementações. As curvas da corrente de dreno em função da tensão de dreno obtiveram excelente concordância, com fator de correlação de Pearson $r = 1$. Porém, por conta da corrente se estabilizar em um valor, houve uma descontinuidade nos gráficos de $g_D$ x $V_{DS}$ após a saturação que ocorrem pelo fato das simulações nesta etapa não contemplarem os efeitos da modulação do comprimento de canal, porém não afetou o fator de correlação de Pearson destas curvas, obtendo $r = 1$.

A fim de se validar com outra ferramenta reconhecida, foi feita comparações com simulações numéricas tridimensionais, permitindo conhecer as dimensões e concentração de dopantes dos transistores simulados. Com isto foi possível analisar o modelo sem as imprecisões relativas à fabricação. Nesta etapa também foi analisada a ordem da implementação dos efeitos. Na mobilidade também foram adicionados modelos de degradação de mobilidade por conta do campo elétrico

transversal e do efeito de modulação do comprimento de canal. Com isto, foi possível obter uma simulação mais próxima para os transistores de canal curto, aqui validados por meio de transistores de 100nm de comprimento de canal. Para o transistor de canal longo, o fator de correlação de Pearson da corrente de dreno em função da tensão de porta foi $r = 1$, mostrando uma perfeita correlação. Na transcondutância o mesmo ocorreu, com o menor fator de correlação de Pearson $r = 0{,}9984$, mostrando uma ótima correlação entre as curvas. A corrente de porta em função da tensão de porta obteve fator de correlação de Pearson $r = 0{,}9982$, mostrando uma ótima correlação. Para o transistor de canal curto, o menor fator de correlação de Pearson da corrente de dreno em função da tensão de porta $r = 0{,}9996$ e na transcondutância o menor fator de correlação de Pearson foi $r = 0{,}9802$, mostrando ótima correlação em ambos os casos.

Alem disso, foi feita a validação para os transistores pMOS. Para isto foram utilizadas simulações numéricas tridimensionais. Foram empregados os valores das constantes para o pMOS segundo a literatura, adicionando os valores padrão das constantes para o nMOS e pMOS separadamente, quando necessário. O fator de correlação de Pearson na corrente de dreno em função da tensão de porta e na transcondutância para o pMOS foi com uma característica semelhante ao nMOS, fator mínimo $r = 0{,}9995$ na corrente e $r = 0{,}9959$ na transcondutância, mostrando uma ótima correlação entre as curvas.

Por fim, foi implementado o modelo dinâmico, validando a implementação através do código feito em MATLAB obtendo fatores de correlação de Pearson maiores que $r = 0{,}9999$ nas capacitâncias, mostrando ótimas correlações entre ambas implementações. Também foram comparadas com simulações numéricas tridimensionais, obtendo-se fatores de correlação de Pearson mínimos $r = 0{,}9897$, mostrando ótima correlação entre as curvas.

Como sugestão para continuidade deste trabalho, sugere-se implementar a corrente dinâmica baseado no modelo implementado, definir métodos de extração dos parâmetros utilizados no modelo, realizar testes em regime transitório e comparação com dispositivos experimentais. Também se sugere analisar o comportamento destes dispositivos em circuitos, como espelhos de corrente e circuitos de lógica CMOS utilizando o modelo implementado.

## REFERÊNCIAS

1 MOORE, G. E. Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp.114 ff. **IEEE Solid-State Circuits Society Newsletter**, v. 20, n. 3, p. 33-35, 2006. DOI 10.1109/N-SSC.2006.4785860.

2 COLINGE, J.-P. **Silicon-on-Insulator Technology:** Materials to VLSI. 3. ed. Boston: Kluwer Academic, 2004. ISBN 978-1-4020-7773-9.

3 YU, B. et al. 15 nm gate length planar CMOS transistor. **International Electron Devices Meeting, IEDM '01 Technical Digest**, p. 937–939, 2001. DOI 10.1109/IEDM.2001.979669.

4 HISAMOTO, D. et al. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultrathin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, n. 1, p. 36–38, 1990. DOI 10.1109/55.46923.

5 COLINGE, J.-P. **FinFETs and Other Multi-Gate Transistors**. New York: Springer, 2008. ISBN 978-0-387-71751-7.

6 DOYLE, B. S. et al. High performance fully-depleted tri-gate CMOS transistors. **IEEE Electron Device Letters**, v. 24, n. 4, p. 263–265, 2003. DOI 10.1109/LED.2003.810888.

7 COLINGE, J.-P. et al. Silicon-on-insulator 'gate-all-around device'. **International Electron Devices Meeting, IEDM '90 Technical Digest**, p. 595–598, 1990. DOI 10.1109/IEDM.1990.237128.

8 HISAMOTO, D. et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320–2325, 2000. DOI 10.1109/16.887014.

9 COLINGE, J.-P. et al. Junctionless Nanowire Transistor (JNT): Properties and design guidelines. **Solid-State Electronics**, v. 65–66, p. 33–37, 2011. DOI 10.1016/j.sse.2011.06.004.

10 COLINGE, J.-P. et al. SOI gated resistor: CMOS without junctions. **IEEE International SOI Conference**, p. 1–2, 2009. DOI 10.1109/SOI.2009.5318737.

11 COLINGE, J.-P. et al. Nanowire transistors without junctions. **Nature Nanotechnology**, v. 5, p. 225–229, 2010. DOI 10.1038/nnano.2010.15.

12 LEE, C.-W. et al. Junctionless multigate field-effect transistor. **Applied Physics Letters**, v. 94, n. 5, p. 053511, 2009. DOI 10.1063/1.3079411.

13 LEE, C.-W. et al. Performance estimation of junctionless multigate transistors. **Solid-State Electronics**, v. 54, n. 2, p. 97–103, 2010. DOI 10.1016/j.sse.2009.12.003.

14 COLINGE, J.-P. et al. Junctionless Transistors: Physics and Properties. In: NAZAROV, A., et al. **Semiconductor-On-Insulator Materials for Nanoelectronics**

**Applications**. 1. ed. Berlin: Springer-Verlag, 2011. p. 187–200. DOI 10.1007/978-3-642-15868-1_10.

15 LEE, C.-W. et al. High-Temperature Performance of Silicon Junctionless MOSFETs. **IEEE Transactions on Electron Devices**, v. 57, n. 3, p. 620–625, 2010. DOI 10.1109/TED.2009.2039093.

16 DORIA, R. T. et al. Junctionless Multiple-Gate Transistors for Analog Applications. **IEEE Transactions on Electron Devices**, v. 58, n. 8, p. 2511–2519, 2011. DOI 10.1109/TED.2011.2157826.

17 DORIA, R. T. et al. Analog Operation Temperature Dependence of nMOS Junctionless Transistors Focusing on Harmonic Distortion. **Journal of Integrated Circuits and Systems**, v. 6, n. 2, p. 114–121, 2011. ISSN 1807-1953.

18 DORIA, R. T. et al. Analysis of the Low-Frequency Noise of Junctionless Nanowire Transistors operating in saturation. **IEEE International SOI Conference (SOI)**, p. 1–2, 2011. DOI 10.1109/SOI.2011.6081688.

19 TREVISOLI, R. D. et al. Improved analog operation of junctionless nanowire transistors using back bias. **Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)**, p. 265–268, 2015. DOI 10.1109/ULIS.2015.7063824.

20 TREVISOLI, R. D. et al. Analog operation of Junctionless Nanowire Transistors down to liquid helium temperature. **11th International Workshop on Low Temperature Electronics (WOLTE)**, p. 53–56, 2014. DOI 10.1109/WOLTE.2014.6881024.

21 DE SOUZA, M. et al. Analog performance of short-channel asymmetric self-cascode of junctionless nanowire nMOS transistors. **IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)**, 2014. DOI 10.1109/S3S.2014.7028205.

22 DORIA, R. T. et al. Application of Junctionless Nanowire Transistor in the Self-Cascode Configuration to Improve the Analog Performance. **ECS Transactions**, v. 49, n. 1, p. 215–222, 2012. DOI 10.1149/04901.0215ecst.

23 GUIN, S.; SIL, M.; MALLIK, A. Comparison of Logic Performance of CMOS Circuits Implemented With Junctionless and Inversion-Mode FinFETs. **IEEE Transactions on Electron Devices**, v. 64, n. 3, p. 953–959, 2017. DOI 10.1109/TED.2017.2655541.

24 HOLTIJ, T. et al. Compact Model for Short-Channel Junctionless Accumulation Mode Double Gate MOSFETs. **IEEE Transactions on Electron Devices**, v. 61, n. 2, p. 288–299, 2014. DOI 10.1109/TED.2013.2281615.

25 TREVISOLI, R. D. et al. Surface-Potential-Based Drain Current Analytical Model for Triple-Gate Junctionless Nanowire Transistors. **IEEE Transactions on Electron Devices**, v. 59, n. 12, p. 3510–3518, 2012. DOI 10.1109/TED.2012.2219055.

26 CERDEIRA, A. et al. Charge-based continuous model for long-channel Symmetric Double-Gate Junctionless Transistors. **Solid-State Electronics**, v. 85, p. 59–63, 2013. DOI 10.1016/j.sse.2013.03.008.

27 ÁVILA-HERRERA, F. et al. Charge-based compact analytical model for triple-gate junctionless nanowire transistors. **Solid-State Electronics**, v. 122, p. 23–31, 2016. DOI 10.1016/j.sse.2016.04.013.

28 PAZ, B. C. et al. Drain current model for short-channel triple gate junctionless nanowire transistors. **Microelectronics Reliability**, v. 63, p. 1–10, 2016. DOI 10.1016/j.microrel.2016.05.006.

29 TREVISOLI, R. D. et al. Analytical Model for Dynamic Behavior of Triple-Gate Junctionless Nanowire Transistors. **IEEE Transactions on Electron Devices**, v. 63, n. 2, p. 856–863, 2016. DOI 10.1109/TED.2015.2507571.

30 MENTOR GRAPHICS CORPORATION. **Eldo Platform Reference Manual**. Wilsonville: [s.n.], 2016.

31 JENKINS, K. A.; SUN, J. Y.-C. Measurement of I-V Curves of Silicon-on-Insulator (SOI) MOSFET's Without Self-Heating. **IEEE Electron Device Letters**, v. 16, n. 4, p. 145–147, 1995. DOI 10.1109/55.372496.

32 COLINGE, J.-P.; COLINGE, C. A. **Physics of Semiconductor Devices**. New York: Kluwer Academic Publishers, 2002. ISBN 978-1402070181.

33 KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32–37, jul. 1998. DOI 0.1109/101.708479.

34 YOSHIMI, M. et al. Two-dimensional simulation and measurement of high-performance MOSFETs made on very thin SOI film. **IEEE Transactions on Eletron Devices**, v. 36, n. 3, p. 493–503, 1989. DOI 10.1109/16.19959.

35 YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Eletron Devices**, v. 36, n. 2, p. 399–402, 1989. DOI 10.1109/16.19942.

36 GROESENEKEN, G. et al. Temperature dependance of threshold voltage in thin-film SOI MOSFETs. **IEEE Eletron Device Letters**, v. 11, n. 8, p. 329–331, 1990. DOI 10.1109/55.57923.

37 COLINGE, J.-P. Subthreshold slope of thin-film SOI MOSFET's. **IEEE Eletron Device Letters**, v. 7, n. 4, p. 244–246, 1986. DOI 10.1109/EDL.1986.26359.

38 COLINGE, J.-P. Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 37, n. 3, p. 718–723, 1990. DOI 10.1109/16.47777.

39 SU, K.-W.; KUO, J. B. Analysis of current conduction in short-channel accumulation-mode SOI PMOS devices. **IEEE Transactions on Electron Devices**, v. 44, n. 5, p. 832–840, 1997. DOI 10.1109/16.568046.

40 LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, v. 50, n. 1, p. 38–43, 2006. DOI 10.1016/j.sse.2005.10.041.

41 SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics**, v. 27, n. 8-9, p. 827–828, 1984. DOI 10.1016/0038-1101(84)90036-4.

42 HUANG, X. et al. Sub 50-nm FinFET: PMOS. **International Electron Devices Meeting, IEDM '99 Technical Digest**, Washington, p. 67–70, 1999. DOI 10.1109/IEDM.1999.823848.

43 YU, B. et al. FinFET scaling to 10 nm gate length. **International Electron Devices Meeting, IEDM '02**, San Francisco, p. 251–254, 2002. DOI 10.1109/IEDM.2002.1175825.

44 PARK, J.-T.; COLINGE, J.-P.; DIAZ, C. H. Pi-Gate SOI MOSFET. **IEEE Electron Device Letters**, v. 22, n. 8, p. 405–406, 2001. DOI 10.1109/55.936358.

45 YANG, F.-L. et al. 25 nm CMOS Omega FETs. **International Electron Devices Meeting, IEDM '02 Technical Digest**, p. 255–258, 2002. DOI 10.1109/IEDM.2002.1175826.

46 MIYANO, S.; HIROSE, M.; MASUOKA, F. Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA). **IEEE Transactions on Electron Devices**, v. 39, n. 8, p. 1876–1881, 1992. DOI 10.1109/16.144678.

47 XIONG, W.; PARK, J. W.; COLINGE, J.-P. Corner effect in multiple-gate SOI MOSFETs. **IEEE International SOI Conference**, Newport Beach, p. 111–113, 2003. DOI 10.1109/SOI.2003.1242919.

48 FOSSUM, J. G.; YANG, J.-W.; TRIVEDI, V. P. Suppression of corner effects in triple-gate MOSFETs. **IEEE Electron Device Letters**, v. 24, n. 12, p. 745–747, 2003. DOI 10.1109/LED.2003.820624.

49 SUBRAMANIAN, V. et al. Impact of fin width on digital and analog performances of n-FinFETs. **Solid-State Electronics**, v. 51, n. 4, p. 551–559, 2007. DOI 10.1016/j.sse.2007.02.003.

50 CARTWRIGHT, J. Intel enters the third dimension. **Nature**, 2011. Disponivel em: <https://www.nature.com/news/2011/110506/full/news.2011.274.html>. Acesso em: 01 ago. 2017.

51 INTEL CORPORATION. Intel Reinvents Transistors Using New 3-D Structure. **Intel Newsroom**, 2011. Disponivel em: <https://newsroom.intel.com/news-releases/intel-reinvents-transistors-using-new-3-d-structure/>. Acesso em: 01 ago. 2017.

52 INTEL CORPORATION. 10 nm Technology Leadership. **Intel Newsroom**, 2017. Disponivel em: <https://newsroom.intel.com/newsroom/wp-content/uploads/sites/11/2017/03/Kaizad-Mistry-2017-Manufacturing.pdf>. Acesso em: 17 jul. 2017.

53 SAMSUNG. Samsung Electronics on Track for 10nm FinFET Process Technology Production Ramp-up. **Samsung Newsroom**, 2017. Disponivel em: <https://news.samsung.com/global/samsung-electronics-on-track-for-10nm-finfet-process-technology-production-ramp-up>. Acesso em: 19 Julho 2017.

54 SAMSUNG and GLOBALFOUNDRIES Forge Strategic Collaboration to Deliver Multi-Sourced Offering of 14nm FinFET Semiconductor Technology. **GlobalFoundries**, 2014. Disponivel em: <https://www.globalfoundries.com/sites/default/files/samsung-globalfoundries-14nm-collaboration-press-release.pdf>. Acesso em: 01 ago. 2017.

55 BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410–412, 1987. DOI 10.1109/EDL.1987.26677.

56 TSUTSUI, G. et al. Mobility enhancement due to volume inversion in [110]-oriented ultra-thin body double-gate nMOSFETs with body thickness less than 5 nm. **IEEE International Electron Devices Meeting, IEDM Technical Digest**, Washington, p. 729–732, 2005. DOI 10.1109/IEDM.2005.1609456.

57 DORIA, R. T. et al. Impact of the series resistance in the I-V characteristics of junctionless nanowire transistors and its dependence on the temperature. **Journal of Integrated Circuits and Systems**, v. 7, n. 2, p. 121–129, 2012. ISSN 1807-1953.

58 KRANTI, A. et al. Junctionless nanowire transistor (JNT): Properties and design guidelines. **Proceedings of the European Solid-State Device Research Conference (ESSDERC)**, p. 357–360, 2010. DOI 10.1109/ESSDERC.2010.5618216.

59 SELBERHERR, S. MOS device modeling at 77 K. **IEEE Transactions on Electron Devices**, v. 36, n. 8, p. 1464–1474, 1989. DOI 10.1109/16.30960.

60 TREVISOLI, R. D. et al. Threshold voltage in junctionless nanowire transistors. **Semiconductor Science and Technology**, v. 26, n. 10, p. 105009, 2011. DOI 10.1088/0268-1242/26/10/105009.

61 TREVISOLI, R. D. **Operação e modelagem de transistores MOS sem junções**. São Paulo: Escola Politécnica, Universidade de São Paulo, 2013. DOI 10.11606/T.3.2013.tde-01082013-162413.

62 TREVISOLI, R. D. et al. Substrate Bias Influence on the Operation of Junctionless Nanowire Transistors. **IEEE Transactions on Electron Devices**, v. 61, n. 5, p. 1575–1582, 2014. DOI 10.1109/TED.2014.2309334.

63 CUNHA, A. I. et al. Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve. **Solid-State Electronics**, v. 56, n. 1, p. 89–94, 2011. DOI 10.1016/j.sse.2010.10.011.

64 SHIH, C.-H.; WANG, J.-S. Threshold Voltage of Ultrathin Gate-Insulator MOSFETs. **IEEE Electron Device Letters**, v. 30, n. 3, p. 278–281, 2009. DOI 10.1109/LED.2008.2011292.

65 POIROUX, T. et al. Multiple gate devices: advantages and challenges. **Microelectronic Engineering**, v. 80, p. 378–385, 2005. DOI 10.1016/j.mee.2005.04.095.

66 TREVISOLI, R. D. et al. A physically-based threshold voltage definition, extraction and analytical model for junctionless nanowire transistors. **Solid-State Electronics**, v. 90, p. 12–17, 2013. DOI 10.1016/j.sse.2013.02.059.

67 BREWS, J. R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282–1291, 1979. DOI 10.1109/T-ED.1979.19594.

68 SZE, S. M. **Physics of semiconductor devices**. 2nd. ed. New York: John Wiley & Sons, 1981. ISBN 0-471-05661-8.

69 AKARVARDAR, K. et al. A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors. **IEEE Transactions on Electron Devices**, v. 54, n. 4, p. 767–775, 2007. DOI 10.1109/TED.2007.892364.

70 SAH, C.-T. et al. Effect of zinc impurity on silicon solar-cell efficiency. **IEEE Transactions on Electron Devices**, v. 28, n. 3, p. 304–313, 1981. DOI 10.1109/T-ED.1981.20333.

71 CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, v. 55, n. 12, p. 2192–2193, 1967. DOI 10.1109/PROC.1967.6123.

72 LI., S. S.; THURBER, W. R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v. 20, n. 7, p. 609–616, 1977. DOI 10.1016/0038-1101(77)90100-9.

73 DORKEL, J. M.; LETURCQ, P. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v. 24, n. 9, p. 821–825, 1981. DOI 10.1016/0038-1101(81)90097-6.

74 GUTIÉRREZ-D., E. A.; DEEN , M. J.; CLAEYS, C. **Low Temperature Electronics:** Physics, Devices, Circuits, and Applications. San Diego: Academic, 2001. ISBN 978-0-12-310675-9.

75 COLINGE, J.-P. et al. Reduced electric field in junctionless transistors. **Applied Physics Letters**, v. 96, n. 7, p. 073510, 2010. DOI 10.1063/1.3299014.

76 SYNOPSYS. **Sentaurus Device User Guide**. Mountain View: [s.n.], 2016.

77 TREVISOLI, R. D. et al. A new series resistance extraction method for junctionless nanowire transistors. **31st Symposium on Microelectronics Technology and Devices (SBMicro)**, p. 1–4, 2016. DOI 10.1109/SBMicro.2016.7731338.

78 SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-

insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314–1319, 1996. DOI 10.1109/4.535416.

79 FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. **Solid-State Electronics**, v. 39, n. 4, p. 455–460, 1996. DOI 10.1016/0038-1101(95)00167-0.

80 VITTOZ, E. A. Low-power design: ways to approach the limits. **IEEE International Solid-State Circuits Conference. Digest of Technical Papers. 41st ISSCC.**, p. 14–19, 1994. DOI 10.1109/ISSCC.1994.344744.

81 TREVISOLI, R. D. et al. Errata to “Surface-Potential-Based Drain Current Analytical Model for Triple-Gate Junctionless Nanowire Transistors”. **IEEE Transactions on Electron Devices**, v. 63, n. 1, p. 527, 2016. DOI 10.1109/TED.2015.2496962.

82 IEEE. **IEEE Standard VHDL Language Reference Manual**. New York: IEEE, 2009. DOI 10.1109/IEEESTD.2009.4772740.

83 IEEE. **IEEE Standard VHDL Analog and Mixed-Signal Extensions**. New York: IEEE, 2007. DOI 10.1109/IEEESTD.2007.4384309.

84 IEEE. **61691-4-2004 - IEC/IEEE Behavioural Languages - Part 4:** Verilog Hardware Description Language (Adoption of IEEE Std 1364-2001). Geneva: IEC, 2004. DOI 10.1109/IEEESTD.2004.95753.

85 ACCELLERA. **Verilog-AMS Language Reference Manual**. Napa: Accellera, 2004. Disponivel em: <http://accellera.org/images/downloads/standards/v-ams/VAMS-LRM-2-4.pdf>. Acesso em: 17 ago. 2017.

86 IEEE. **IEEE Standard for Standard SystemC Language Reference Manual**. New York: IEEE, 2012. DOI 10.1109/IEEESTD.2012.6134619.

87 IEEE. **IEEE Standard for Standard SystemC(R) Analog/Mixed-Signal Extensions Language Reference Manual**. New York: IEEE, 2016. DOI 10.1109/IEEESTD.2016.7448795.

88 MCANDREW, C. C. et al. Best Practices for Compact Modeling in Verilog-A. **IEEE Journal of the Electron Devices Society**, v. 3, n. 5, p. 383–396, 2015. DOI 10.1109/JEDS.2015.2455342.

89 CORAM, G. J. How to (and how not to) write a compact model in Verilog-A. **Proceedings of the 2004 IEEE International Behavioral Modeling and Simulation Conference, BMAS 2004**, p. 97–106, 2004. DOI 10.1109/BMAS.2004.1393990.

90 ABOUT Model Development in Verilog-A. **Agilent Technologies**, 2008. Disponivel em: <http://literature.cdn.keysight.com/litweb/pdf/ads2008/veriloga/ads2008/About_Model_Development_in_Verilog-A.html>. Acesso em: 30 ago. 2017.

91 SYNOPSYS. **Sentaurus Structure Editor User Guide**. Mountain View: [s.n.], 2016.

92 CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045–1047, 1975. DOI 10.1109/T-ED.1975.18267.

93 SLOTBOOM, J. W.; DE GRAAFF, H. C. Measurements of bandgap narrowing in Si bipolar transistors. **Solid-State Electronics**, v. 19, n. 10, p. 857–862, 1976. DOI 10.1016/0038-1101(76)90043-5.

94 LEE, C.-W. et al. Low subthreshold slope in junctionless multigate transistors. **Applied Physics Letters**, v. 96, p. 102106, 2010. DOI 10.1063/1.3358131.

95 JUNIOR, L. A. D. S. et al. A Systematic Methodology for Analog Design of. **XII Microelectronics Students Forum**, Curitiba, v. 13, n. 1, 2013. ISSN 2358-2537.

# APÊNDICE A — ARQUIVO PARA GERAR UMA ESTRUTURA DE UM TRANSISTOR MOS SEM JUNÇÕES NO SENTAURUS STRUCTURE EDITOR

sde_dvs.cmd:

```
001: (if (string=? "@Type@" "nMOS")
002:   (begin
003:     (define ChDopType "ArsenicActiveConcentration")
004:   )
005:   (begin
006:     (define ChDopType "BoronActiveConcentration")
007:   )
008: )
009: ;-----------------------------------------------------------------------
010: ; Setting parameters
011: (define Wfin                @W@)
012: (define Lfin                @L@)
013: (define Hfin                @H@)
014: (define Lfonte      @Ld@)
015: (define tox                 @tox@)
016: (define tbox                @tbox@)
017: (define Wbox                (+ Wfin (* 2 tox) 0.002))
018: (define dop                 @Ndop@)
019: ;(define contato             (/ 5000 1000))
020:
021:
022: ;-----------------------------------------------------------------------
023: ; Refino
024: (define refino_FD          0.010)
025: (define refino_canal       0.010)
026:
027:
028: ;; Variaveis Grade
029:  (sdedr:define-refinement-size        "Si"                  0.002  0.020  0.002
0.0015 0.010 0.0015 )
030:  (sdedr:define-refinement-size        "Ox"                  0.020  0.050  0.020
0.010 0.040 0.010 )
031:
032: ;-----------------------------------------------------------------------
033: ; REGIOES
034:
035: ; - Define o oxido de porta
036: (define r1 (sdegeo:create-cuboid
037:   (position (- (+ tox (/ Wfin 2)))  (- (/ Lfin 2))  (- (/ Hfin 2)))
038:   (position (+ tox (/ Wfin 2))  (/ Lfin 2)  (+ (/ Hfin 2) tox))
039:   "Oxide" "oxido"
040:   )
041: )
042:
043: ; - Define o canal
044: (define r2 (sdegeo:create-cuboid
045:   (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
046:   (position (/ Wfin 2)     (+ (/ Lfin 2) Lfonte)     (/ Hfin 2))
047:   "Silicon" "corpo"
048:   )
049: )
050:
051: ; - Define o substrato
052: (define r3 (sdegeo:create-cuboid
053:   (position  (- (/ Wbox 2))    (- (+ (/ Lfin 2) Lfonte))    (- (/ Hfin 2)))
054:   (position  (/ Wbox 2)        (+ (/ Lfin 2) Lfonte)        (- (+ (/ Hfin 2) tbox)))
055:   "Oxide" "box"
```

```
056:   )
057: )
058:
059: ;-----------------------------------------------------------------
060: ; CONTATOS
061:
062: ; - Contato de porta
063: (sdegeo:define-contact-set "gate" 0.001 (color:rgb 1 0 0) "##")
064:
065: (sdegeo:set-current-contact-set "gate")
066:
067: (sdegeo:define-3d-contact (list     (car  (find-face-id  (position  (-  (+  tox  (/
Wfin 2)))  0.000   0.000                )))) "gate")
068: (sdegeo:define-3d-contact (list     (car     (find-face-id     (position     0.000
0.000   (+ tox (/ Hfin 2))  )))) "gate")
069: (sdegeo:define-3d-contact (list     (car (find-face-id (position (+ tox (/ Wfin
2))      0.000   0.000                )))) "gate")
070:
071: ; - Contato de dreno
072: (sdegeo:define-contact-set "drain" 0.001 (color:rgb 1 0 0) "##")
073:
074: (sdegeo:set-current-contact-set "drain")
075:
076: ;(sdegeo:define-3d-contact (list    (car (find-face-id (position 0.000   (- (+
(/ Lfin 2) Lfonte) (/ contato 2))  (/ Hfin 2)  )))) "drain")
077: (sdegeo:define-3d-contact (list     (car (find-face-id (position 0.000   (+ (/
Lfin 2) Lfonte) 0  )))) "drain")
078:
079: ; Contato de fonte
080: (sdegeo:define-contact-set "source" -0.001 (color:rgb 1 0 0) "##")
081:
082: (sdegeo:set-current-contact-set "source")
083:
084: ;(sdegeo:define-3d-contact (list    (car (find-face-id (position 0.000    (- (/
contato 2) (+ (/ Lfin 2) Lfonte))   (/ Hfin 2) )))) "source")
085: (sdegeo:define-3d-contact (list     (car (find-face-id (position 0.000   (- (+
(/ Lfin 2) Lfonte)) 0  )))) "source")
086:
087:
088: ; Contato do substrato
089: (sdegeo:define-contact-set "substrate" -0.001 (color:rgb 1 0 0) "##")
090:
091: (sdegeo:set-current-contact-set "substrate")
092:
093: (sdegeo:define-3d-contact (list     (car (find-face-id (position 0.000 0.000
(- (+ (/ Hfin 2) tbox))  )))) "substrate")
094:
095:
096: ;-----------------------------------------------------------------
097: ; DOPAGEM
098:
099: ; Canal
100:      (sdedr:define-constant-profile       "definicao_perfil_constante_canal"
ChDopType dop)
101:                                          (sdedr:define-constant-profile-material
"placement_perfil_constante_canal"          "definicao_perfil_constante_canal"
"Silicon")
102:
103: ; Dreno
```

```
104: ;(sdedr:define-refeval-window "DopGaussDrenoJan" "Cuboid"  (position
(- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))     (position (/ Wfin 2) (- (/ Lfin
2)) (/ Hfin 2)) )
105:    ;(sdedr:define-gaussian-profile    "DopGaussDrenoDef"    ChDopType
"PeakPos" 0  "PeakVal" 5e20 "Length" 0.0015 "Gauss" "Length" 0)
106:         ;(sdedr:define-analytical-profile-placement         "DopGaussDreno"
"DopGaussDrenoDef" "DopGaussDrenoJan" "Both" "NoReplace" "Eval")
107:
108: ; Fonte
109: ;(sdedr:define-refeval-window "DopGaussFonteJan" "Cuboid"  (position
(- (/ Wfin 2)) (+ (/ Lfin 2) Lfonte) (- (/ Hfin 2)))        (position (/ Wfin 2) (/ Lfin 2)
(/ Hfin 2)) )
110:    ;(sdedr:define-gaussian-profile    "DopGaussFonteDef"    ChDopType
"PeakPos" 0  "PeakVal" 5e20 "Length" 0.0015 "Gauss" "Length" 0)
111:         ;(sdedr:define-analytical-profile-placement         "DopGaussFonte"
"DopGaussFonteDef" "DopGaussFonteJan" "Both" "NoReplace" "Eval")
112:
113:
114:
115: ;-----------------------------------------------------------------------
116: ; GRADE
117:
118:
119:
120: ; Definição de janelas
121: ;;Fonte-Canal-Dreno
122: (sdedr:define-refeval-window "CanalFonte" "Cuboid"
123: (position (- (/ Wfin 2))  (- (/ Lfin 2))  (- (/ Hfin 2)))
124: (position  (/ Wfin 2)  (- refino_canal (/ Lfin 2))  (/ Hfin 2))  )
125: (sdedr:define-refeval-window "CanalDreno" "Cuboid"
126: (position (- (/ Wfin 2))  (/ Lfin 2)  (- (/ Hfin 2)))
127: (position  (/ Wfin 2)  (- (/ Lfin 2) refino_canal)  (/ Hfin 2))  )
128: (sdedr:define-refeval-window "Fonte" "Cuboid"
129: (position (- (/ Wfin 2))  (- (/ Lfin 2))  (- (/ Hfin 2)))
130: (position  (/ Wfin 2)  (- (+ refino_FD (/ Lfin 2)))  (/ Hfin 2))  )
131: (sdedr:define-refeval-window "Dreno" "Cuboid"
132: (position (- (/ Wfin 2))  (/ Lfin 2)  (- (/ Hfin 2)))
133: (position  (/ Wfin 2)  (+ (/ Lfin 2) refino_FD)  (/ Hfin 2))  )
134:
135: (sdedr:define-refeval-window "ContatoFonte" "Cuboid"
136: (position (- (/ Wfin 2))  (- (+ (/ Lfin 2) Lfonte))  (- (/ Hfin 2)))
137: (position  (/ Wfin 2)  (- refino_canal (+ (/ Lfin 2) Lfonte))  (/ Hfin 2))  )
138: (sdedr:define-refeval-window "ContatoDreno" "Cuboid"
139: (position (- (/ Wfin 2))  (+ (/ Lfin 2) Lfonte)  (- (/ Hfin 2)))
140: (position  (/ Wfin 2)  (- (+ (/ Lfin 2) Lfonte) refino_canal)  (/ Hfin 2))  )
141:
142: ; Multibox fonte-canal-dreno
143: (sdedr:define-multibox-size "MultiboxCanalFonte"
144: 0.020 0.10 0.020
145: 0.010 0.001 0.010
146: 1 1.4 1)
147:
148: (sdedr:define-multibox-size "MultiboxCanalDreno"
149: 0.020 0.10 0.020
150: 0.010 0.001 0.010
151: 1 -1.4 1)
152:
153: (sdedr:define-multibox-size "MultiboxFonte"
154: 0.020 0.10 0.020
```

```
155: 0.010 0.001 0.010
156: 1 -1.4 1)
157:
158: (sdedr:define-multibox-size "MultiboxDreno"
159: 0.020 0.10 0.020
160: 0.010 0.001 0.010
161: 1 1.4 1)
162:
163: (sdedr:define-multibox-size "MultiboxContatoFonte"
164: 0.020 0.10 0.020
165: 0.010 0.001 0.010
166: 1 1.8 1)
167:
168: (sdedr:define-multibox-size "MultiboxContatoDreno"
169: 0.020 0.10 0.020
170: 0.010 0.001 0.010
171: 1 -1.8 1)
172:
173:
174: ; Aplicação refino materiais
175: (sdedr:define-refinement-material "RefSi" "Si"  "Silicon" )
176: (sdedr:define-refinement-placement "RefOx" "Ox"  "Oxide" )
177:
178:
179: ; Aplicação multibox
180:          (sdedr:define-multibox-placement          "RefMultiboxCanalFonte"
"MultiboxCanalFonte" "CanalFonte")
181:          (sdedr:define-multibox-placement          "RefMultiboxCanalDreno"
"MultiboxCanalDreno" "CanalDreno")
182:  (sdedr:define-multibox-placement  "RefMultiboxFonte"  "MultiboxFonte"
"Fonte")
183:  (sdedr:define-multibox-placement  "RefMultiboxDreno"  "MultiboxDreno"
"Dreno")
184:         (sdedr:define-multibox-placement         "RefMultiboxContatoFonte"
"MultiboxContatoFonte" "ContatoFonte")
185:         (sdedr:define-multibox-placement         "RefMultiboxContatoDreno"
"MultiboxContatoDreno" "ContatoDreno")
186:
187: ; Refino Interfaces
188:  (sdedr:define-refinement-function  "Si"  "MaxLenInt"  "Silicon"  "Oxide"
0.0002 1.6 "DoubleSide")
189:
190: ;-----------------------------------------------------------------------
191: ; CONSTRUCAO DA GRADE
192:
193: (sde:build-mesh "snmesh" "" "n@node@_msh")
```

# APÊNDICE B — EXEMPLO DE ARQUIVO DE SIMULAÇÃO DE DISPOSITIVO NO SENTAURUS DEVICE SIMULATION

sdevice_des.cmd:

```
001: #define _H @<0.5*H>@
002: !(
003:     if { "@Type@"  == "nMOS" } {
004:         set SIGN   1.0
005:         set GM "P"
006:     } else {
007:         set SIGN   -1.0
008:         set GM "N"
009:     }
010: )!
011:
012: File {
013:     Output =  "@log@"
014:     Plot =    "@tdrdat@"
015:     Current = "@plot@"
016: }
017: Physics {
018:     Temperature=@Temp@
019:     Mobility (
020:         HighFieldSaturation
021:     )
022:     Recombination( SRH(DopingDep TempDependence)
023:     )
024:     EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
025: }
026:
027: CurrentPlot {
028:         eInterfaceTrappedCharge(Average(RegionInterface="corpo/oxido")
Maximum(RegionInterface="corpo/oxido")
Minimum(RegionInterface="corpo/oxido"))
029:           eInterfaceTrappedCharge(Average(RegionInterface="corpo/box")
Maximum(RegionInterface="corpo/box")
Minimum(RegionInterface="corpo/box"))
030: }
031:
032: Plot {
033:     AcceptorConcentration
034:     BandGap BandGapNarrowing
035:     ConductionBandEnergy
036:     ConductionCurrent
037:     DielectricConstant
038:     DonorConcentration
039:     Doping
040:     DisplacementCurrent
041:       eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal
eEparallel eEquilibriumDensity
042:       eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass
eSaturationVelocity eVelocity
043:     EffectiveBandGap EffectiveIntrinsicDensity
044:     ElectricField
045:     ElectronAffinity
046:     Potential EquilibriumPotential
047:       hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal
hEparallel hEquilibriumDensity
048:       hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass
hSaturationVelocity hVelocity
049:     IntrinsicDensity
```

```
050:     Temperature
051:     Current
052:     TotalRecombination
053:     ValenceBandEnergy
054:     SpaceCharge
055:     SRHRecombination
056:     eTrappedCharge eGapStatesRecombination
057:     eInterfaceTrappedCharge
058:     hTrappedCharge hGapStatesRecombination
059:     hInterfaceTrappedCharge
060: }
061:
062: Device JL{
063:     File {
064:         * input files:
065:         Grid =    "@tdr@"
066:         Parameter = "@parameter@"
067:         * output files:
068:     }
069:     Electrode {
070:         { Name="source"     Voltage= 0.000 }
071:         { Name="drain"     Voltage= 0.000 }
072:         { Name="gate"     Voltage= 0.000 Material="PolySi"(!(puts $GM)!) }
073:         { Name="substrate" Voltage= 0.000 Material="Silicon"(P=1e15)}
074:     }
075: }
076:
077: System {
078:     JL t1 (source=s drain=d gate=g substrate=b)
079:     Vsource_pset Vd (d 0) {dc=0}
080:     Vsource_pset Vg (g 0) {dc=0}
081:     Vsource_pset Vs (s 0) {dc=0}
082:     Vsource_pset Vb (b 0) {dc=0}
083:             Plot   "IdxVg_L@L@-W@W@-H@H@-tox@tox@-Nd@Ndop@-
Ld@Ld@_T@Temp@_Vd@Vds@.txt" (v(g s) v(d s) v(b s) i(t1 s))
084: }
085:
086: Math {
087:     Extrapolate
088:     #NotDamped=2
089:     Iterations=50
090:     ExitOnFailure
091:     #Smooth
092:     Method = blocked
093:     Submethod=ils
094:     number_of_threads = @Threads@
095: }
096:
097: Solve {
098:     Quasistationary           (
099:         Initialstep=1 Minstep=1e-8 Maxstep=1
100:         Goal {Parameter=Vg.dc Value=0 }
101:     ){Coupled(Iterations=30) { Poisson }  CurrentPlot ( Time = (-1)) }
102:
103:     Quasistationary           (
104:         Initialstep=0.1 Minstep=1e-8 Maxstep=1
105:         Goal {Parameter=Vs.dc Value=0}
106:     ){Coupled(Iterations=20) { Poisson Electron Hole }  CurrentPlot ( Time
= (-1)) }
```

```
107:
108:    Quasistationary          (
109:        Initialstep=1 Minstep=1e-8 Maxstep=1
110:        Goal {Parameter=Vb.dc Value=0}
111:    ){Coupled(Iterations=20) { Poisson Electron Hole }  CurrentPlot ( Time
= (-1)) }
112:
113:    Quasistationary          (
114:        Initialstep=1 Minstep=1e-8 Maxstep=1
115:        Goal {Parameter=Vb.dc Value=@Vbs@}
116:    ){Coupled(Iterations=20) { Poisson Electron Hole }  CurrentPlot ( Time
= (-1)) }
117:
118:    Quasistationary          (
119:        Initialstep=1 Minstep=1e-8 Maxstep=1
120:        Goal {Parameter=Vd.dc Value=@Vds@ }
121:    ){Coupled(Iterations=20) { Poisson Electron Hole }  CurrentPlot ( Time
= (-1)) }
122:
123:    Quasistationary          (
124:        Initialstep=1 Minstep=1e-10 Maxstep=1
125:        Goal {Parameter=Vg.dc Value=!(puts [expr $SIGN*1.5])! }
126:    ){Coupled(Iterations=50) { Poisson Electron Hole }  CurrentPlot ( Time
= (-1)) }
127:
128:    Quasistationary          (
129:        Initialstep=1 Minstep=1e-10 Maxstep=1
130:        Goal {Parameter=Vg.dc Value=!(puts [expr $SIGN*-0.5])! }
131:    ){Coupled(Iterations=50) { Poisson Electron Hole }  CurrentPlot( Time
= (range = (0 1) intervals = 200))  }
132: }
```

# APÊNDICE C — MODELO ESCRITO EM VERILOG-A

Disponível em: https://github.com/clavmbr/JNT

JNT.VA:

```
001: //JNT analytic model
002: //
003: //Based on Doria, Renan T thesis
004: // Centro Universitario FEI
005: //
006: //Verilog model by Moreira, Claudio V
007: //Revision 0.7.0 Set/2018
008:
009: `include "disciplines.vams"
010: `include "constants.vams"
011:
012: `define NMOS 1
013: `define PMOS -1
014: `define TYPE(ndef,pdef) ((type==`NMOS) ? ndef : pdef)
015:
016: //Extra phisical constants
017: `define PHYSICAL_CONSTANTS_NIST2010
018: `define PHY_EPSOX (3.9*`P_EPS0) //Oxide permittivity in F/m
019: `define PHY_EPSSI (11.8*`P_EPS0) //Silicon permittivity in F/m
020: `define PHY_Me 9.10938291e-31 //Eletron mass [kg] (nist/2010)
021: `define PHY_Ml  0.9163 //Longitudinal electron mass
022:
023: //Model parameters
024: `define SE1 10.0
025: `define SE2 5.0
026: `define SE3 4.0
027: `define QC3 18.0
028: `define QC6 2.0
029: `define VDSAT1 10.0
030: `define VDSAT2 2.0
031:
032: module jnt(d, g, s, b);
033:     inout d, g, s, b;
034:     (* desc="Drain terminal" *)  electrical d;
035:     (* desc="Gate terminal" *)   electrical g;
036:     (* desc="Source terminal" *) electrical s;
037:     (* desc="Bulk terminal" *)   electrical b;
038:     (* desc="Internal nodes" *)   electrical di, si;
039:
040:      (* desc="Transistor type" *) parameter integer type = `NMOS from [`PMOS : `NMOS ] exclude 0;
041:      (* desc="Height", units="Meter" *) parameter real h = 10.0E-9 from [1.0e-9 : inf) ;
042:      (* desc="Width", units="meter" *) parameter real w = 10.0E-9 from [1.0e-9 : inf);
043:     (* desc="Channel Lenght", units="Ohm" *)parameter real l = 100.0E-9 from [1.0e-9 : inf);
044:       (* desc="Transistor dopping", units="Meter^-3" *) parameter real ndop=5.0E24 from [1.0e16 : 1.0e30];
045:     (* desc="Gate oxide thickness", units="Meter" *) parameter real tox = 2.0E-9 from [1.0e-10 : inf);
046:     (* desc="Burried oxide tickness", units="Meter" *) parameter real tbox = 100.0E-9 from [1.0e-9 : inf);
047:      (* desc="Saturation speed", units="Meter/second" *) parameter real vsat = `TYPE(1.07e5, 8.37e4) from [0.0 : inf);
```

```
048:        (* desc="Low eletric field mobility", units="Meter^2/(volt*second)" *)parameter real u0 = `TYPE(100.0E-4, 40.0E-4) from [0 : 0.15];
049:     (* desc="Substract dopping", units="Meter^-3" *) parameter real nsub = 1.0E21 from [1.0E16 : 1.0E30];
050:        (* desc="Corner capacitance effect" *)parameter real Cox_crnr = 2.3059 from [0.0 : inf);
051:     (* desc="Gate work function adjust", units="electron Volt" *)parameter real d_FiMS = 0.0 from (-inf : inf);
052:      (* desc="Oxide fixed equivalent charge", units="Coloumbs/meter" *) parameter real qox = 0.0 from [0.0 : inf);
053:                    (* desc="Burried oxide fixed equivalent charge", units="Coloumb/meter" *) parameter real qbox = 0.0 from [0.0 : inf);
054:     (* desc="Transistor subthreshold factor" *) parameter real n = 1.0 from [1.0 : 2.0];
055:      (* desc="Acuumulation transition parameter" *) parameter real qc4 = 10.156 from (0.0 : `QC3);
056:      (* desc="Acuumulation transition parameter" *) parameter real qc5 = 8.875 from (0.0 : 100);
057:      (* desc="Short Channel Effect smooth parameter" *) parameter real sce = 15 from [0.0 : 50.0);
058:      (* desc="Drain Voltage Saturation Smooth Parameter" *) parameter real vdsat3 = 2.0 from (0.0 : 30.0);
059:       (* desc="Channel Lenght Modulation parameter" *) parameter real clm1 = 1 from [ 0.0 : 1];
060:     (* desc="Channel Lenght Modulation smooth parameter" *) parameter real clm2 = 10 from ( 0.0 : 100);
061:     (* desc="Mobility degradation factor" *) parameter real theta = 0.0 from [0.0 : 5.0];
062:      (* desc="Mobility degradation factor" *) parameter real theta2 = 0.0 from [0.0 : 5.0];
063:        (* desc="Mobility degradation factor" *) parameter real beta0 = `TYPE(1.109, 1.213) from [ 1.0 : 10];
064:       (* desc="Mobility degradation factor" *) parameter real betaexp = `TYPE(0.66, 0.17) from (0 : 1);
065:     //Series resistence
066:      (* desc="Drain Resistance", units="Ohm" *)  parameter real rd = 0.0 from [0.0 : inf);
067:      (* desc="Source Resistance", units="Ohm" *) parameter real rs = rd from [0.0 : inf);
068:     localparam integer sign = `TYPE(1, -1);
069:
070:     //Density of States
071:     analog function real Nx;
072:         input T, mdx;
073:         real T, mdx;
074:         begin
075:                     Nx =   2.0*pow((2.0 * `M_PI * mdx * `PHY_Me *`P_K * T)/(`P_H*`P_H),(1.5))*2.0;
076:         end
077:     endfunction //Nx
078:
079:     //Temperature in Kelvin
080:     real T;
081:     //Silicon parameters
082:     real fit;
083:     real Nd;
084:     //Capacitances
085:     real Cox;
086:     real Cbox, Wef;
```

```
087:    //Parameters
088:    real Ypot, Qsi, Vfb;
089:    real Vth, mu, Ids;
090:    // source-drain interchange
091:    integer interchange;
092:    real Vbs, Vbs2, VFBs, xdepl, H2;
093:    real vds, Vds, Vgs, Vsb, Vgd, Vs, Vd;
094:    real Qcs,  Qcd, d_I;
095:    //Capacitance calculation
096:    real dQg_dVs, dQg_dVd, dQg_dVb, dQg_dVb_aux;
097:    real dQd_dVg, dQd_dVs, dQd_dVb;
098:    real dQs_dVg, dQs_dVd, dQs_dVb;
099:    real Cgs, Cgd, Cgb;
100:    real Cdg, Cds, Cdb;
101:    real Csg, Csd, Csb;
102:
103:    analog begin
104:        begin : temperature_adjustment
105:            //Celcius to Kelvin
106:            T = $temperature;
107:        end //temperature_adjustment
108:
109:        begin : transistors_parameters
110:            real mt, mde, mdh;
111:            real Nv, Nc, Eg, fif;
112:            real ni, FiMS, FiBS;
113:
114:
115:
116:                mt = 0.1913+T*(-4.042E-5 +T*(1.392E-6 + T *(-4.326E-9 +
T*4.42E-12)));
117:            mde = pow((6.0*sqrt(`PHY_Ml*(mt*mt))),(2.0/3.0));
118:                mdh =  0.5906 + T*(-2.45E-4 + T*(1.1504E-5 + T*(-4.115E-8
+T*4.502E-11)));
119:
120:            Nd=ndop;
121:
122:            //Density of States
123:            Nv = Nx(T, mdh);
124:            Nc = Nx(T, mde);
125:
126:            //Energy gap
127:            Eg = 1.1696 - 4.73e-4*(T*T)/(636.0+T);
128:
129:            //Thermical Potential
130:            fit = $vt;
131:
132:            //Intrinsic Concentration
133:            ni =  sqrt(Nc*Nv) * exp(-Eg/(2.0*fit));
134:
135:            //Fermi Potential
136:            fif = fit *ln (Nd/ni);
137:            FiMS =  fif + (Eg/2.0) + d_FiMS;
138:
139:            //Potentials
140:            vds = sign * V(di,si);
141:            if (vds >= 0.0) begin
142:                interchange = 0;
143:                Vds = vds;
```

```
144:            Vsb = sign * V(si,b);
145:            Vgs = sign * V(g,si);
146:            Vgd = sign * V(g,di);
147:         end else begin
148:            interchange = 1;
149:            Vds = -vds;
150:            Vsb = sign * V(di,b);
151:            Vgs = sign * V(g,di);
152:            Vgd = sign * V(g,s);
153:         end
154:
155:         //Substract Influence
156:         Vbs = -Vsb;
157:         Cbox = `PHY_EPSOX*w/tbox;
158:         FiBS = fit * ln(Nd*nsub/(ni*ni));
159:         VFBs = FiBS - (qbox/Cbox);
160:                                 Vbs2=(VFBs+`SE1)*(1.0+ln(1.0+limexp(`SE2*(-
1.0+(Vbs+`SE1)/(VFBs+`SE1)))) /(ln(1.0+limexp(`SE2))))-`SE1;
161:                                xdepl = -`PHY_EPSSI*tbox/`PHY_EPSOX +
sqrt((`PHY_EPSSI*tbox/`PHY_EPSOX)*(`PHY_EPSSI*tbox/`PHY_EPSOX)+
2.0*`PHY_EPSSI*(Vbs2-Vbs)/(`P_Q*Nd));
162:                                    H2 = h-h*(1.0-ln(1+limexp(`SE3*(1.0-
(xdepl)/(h))))/(ln(1.0+limexp(`SE3))));
163:         //
164:         Wef = (2.0*h)+w;
165:         Cox = `PHY_EPSOX*((w+2.0*H2)/tox + Cox_crnr);
166:         Vfb = FiMS - (qox/Cox);
167:         Ypot = (`P_Q* Nd* `PHY_EPSSI *(Wef*Wef))/(Cox*Cox);
168:         Qsi = `P_Q*Nd*w*H2 -Cbox*(VFBs-Vbs2);
169:
170:         //Threshold Voltage
171:                                         Vth = Vfb - Qsi/Cox -
(1.0/(`P_Q*Nd))*((Qsi*Qsi)/(`PHY_EPSSI*Wef*Wef));
172:      end //transistors_parameters
173:
174:      //Drain Current calculation
175:      begin : static_analysis
176:         real beta;
177:         Vd = Vds;
178:         Vs = 0.0;
179:         mu=u0;
180:
181:         begin : Del_Vgs_val //SCE
182:            real QC1, QC2, Vgs1, Vgs2, phisdep, phisdepL;
183:            real lambda_w, lambda_h, lambda, aux, phimin;
184:            if (sce > 0.0) begin
185:               QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vs)));
186:               QC2 = (Vth+`QC6)/(2.0*n*fit);
187:                                Vgs1=Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vs)/Vfb))))/ln(1.0+limexp(QC1)));
188:                                Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)) );
189:                                   phisdep = Vgs1 - Vfb + Vs - Ypot/2.0 +
sqrt( (Ypot/2.0)*(Ypot/2.0) - Ypot*(Vgs2-Vfb) );
190:
191:               QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vd)));
192:                                Vgs1=Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vd)/Vfb))))/ln(1.0+limexp(QC1)));
```

```
193:                                Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)) );
194:                                phisdepL = Vgs1 - Vfb + Vd - Ypot/2.0 +
sqrt( (Ypot/2.0)*(Ypot/2.0) - Ypot*(Vgs2-Vfb) );
195:
196:                                                                lambda_w    =
sqrt((`PHY_EPSSI*w*tox/(2.0*`PHY_EPSOX))*(1.0+`PHY_EPSOX*w/(4.0*`
PHY_EPSSI*tox)));
197:                                                                lambda_h    =
sqrt((`PHY_EPSSI*h*tox/(4.0*`PHY_EPSOX))*(1.0+`PHY_EPSOX*h/(2.0*`P
HY_EPSSI*tox)));
198:                                lambda = 1.0/sqrt(1.0/(lambda_w*lambda_w) +
1.0/(4.0*lambda_h*lambda_h));
199:
200:                        aux = (2*(phisdepL-Vd)*(phisdep-Vs)*cosh(l/lambda))-
(((phisdep-Vs)*(phisdep-Vs))+((phisdepL-Vd)*(phisdepL-Vd)));
201:                    if (aux < 0) begin
202:                        aux = 0;
203:                    end//if
204:                    phimin = sqrt(aux)/sinh(l/lambda);
205:                    Vgs = Vgs+phimin;
206:                end //if
207:            end//Del_Vgs_Val
208:
209:            begin : Vdsat_val
210:                real Vdsat, Vdsat2, Vgt;
211:                Vgt = Vgs - Vth;
212:                Vdsat2 = 0.08 + 0.115*pow((l*vsat*1e4),0.33)*Vgt;
213:                Vdsat = Vdsat2*0.5*(1+tanh(3*Vgt))+ Vgt*0.5*(1-tanh(3*Vgt));
214:
215:                        Vdsat = fit+(fit+`VDSAT2)*ln(1.0+ limexp(`VDSAT1*(-
1.0+(Vdsat+`VDSAT2)/(fit+`VDSAT2))))/(ln(1.0+limexp(`VDSAT1)));
216:                                Vd = Vdsat*(1.0-(log(1.0+limexp(vdsat3*(1.0-
Vds/Vdsat))))/(log(1.0+limexp(vdsat3))));
217:            end //Vdsat_val
218:
219:            begin : mob_val
220:                real aux;
221:                mu = u0;
222:                aux = tanh(4.0*(Vgs-Vfb));
223:                mu = mu/(1.0+(theta*max((Vgs-Vfb),0.0) + theta2*Vd)*aux);
224:            end //mob_val
225:
226:            begin : Qcs_val
227:                real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
228:                QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vs)));
229:                QC2 = (Vth+`QC6)/(2.0*n*fit);
230:                                Vgs1=Vfb*(1.0-ln(1.0+ limexp(QC1*(1.0- ((Vgs-
Vs)/Vfb))))/ln(1.0+limexp(QC1)));
231:                                Vgs2 = Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)) );
232:            phisdep = Vgs1 - Vfb + Vs - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0)
- Ypot*(Vgs2-Vfb) );
233:            phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vs)*(Vgs-Vgs1-Vs)/(Ypot*fit)));
234:                phis = phisacc + phisdep;
235:                Qcs = (Vgs - Vfb - phis)*Cox + Qsi;
236:            end //Qcs_val
237:
238:            begin : Qcd_val
```

```
239:            real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
240:            QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vd)));
241:            QC2 = (Vth+`QC6)/(2.0*n*fit);
242:                        Vgs1=Vfb*(1.0-ln(1.0+  limexp(QC1*(1.0-  ((Vgs-
Vd)/Vfb))))/ln(1.0+limexp(QC1)));
243:                        Vgs2  =  Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)));
244:          phisdep = Vgs1 - Vfb + Vd - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0)
- Ypot*(Vgs2-Vfb));
245:           phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vd)*(Vgs-Vgs1-Vd)/(Ypot*fit)));
246:            phis = phisacc + phisdep;
247:            Qcd = (Vgs - Vfb - phis)*Cox + Qsi;
248:          end //Qcd_val
249:
250:          begin : delta_L
251:            real aux, Vgt;
252:            Vgt = Vgs - Vth;
253:            if (Vgt < 0.0) begin
254:              aux = 0.0;
255:            end else begin
256:              aux = max((Vds-Vd),0.0);
257:            end
258:                                                                d_l     =
clm1*sqrt(`PHY_EPSSI*aux/(`P_Q*Nd)*(1.0+tanh(clm2*aux)));
259:          end//delta_L
260:
261:          //DC Current
262:          beta = beta0*pow((T/300.0),betaexp);
263:        mu = mu/(  pow((1.0+pow((mu*Vd/(vsat*(l-d_l))),beta)),(1.0/beta)));
264:          Ids = mu/((l-d_l)*Cox)*(Qcs*Qcs-Qcd*Qcd)*0.5;
265:
266:    end //static_analysis
267:
268:    begin : Capacitance_val
269:      real Qcd_ns, dQcd_dVg, dQcd_dVs, dQcd_dVd, dQcd_dVb;
270:      real dQcs_dVg, dQcs_dVs, dQcs_dVd, dQcs_dVb;
271:      real dVbs2_dVb, dxdepl_dVb;
272:      real dphisB_dVb, dVth_dVb;
273:      real dQg_dVg, dQd_dVd;
274:      real aux1, aux2, aux3, aux4, aux5;
275:                                dVbs2_dVb      =     `SE2*limexp(`SE2*(-
1.0+(Vbs+`SE1)/(VFBs+`SE1)))/((1.0+limexp(`SE2*(-
1.0+(Vbs+`SE1)/(VFBs+`SE1))))*ln(1.0+limexp(`SE2)));
276:      aux1 = `PHY_EPSSI*tbox/`PHY_EPSOX;
277:      aux2 = `PHY_EPSSI/(`P_Q*Nd);
278:       dxdepl_dVb = aux2*(dVbs2_dVb - 1.0)/sqrt(aux1*aux1+2.0*(Vbs2-
Vbs)*aux2);
279:      dphisB_dVb = xdepl*dxdepl_dVb/aux2;
280:                dVth_dVb      =  Cbox*(dphisB_dVb-1.0)  *  (1.0/Cox  +
2.0*Qsi/(`P_Q*Nd*`PHY_EPSSI*(Wef*Wef)));
281:
282:      begin : del_Qcd
283:        real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
284:                real  dVgs1_dVg,  dVgs1_dVs,  dVgs1_dVd,  dVgs1_dVb,
dVgs2_dVg, dVgs2_dVs, dVgs2_dVd, dVgs2_dVb;
285:        real dphisdep_dVg, dphisdep_dVs, dphisdep_dVd, dphisdep_dVb,
dphisacc_dVg, dphisacc_dVs, dphisacc_dVd, dphisacc_dVb;
286:        QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vds)));
287:        QC2 = (Vth+`QC6)/(2.0*n*fit);
```

```
288:            QC2 = QC2 -0.5*QC2/(1+limexp(-3*(Vgs-Vth-Vds)));
289:                        Vgs1  =  Vfb*(1.0-ln(1.0+  limexp(QC1*(1.0-  ((Vgs-
Vds)/Vfb))))/ln(1.0+limexp(QC1)));
290:                            Vgs2  =  Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)));
291:          phisdep = Vgs1 - Vfb + Vds - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0)
- Ypot*(Vgs2-Vfb));
292:          phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vds)*(Vgs-Vgs1-Vds)/(Ypot*fit)));
293:            phis = phisacc + phisdep;
294:            Qcd_ns = (Vgs - Vfb - phis)*Cox + Qsi;
295:                                dVgs1_dVg  =  QC1*limexp(QC1*(1.0-(Vgs-
Vds)/Vfb))/((1.0+limexp(QC1*(1.0-(Vgs-Vds)/Vfb)))*ln(1.0+limexp(QC1)));
296:            dVgs1_dVs = 0.0;
297:            dVgs1_dVd = -1.0*dVgs1_dVg;
298:            dVgs1_dVb = 0.0;
299:                            dVgs2_dVg  =  QC2*dVgs1_dVg*limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))/(ln(1.0+limexp(QC2))*(1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))));
300:            dVgs2_dVs = 0.0;
301:            dVgs2_dVd = -1.0*dVgs2_dVg;
302:                            dVgs2_dVb  =  dVth_dVb*ln(1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6))))/ln(1.0+limexp(QC2))  +  dVth_dVb  -
QC2*(Vgs1+`QC6)/(Vth+`QC6)*dVth_dVb*limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))/((1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6))))*ln(1.0+limexp(QC2)));
303:            aux1 = sqrt(Ypot/(Ypot - 4.0*(Vgs2-Vfb)));
304:            dphisdep_dVg = dVgs1_dVg - dVgs2_dVg * aux1 ;
305:            dphisdep_dVs = 0.0;
306:            dphisdep_dVd = 1.0-dphisdep_dVg;
307:            dphisdep_dVb = -dVgs2_dVb*aux1;
308:            aux1 = Vgs-Vgs1-Vds;
309:            aux2 = 2.0*aux1/(Ypot*(1.0 + aux1*aux1/(Ypot*fit)));
310:            dphisacc_dVg = (1.0-dVgs1_dVg)*aux2;
311:            dphisacc_dVs = 0.0;
312:            dphisacc_dVd = (-1.0-dVgs1_dVd)*aux2;
313:            dphisacc_dVb =0.0;
314:            dQcd_dVg = (1.0 - (dphisdep_dVg + dphisacc_dVg))*Cox;
315:            dQcd_dVs = -(dphisdep_dVs + dphisacc_dVs)*Cox;
316:            dQcd_dVd = -(dphisdep_dVd + dphisacc_dVd)*Cox;
317:                dQcd_dVb = -(dphisdep_dVb + dphisacc_dVb)*Cox + (1.0 -
dphisB_dVb)*Cbox;
318:        end //del_Qcd
319:
320:        begin : del_Qcs
321:            real QC1, QC2, Vgs1, Vgs2, phisdep, phisacc, phis;
322:                    real  dVgs1_dVg,  dVgs1_dVs,  dVgs1_dVd,  dVgs1_dVb,
dVgs2_dVg, dVgs2_dVs, dVgs2_dVd, dVgs2_dVb;
323:          real dphisdep_dVg, dphisdep_dVs, dphisdep_dVd, dphisdep_dVb,
dphisacc_dVg, dphisacc_dVs, dphisacc_dVd, dphisacc_dVb;
324:            QC1 = `QC3-qc4/(1.0+limexp(-qc5 *(Vgs-Vth-Vs)));
325:            QC2 = (Vth+`QC6)/(2.0*n*fit);
326:            QC2 = QC2 -0.5*QC2/(1+limexp(-3*(Vgs-Vth-Vs)));
327:                        Vgs1  =  Vfb*(1.0-ln(1.0+  limexp(QC1*(1.0-  ((Vgs-
Vs)/Vfb))))/ln(1.0+limexp(QC1)));
328:                            Vgs2  =  Vth+(Vth+`QC6)*(ln(1.0+limexp(QC2*(-
1.0+((Vgs1+`QC6)/(Vth+`QC6)))))/ln(1.0+limexp(QC2)));
329:          phisdep = Vgs1 - Vfb + Vs - Ypot/2.0 + sqrt( (Ypot/2.0)*(Ypot/2.0)
- Ypot*(Vgs2-Vfb));
330:            phisacc = fit*ln(1.0+ ((Vgs-Vgs1-Vs)*(Vgs-Vgs1-Vs)/(Ypot*fit)));
```

```
331:            phis = phisacc + phisdep;
332:            Qcs = (Vgs - Vfb - phis)*Cox + Qsi;
333:                                dVgs1_dVg   =   QC1*limexp(QC1*(1.0-(Vgs-
Vs)/Vfb))/((1.0+limexp(QC1*(1.0-(Vgs-Vs)/Vfb)))*ln(1.0+limexp(QC1)));
334:            dVgs1_dVs = -1.0*dVgs1_dVg;
335:            dVgs1_dVd = 0.0;
336:            dVgs1_dVb = 0.0;
337:                              dVgs2_dVg   =   QC2*dVgs1_dVg*limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))/(ln(1.0+limexp(QC2))*(1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))));
338:            dVgs2_dVs = -1.0*dVgs2_dVg;
339:            dVgs2_dVd = 0.0;
340:                              dVgs2_dVb   =   dVth_dVb*ln(1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6))))/ln(1.0+limexp(QC2))     +     dVth_dVb     -
QC2*(Vgs1+`QC6)/(Vth+`QC6)*dVth_dVb*limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6)))/((1.0+limexp(QC2*(-
1.0+(Vgs1+`QC6)/(Vth+`QC6))))*ln(1.0+limexp(QC2)));
341:            aux1 = sqrt(Ypot/(Ypot-4.0*(Vgs2-Vfb)));
342:            dphisdep_dVg = dVgs1_dVg - dVgs2_dVg*aux1;
343:            dphisdep_dVs = 1.0 - dphisdep_dVg;
344:            dphisdep_dVd = 0.0;
345:            dphisdep_dVb = - dVgs2_dVb*aux1;
346:            aux1 = Vgs-Vgs1-Vs;
347:            aux2 = 2.0*aux1/(Ypot*(1.0+aux1*aux1/(Ypot*fit)));
348:            dphisacc_dVg = (1.0-dVgs1_dVg)*aux2;
349:            dphisacc_dVs = (-1.0-dVgs1_dVs)*aux2;
350:            dphisacc_dVd = 0.0;
351:            dphisacc_dVb =0.0;
352:            dQcs_dVg = (1.0 - (dphisdep_dVg + dphisacc_dVg))*Cox;
353:            dQcs_dVs = -(dphisdep_dVs + dphisacc_dVs)*Cox;
354:            dQcs_dVd = -(dphisdep_dVd + dphisacc_dVd)*Cox;
355:                dQcs_dVb = -(dphisdep_dVb + dphisacc_dVb)*Cox + (1.0 -
dphisB_dVb)*Cbox;
356:        end //del_Qcs
357:
358:        aux5 = 1.0/(Qcs+Qcd_ns);
359:        //dQg_dVk
360:        aux1 = (Qcs*Qcs + Qcs*Qcd_ns + Qcd_ns*Qcd_ns)*aux5*aux5;
361:        aux2 = (2.0*Qcs+Qcd_ns)*aux5;
362:        aux3 = (Qcs+2.0*Qcd_ns)*aux5;
363:        aux4 = 2.0*(l-d_l)/3.0;
364:                dQg_dVg  =  aux4*(dQcs_dVg*aux2  +  dQcd_dVg*aux3  -
(dQcs_dVg+dQcd_dVg)*aux1);
365:                dQg_dVs  =  aux4*(dQcs_dVs*aux2  +  dQcd_dVs*aux3  -
(dQcs_dVs+dQcd_dVs)*aux1);
366:                dQg_dVd  =  aux4*(dQcs_dVd*aux2  +  dQcd_dVd*aux3  -
(dQcs_dVd+dQcd_dVd)*aux1);
367:                dQg_dVb  =  aux4*(dQcs_dVb*aux2  +  dQcd_dVb*aux3  -
(dQcs_dVb+dQcd_dVb)*aux1);
368:        dQg_dVb_aux = Cbox*l*(-1+dphisB_dVb);
369:        //dQd_dVk
370:        aux1 = Qcs*(Qcd_ns*Qcd_ns + Qcs*(Qcs+3*Qcd));
371:        aux2 = Qcd_ns*(8.0*Qcs*Qcs + Qcd_ns*(9.0*Qcs + 3.0*Qcd_ns));
372:        aux3 = -2.0*(l-d_l)*aux5*aux5*aux5/15.0;
373:        dQd_dVg = aux3*(2.0*dQcs_dVg*aux1+dQcd_dVg*aux2);
374:        dQd_dVs = aux3*(2.0*dQcs_dVs*aux1+dQcd_dVs*aux2);
375:        dQd_dVd = aux3*(2.0*dQcs_dVd*aux1+dQcd_dVd*aux2);
376:        dQd_dVb = aux3*(2.0*dQcs_dVb*aux1+dQcd_dVb*aux2);
377:        //dQs_dVk
```

```
378:        dQs_dVg = -dQg_dVg - dQd_dVg;
379:        dQs_dVd = -dQg_dVd - dQd_dVd;
380:        dQs_dVb = -dQg_dVb - dQd_dVb;
381:
382:        end //Capacitance_val
383:
384:        Cgs = - dQg_dVs;
385:        Cgd = - dQg_dVd;
386:        Cgb = - dQg_dVb - dQg_dVb_aux;
387:        Cdg = - dQd_dVg;
388:        Cds =   dQd_dVs;
389:        Cdb = - dQd_dVb;
390:        Csg = - dQs_dVg;
391:        Csd =   dQs_dVd;
392:        Csb = - dQs_dVb;
393:
394:        if (interchange==0) begin
395:            I(di,si) <+ sign*Ids;
396:            I(g,si) <+ 0;
397:            I(b,si) <+ 0;
398:        end else begin
399:            I(di,si) <+ -sign*Ids;
400:            I(g,si) <+ 0;
401:            I(b,si) <+ 0;
402:        end
403:        V(d,di) <+ I(di,si)*rd;
404:        V(si,s) <+ I(di,si)*rs;
405:
406:     end //analog begin
407: endmodule
```

# APÊNDICE D — EXEMPLOS DE ARQUIVOS DE ENTRADA SPICE PARA O SIMULADOR ELDO

Arquivo para extração de curvas $I_{DS}\ x\ V_{GS}$:

jnt_vgs.cir:

```
01: //Test circuit for JNT
02: VGS 2 0 DC
03: VDS 1 0 1.5
04: VBS 3 0 0
05:
06: .verilog jnt.va
07: .model jnt macro LANG=veriloga l=30e-7  h=10e-7 Ndop=5e18 theta=0.10
Cox_crnr=2.5
08:
09: Y1 jnt  1  2  0  3 w=40e-7 rd=0
10:
11: .DC VGS 0 1.5 0.01
12: .OPTION VAMAXEXP=300.0 tnom=26.85
13: .PRINT DC I(Y1.D)
14: .PLOT DC I(Y1.D)
```

Arquivo para extração de curvas $I_{DS}\ x\ V_{DS}$ de 6 transistores independentes, obtendo o mesmo resultado de 6 simulações independentes:

jnt_vds.cir:

```
01: //Test circuit for JNT
02: VGT 2 0 0.2
03: VTH1 4 2 6.51481230106165E-01
04: VTH2 5 2 8.50999350389608E-01
05: VTH3 6 2 6.78608774120858E-01
06: VTH4 7 2 5.54161665526923E-01
07: VTH5 8 2 4.62400623179347E-01
08: VTH6 9 2 3.92534928860342E-01
09: VDS 1 0 DC
10: VBS 3 0 0
11:
12: .verilog jnt.va
13: .model jnt macro LANG=veriloga l=100e-7 h=10e-7 Ndop=5e18
theta=0.100 cox_crnr=2.5
14:
15: Y1 jnt 1 4 0 3 w=10e-7 Ndop=1e19
16: Y2 jnt 1 5 0 3 w=10e-7
17: Y3 jnt 1 6 0 3 w=20e-7
18: Y4 jnt 1 7 0 3 w=30e-7
19: Y5 jnt 1 8 0 3 w=40e-7
20: Y6 jnt 1 9 0 3 w=50e-7
21:
22: .DC VDS 0 2.0 0.01
23: .OPTION VAMAXEXP=300.0 VNTOL=1n ITOL=1e-15 RELTOL=1e-9
TNOM=26.85
24: .PRINT DC I(Y1.D) I(Y2.D) I(Y3.D) I(Y4.D) I(Y5.D) I(Y6.D)
25: .PLOT DC I(Y1.D) I(Y2.D) I(Y3.D) I(Y4.D) I(Y5.D) I(Y6.D)
```

# APÊNDICE E — PUBLICAÇÃO REALIZADA AO LONGO DO PROJETO

Moreira, C. V., Trevisoli, R. Pavanello, M. A. Implementation of Long Channel Triple-Gate Junctionless Nanowire Transistor Analytical Model in VERILOG-A. **XIII Workshop on Semiconductors and Micro & Nano Technology (SEMINATEC 2018)**, São Bernardo do Campo, p. 71–72, 2015. ISBN 978-85-98123-12-7.