CENTRO UNIVERSITÁRIO FEI
MARCELLO MARCELINO CORREIA

ESTUDO DOS MOSFETs COM ESTILO DE LEIAUTE DO TIPO ELIPSOIDAL

São Bernardo do Campo
2016

MARCELLO MARCELINO CORREIA

ESTUDO DOS MOSFETs COM ESTILO DE LEIAUTE DO TIPO ELIPSOIDAL

Tese apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Doutor em Engenharia Elétrica. Orientado pelo Prof. Dr. Salvador Pinillos Gimenez.

São Bernardo do Campo

2016

Marcelino Correia, Marcello.
Estudo dos MOSFETs com estilo de leiaute do tipo elipsoidal / Marcello Marcelino Correia. São Bernardo do Campo, 2016.
158 p. : il.

Tese - Centro Universitário FEI.
Orientador: Prof. Dr. Salvador Pinillos Gimenez.

1. Elipsoidal. 2. PAMDLE. 3. LCE. 4. MOSFET. I. Pinillos Gimenez, Salvador , orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE TESE
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Doutorado

PGE-10

Aluno: Marcello Marcelino Correia **Matrícula:** 512202-3

Título do Trabalho: Estudo dos mosfets com estilo de leiaute do tipo elipsoidal.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 12/12/2016

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

São Bernardo do Campo, 12 / 12 / 2016.

MEMBROS DA BANCA EXAMINADORA	
Prof. Dr. Salvador Pinillos Gimenez	Ass.:
Prof.ª Dr.ª Michelly de Souza	Ass.:
Prof. Dr. Renan Trevisoli Doria	Ass.:
Prof. Dr. Ely Antonio Tadeu Dirani	Ass.:
Prof. Dr. Mauricio Massazumi Oka	Ass.:

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA TESE

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

A Deus, meus pais e todos os companheiros de todas as horas. Aos alunos, que vão precisar desta referência. Aos colegas professores, que revisaram este documento.

AGRADECIMENTOS

Agradeço a minha Mãe Jane e a meu Pai Irineu (em memória) pela paciência, perseverança e educação que ajudaram na formação de meu caráter e abriu caminho para a realização e conclusão de mais esta etapa em minha vida.

Agradeço a minha esposa Simone e a meus filhos Lucas e Isabella, pela paciência e compreensão nos momentos de ausência. Pelas palavras de incentivo e apoio, que ajudaram na conclusão deste trabalho.

Ao Prof. Dr. Salvador Pinillos Gimenez, por sua atenciosa orientação, confiança, paciência, incentivo e por todas as suas contribuições, tornando possível a realização deste trabalho.

Aos professores das disciplinas deste curso de doutorado, por suas aulas produtivas.

Aos meus companheiros de classe pelas esclarecedoras discussões e por sempre estarem dispostos a ajudar.

As tantas outras pessoas, que de alguma forma, colaboraram para a realização deste trabalho e que, de forma involuntária, não foram mencionados aqui.

À CAPES e a FEI pela confiança e apoio financeiro.

“I am convinced that He (God) does not play dice. God is subtle, but he is not malicious. God does not care about our mathematical difficulties. He integrates empirically.”
Albert Einstein

RESUMO

O objetivo deste trabalho é realizar um estudo comparativo experimental e por simulação numérica tridimensional (3D) entre os transistores de efeito de campo do tipo Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor*, MOS, *Field Effect Transistor,* MOSFET) com geometrias de porta do tipo Elipsoidal (EM) e do tipo convencional retangular (CM), considerando-se as mesmas larguras de canal (W), áreas de porta (A_G) e condições de polarização (BC). Além disso, é proposto um modelo analítico para a corrente de dreno do EM. O EM é uma evolução do MOSFET do tipo Diamante (geometria de porta hexagonal) (DM) e do MOSFET do tipo OCTO (geometria de porta octogonal) (OM), o qual foi cuidadosamente projetado para usar os efeitos de canto longitudinal (*Longitudinal Corne Effect*, LCE) e o da associação paralela de MOSFETs com diferentes comprimentos de canais (***PA**rallel Connection of **M**OSFETs with **D**ifferent channel **L**engths **E**ffect*, PAMDLE) para melhorar ainda mais o seu desempenho elétrico em relação aos DMs e OMs equivalentes, pois sua geometria de porta não apresenta cantos. Os dispositivos foram fabricados usando o processo MOS Complementar (CMOS) de circuitos integrados (CIs) comercial de 350 nm da *ON-Semiconductor*, via o programa educacional do MOSIS (MOSIS *Educational Program*, MEP). Este trabalho mostra experimentalmente que a estrutura com estilo de leiaute elipsoidal (*Elipsoidal layout style*, ELS) para MOSFETs prova ser capaz de aumentar notavelmente o desempenho elétrico dos MOSFETs em comparação aos dispositivos convencionais (de geometria de porta retangular), sem gerar qualquer custo adicional para os atuais processos de fabricação planares de CIs CMOS. Por exemplo, o EM é capaz de aumentar mais de 2 vezes a corrente de dreno de saturação e também é capaz de melhorar a resistência de estado ligado em cerca de 55% em relação ao seu respectivo CM equivalente, considerando as mesmas larguras de canal, áreas de porta A_G e condições de polarização. Portanto, o MOSFET do tipo Elipsoidal pode ser considerado um dispositivo alternativo para potencializar significativamente o desempenho elétrico dos MOSFETs em comparação aos CMs equivalentes, focando-se principalmente nas aplicações de CIs CMOS analógicos.

Palavras-chave: Elipsoidal. PAMDLE. LCE. MOSFET.

ABSTRACT

The aim of this work is to perform an experimental comparative study and by three-dimensional numerical simulations between the Metal-Oxide-Semiconductor (MOS) Field Effect Transistor (MOSFET) with the ellipsoidal (EM) and conventional rectangular gate geometries (CM), considering the same channel widths (W), gate areas (A_G) and bias condition (BC). In addition, an analytical model for the EM drain current is proposed. The EM is an evolution of the Diamond MOSFET (hexagonal gate geometry) (DM) and OCTO MOSFET (Octagonal gate geometry) (OM), which are carefully designed to use the effects known as Longitudinal Corner effect (LCE) and the Parallel Connection of MOSFETs with Different channel Lengths Effect (PAMDLE) to further improve its electrical performance as compared to DMs and OMs, since EM gate geometry does not present corners. The devices were manufactured using commercial 350 nm Complementary MOS (CMOS) process of the integrate circuits (ICs) of the ON-Semiconductor, through of the MOSIS Educational Program (MEP). This work experimentally shows that the structure with ellipsoidal layout style (ELS) proves to be able to significantly increase the electrical performance of MOSFETs as compared to conventional counterpart devices (of rectangular gate geometry), without generating any additional cost to current planar CMOS ICs manufacturing processes. For example, the EM is able to increase more than 2 times its saturation drain current, and approximately 55% its on-state-resistance in relation to their respective CM counterparts, considering the same W, A_G and bias conditions. Therefore, the Ellipsoidal MOSFET can be considered as an alternative device to significantly enhance the electrical performance of MOSFETs focusing on the analog CMOS ICs applications.

Keywords: Elipsoidal. PAMDLE. LCE. MOSFET.

LISTA DE FIGURAS

Figura 1 - Esboço simplificado da seção transversal de um nMOSFET implementado com tecnologia de fabricação Bulk CMOS 32

Figura 2 - Exemplo da extração da S por meio da uma curva de log(I_{DS}) em função de V_{GS}, com indicação da região de sub-limiar 35

Figura 3 - Exemplo de uma curva da g_m em função de V_{GS}, com a indicação do $g_{m_máx}$ 36

Figura 4 - Exemplo de curva da g_m/I_{DS} em função de $I_{DS}/(W/L)$ 37

Figura 5 - Curva de I_{DS} em função de V_{DS} 38

Figura 6 - Efeito da modulação do comprimento de canal de um nMOSFET 39

Figura 7 - Exemplo da extração de V_{EA} por meio da curva de I_{DS} em função de V_{DS}, considerando-se dois valores de V_{GS} (V_{GS1} e V_{GS2}) 40

Figura 8 - Curva da frequência de ganho de tensão unitário em função da corrente de dreno normalizada pela razão de aspecto 41

Figura 9 - Exemplo de uma curva da tensão de limiar em função do comprimento de canal em um MOSFET 42

Figura 10 - Ilustração do leiaute da estrutura planar de um MOSFET do tipo Elipsoidal 44

Figura 11 - Fotografia de uma das estruturas planares de um EM 45

Figura 12 - Fotografia de uma das estruturas planares do MOSFET do tipo retangular estudado neste trabalho 45

Figura 13 - Exemplo de uma ilustração tridimensional da estrutura planar de um nMOSFET do tipo Elipsoidal 46

Figura 14 - Ilustração da vista superior de um nMOSFET do tipo Elipsoidal com as componentes do campo elétrico longitudinal 47

Figura 15 - Esboço de um nMOSFET do tipo Elipsoidal 48

Figura 16 - Circuito elétrico equivalente de um MOSFET do tipo Elipsoidal 49

Figura 17 - Figura geométrica da elipse e seus principais parâmetros geométricos 49

Figura 18 - Curva da porcentagem dos comprimentos de canal dos dispositivos EMs em relação aos dos CMs equivalentes 55

Figura 19 - Ganhos da corrente de dreno do EM em relação ao do CM equivalente em função da razão de aspecto 57

Figura 20 - Curvas experimentais das I_{DS} em função de V_{GT} 62

Figura 21 - Curvas experimentais do Log(I_{DS}) em função de V_{GT} dos EMs e dos seus CMs equivalentes, considerando-se uma W/L=0,6, W/L=0,8 e V_{DS}=0,5V 65
Figura 22 - Curvas experimentais das I_{DS} em função das V_{DS} 66
Figura 23 - Curvas das I_{DS_sat} em função da W/L 67
Figura 24 - R_{ON}.(W/L) em função da W/L 69
Figura 25 - V_{EA} em função da W/L 72
Figura 26 - Curvas experimentais das g_m/(W/L) em função de V_{GS} 73
Figura 27 - g_m/I_{DS} em função de I_{DS}/(W/L) 74
Figura 28 - Curvas experimentais dos A_V em função da I_{DS}/(W/L) 76
Figura 29 - f_T em função da I_{DS}/(W/L) 77
Figura 30 - Curvas experimentais e do modelo proposto das I_{DS} em função da V_{GT}, considerando-se uma W/L igual a 0,8 e um V_{DS} igual a 0,5V 81
Figura 31 - Curvas experimentais e do modelo proposto das I_{DS} em função da V_{GT}, considerando-se uma W/L igual a 0,6 e um V_{DS} igual a 0,5V 82
Figura 32 - Curvas experimentais e do modelo proposto das I_{DS} em função da V_{DS}, considerando-se uma W/L igual a 0,8 e um V_{GT} igual a 0,5V 83
Figura 33 - Curvas experimentais e do modelo proposto das I_{DS} em função da V_{DS}, considerando-se uma W/L igual a 0,6 e um V_{GT} igual a 0,5V 84
Figura 34 - Ilustração tridimensional da estrutura de um MOSFET do tipo retangular86
Figura 35 - Vista tridimensional da grade do CM 86
Figura 36 - Grades em corte no centro do CM, no plano x,z (a) e no plano de corte x,y (b), respectivamente 87
Figura 37 - Ilustração tridimensional da estrutura de um MOSFET do tipo Elipsoidal87
Figura 38 - Vista tridimensional da grade do EM 88
Figura 39 - Grades em corte no centro do CM, no plano de corte x,z (a) e no plano de corte x,y (b), respectivamente 88
Figura 40 - Curvas simuladas das I_{DS} em função de V_{GT} 90
Figura 41 - Curvas simuladas dos Log(I_{DS}) em função de V_{GT} 92
Figura 42 - Curvas simuladas das I_{DS} em função das V_{DS} 93
Figura 43 - Curvas simuladas da I_{DS_sat} função da W/L 94
Figura 44 - Curvas simuladas da R_{ON}.(W/L) em função da W/L 95
Figura 45 - Curvas simuladas das g_m/(W/L) em função de V_{GT} 98
Figura 46 - Curvas simuladas da g_m/I_{DS} em função de I_{DS}/(W/L) 100

Figura 47 - Curvas simuladas do A_V em função da $I_{DS}/(W/L)$ 102
Figura 48 - Curvas simuladas das f_T em função de $I_{DS}/(W/L)$ 104
Figura 49 - Ilustração do plano de corte x,y para o MOSFET do tipo convencional, 108
Figura 50 - Ilustração do plano de corte x,y para o MOSFET do tipo Elipsoidal..... 108
Figura 51 - Ilustração do plano de corte x,y no CM..... 109
Figura 52 - Ilustração do plano de corte x,y no EM..... 109
Figura 53 - Ilustração do plano de corte y,z do CM, que está situado em x=11µm (centro do transistor)..... 110
Figura 54 - Ilustração do plano de corte y,z do EM, que está localizado em x=11µm 110
Figura 55 - Ilustração do plano de corte y,z para o EM e para o CM equivalente..... 111
Figura 56 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do CM 112
Figura 57 - Densidade total da corrente de dreno correspondente a Figura 56..... 112
Figura 58 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do CM 113
Figura 59 - Densidade total da corrente de dreno correspondente a Figura 58..... 114
Figura 60 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do EM..... 114
Figura 61 - Densidade total da corrente de dreno correspondente do EM e do seu CM equivalente..... 116
Figura 62 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do EM..... 117
Figura 63 - Densidade total da corrente de dreno correspondente ao EM e do seu CM equivalente..... 118
Figura 64 - Ilustração da distribuição da densidade total da corrente de dreno do CM no plano y,z,..... 119
Figura 65 - Densidade total da corrente de dreno correspondente ao CM da Figura 92 na direção y..... 120
Figura 66 - Ilustração da distribuição da densidade total da corrente de dreno da camada de inversão do CM no plano y,z..... 120
Figura 67 - Densidade total da corrente de dreno correspondente ao CM da Figura 94 na direção y do plano de corte y,z 121

Figura 68 - Ilustração da distribuição da densidade total da corrente de dreno do CM no plano y,z 122
Figura 69 - Curva da densidade total da corrente de dreno correspondente ao EM da Figura 68 na direção y do plano de corte y,z 123
Figura 70 - Densidade total da corrente de dreno correspondente ao EM da Figura 69 e do seu CM equivalente da Figura 65 na direção y do plano de corte y,z 124
Figura 71 - Ilustração da distribuição da densidade total da corrente de dreno do EM no plano y,z 125
Figura 72 - Densidade total da corrente de dreno correspondente ao EM da Figura 71 na direção y do plano de corte y,z 126
Figura 73 - Densidade total da corrente de dreno correspondente ao EM da Figura 72 e seu CM equivalente da Figura 67 127
Figura 74 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do CM 128
Figura 75 - Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do CM 129
Figura 76 - Campo elétrico longitudinal correspondente ao CM da Figura 74 na direção x do plano de corte x,y 130
Figura 77 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do CM 130
Figura 78 - Curva do campo elétrico longitudinal correspondente a Figura 77 131
Figura 79 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do EM 132
Figura 80 - Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do EM 133
Figura 81 - Campo elétrico longitudinal correspondente ao EM da Figura 79 e do seu CM equivalente da Figura 76 134
Figura 82 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do EM 135
Figura 83 - Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do EM 136
Figura 84 - Campo elétrico longitudinal correspondente ao EM (Figura 82) e do seu CM equivalente (Figura 78) 137

Figura 85 - Ilustração da distribuição do campo elétrico longitudinal do CM no plano de corte y,z 138
Figura 86 - Campo elétrico longitudinal do CM no plano de corte y,z (Figura 85)... 139
Figura 87 - Ilustração da distribuição do campo elétrico longitudinal na camada de inversão do CM no plano y,z 139
Figura 88 - Campo elétrico longitudinal do CM (Figura 87) na direção y do plano de corte y,z 140
Figura 89 - Ilustração da distribuição do campo elétrico longitudinal da camada de inversão do EM no plano y,z 141
Figura 90 - Curva do campo elétrico do EM (Figura 158) na direção y do plano de corte y,z 142
Figura 91 - Campo elétrico longitudinal do EM (Figura 89) e do seu CM equivalente (Figura 86) na direção y do plano de corte y,z 143
Figura 92 - Ilustração da distribuição do campo elétrico longitudinal da camada de inversão do CM no plano y,z 144
Figura 93 - Curva do campo elétrico do EM (Figura 92) na direção y do plano de corte y,z 145
Figura 94 - Curvas do campo elétrico longitudinal correspondente ao EM (Figura 93) e do seu CM equivalente (Figura 88) 146

LISTA DE TABELAS

Tabela 1 - Comparações entre as dimensões geométricas dos EMs e dos CMs equivalentes 54
Tabela 2 - Características dimensionais das estruturas MOSFETs estudadas..... 61
Tabela 3 - Tabela comparativa das V_{TH} dos EMs e dos seus CMs equivalentes para V_{DS}=50mV 61
Tabela 4 - Ganhos das I_{DS} na região triodo 63
Tabela 5 - Ganhos das I_{DS} dos EMs em relação a dos seus CMs equivalentes 64
Tabela 6 - I_{DS_sat} dos EMs e dos seus CMs equivalentes, considerando-se V_{DS}=1,5V 68
Tabela 7 - R_{ON} dos EMs e dos seus CMs equivalentes 69
Tabela 8 - S dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=50mV 70
Tabela 9 - V_{EA} dos EMs e dos seus CMs equivalentes 71
Tabela 10 - $g_{m_máx}$/(W/L) dos EMs e dos seus CMs equivalentes..... 73
Tabela 11 - g_m/I_{DS} dos EMs e dos seus CMs equivalentes..... 75
Tabela 12 - A_V dos EMs e dos seus CMs equivalentes..... 76
Tabela 13 - f_T experimental dos EMs e dos seus CMs equivalentes..... 78
Tabela 14 - Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito (L_{eff}, I_{DS_Tri}, I_{DS_Sat}, R_{ON}, S e V_{EA})..... 79
Tabela 15 - Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito ($g_{m_Máx}$, I_{ON}, I_{OFF}, I_{Leak}) 79
Tabela 16 - Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T) 80
Tabela 17 - Características dimensionais das estruturas MOSFETs simuladas 89
Tabela 18 - Tabela comparativa das V_{TH} simuladas dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=50mV 89
Tabela 19 - Ganhos das I_{DS} dos EMs em relação aos seus CMs equivalentes 91
Tabela 20 - Ganhos das I_{DS} dos EMs em relação aos seus CMs equivalentes 93
Tabela 21 - R_{ON}.(W/L) dos EMs em relação aos seus CMs equivalentes..... 95
Tabela 22 - S dos EMs e dos seus CMs equivalentes..... 96
Tabela 23 - Resultados simulados das V_{EA} 97
Tabela 24 - $g_{m_máx}$/(W/L) dos EMs e dos seus CMs equivalentes..... 99
Tabela 25 - g_m/I_{DS} simulados dos EMs e dos seus CMs equivalentes..... 101
Tabela 26 - A_V simulados dos EMs e dos seus CMs equivalentes..... 103

Tabela 27 - f_T simuladas dos EMs e dos seus CMs equivalentes 105
Tabela 28 - Quadro geral comparativo dos resultados das simulações numéricas 3D dos parâmetros elétricos e figuras de mérito (L_{eff}, I_{DS_Tri}, I_{DS_Sat}, R_{ON}, S, V_{EA} e $g_{m_Máx}$) dos EMs e dos CMs equivalentes 106
Tabela 29 - Quadro geral comparativo dos resultados das simulações numéricas 3D dos parâmetros elétricos e figuras de mérito (I_{ON}, I_{OFF}, I_{Leak}) dos EMs e dos CMs equivalentes 106
Tabela 30 - Quadro geral comparativo dos resultados dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T) obtidos por simulações numéricas 3D 107

LISTA DE ABREVIATURAS E SIGLAS

2D	Bidimensional
3D	Tridimensional
BC	Condições de polarização (*Bias Conditions*)
BOX	Óxido enterrado (*Buried Oxide*)
CI(s)	Circuito(s) Integrado(s)
CM	MOSFET Convencional (com geometria de porta retangular)
CMOS	Tecnologia Complementar MOS (*Complementary Metal-Oxide-Semiconductor*)
CVT	*Lombardi CVT Model* (CVT)
DEPAMBBRE	Efeito da desativação dos MOSFETs parasitas nas regiões de bico de pássaro *(Deactivation of the Parallel MOSFETs in the Bird's Beak Regions*
ECU	Unidade de Controle Eletrônico (*Electronic Control Unit*)
EM	MOSFET do tipo Elipsoidal
ESD	Descargas Eletrostáticas (*Eletrostatic Discharge*)
FDSOI	Tecnologia SOI totalmente depletado (*Fully Depleted SOI*)
FET	Transistor de Efeito de Campo (*Field Effect Transistor*)
FinFET	Transistor de Efeito de Campo do tipo "Fin" (*Fin Field Effect Transistor*)
GAA	Transistor de porta circundante (*Gate-All-Around*)
LCE	Efeito de canto longitudinal (*Longitudinal Corner Effect*)
LEF	Campo elétrico longitudinal (*Longitudinal Effect Field*)
MOS	Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor*)
MEP	Programa educacional do MOSIS (*MOSIS Educational Program*)
MOSIS	*Metal-Oxide-Semiconductor Implementation Service*
MOSFET	Transistor MOS por efeito de campo (*Metal-Oxide-Semiconductor Field Effect Transistor*)

MuGFET	Transistor de Efeito de Campo de Múltiplas Portas
nMOSFET	Transistor de efeito de campo MOS de canal n (*Field Effect Transistor Metal-Oxide-Semiconductor, n-channel*)
OTA	Amplificador operacional de transcondutância (*Operational Transconductance Amplifier, OTA*)
PAMDLE	Efeito da Associação Paralela de MOSFETs com diferentes comprimentos de canal (*PArallel connections of MOSFETs with Different channel Lengths Effect*)
RM	Região de regime de inversão moderada
RS	Região de regime de inversão forte
RW	Região de regime de inversão fraca
SCE	Efeitos de canal curto (*Short Channel Effects*)
SOI	Silício sobre isolante (*Silicon-on-Insulator*)
UTB	Camada de silício ultrafinos (*UltraThin-Body*)
UTBB	Camada de silício e óxido enterrado ultrafinos (*Ultra-Thin-Body-and-Buried-oxide*)
ULSI	Altíssima escala de integração (*Ultra Large Scale Integration*)

LISTA DE SÍMBOLOS

A	Área da junção [µm]
A_V	Ganho de tensão [V/V ou dB]
A_G	Área de porta do MOSFET [μm^2]
B	Maior comprimento de canal do MOSFET do tipo Elipsoidal [µm]
BV_{DS}	Tensão de ruptura entre dreno e fonte [V]
b	Menor comprimento de canal do MOSFET do tipo Elipsoidal [µm]
C_D	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{GS_inv}	Capacitância entre porta e fonte com o canal invertido [F/cm^2]
C_L	Capacitância de carga [F]
C_{ox}	Capacitância do óxido de porta por unidade de área [F/cm^2]
C_{si}	Capacitância da camada de silício por unidade de área [F/cm^2]
D_n	Coeficiente de difusão do elétron [cm^2/s]
E_C	Nível inferior de energia da faixa de condução [eV]
E_F	Nível de Fermi do semicondutor [eV]
E_{FB}	Nível de Fermi do metal/eletrodo de substrato [eV]
E_{FM}	Nível de Fermi do metal/eletrodo de porta [eV]
E_g	Largura da faixa proibida (*band gap*) [eV]
E_i	Nível de energia do material intrínseco [eV]
E_V	Nível de energia superior da faixa de valência [eV]
F_1	Foco 1 da elipse
F_2	Foco 2 da elipse
f_T	Frequência de ganho de tensão unitário [Hz]

g_D	Condutância de dreno [S]
g_{Dsat}	Condutância de dreno na região de saturação [S]
G_{LCE}	Ganho da corrente de dreno do EM relativo ao efeito LCE
g_m	Transcondutância [µS]
$g_{m_máx}$	Máxima transcondutância [µS]
G_{PAMDLE}	Ganho da corrente de dreno do EM relativo ao efeito PAMDLE
I_{DS}	Corrente de dreno [A]
I_{DS_CM}	Corrente de dreno do dispositivo CM [A]
I_{DS_EM}	Corrente de dreno do dispositivo EM [A]
I_{DS_Sat}	Corrente de dreno na região de saturação [A]
I_{DS_Tri}	Corrente de dreno na região triodo [A]
I_{LEAK}	Corrente de fuga [A]
I_{OFF}	Corrente de dreno de estado desligado [A]
I_{ON}	Corrente de dreno de estado ligado [A]
k	Constante de Boltzmann [1,38066 x 10^{-23} J/K]
L	Comprimento do canal do MOSFET [µm]
L_{eff}	Comprimento efetivo do canal do MOSFET [µm]
L_{CM}	Comprimento de canal do dispositivo CM [µm]
L_{Geo}	Comprimento de canal equivalente do EM em relação a do MOSFET convencional (porta com formato retangular) considerando que ambos apresentam as mesmas áreas de porta [µm]
L_{min}	Dimensão mínima permitida pelo processo de fabricação de CIs CMOS [µm]
n	Fator de corpo
N_A	Concentração de impurezas aceitadoras no semicondutor [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]

P_1	Ponto localizado no eixo longitudinal definido pelos focos da elipse
P_2	Ponto qualquer localizado fora do eixo definido pelos focos da elipse
q	Carga elementar do elétron [$1,6x10^{-19}$ C]
Q_{deple}	Densidade de carga de depleção na camada silício [C/cm^2]
Q_{ox}	Densidade de carga fixa no óxido de porta [C/cm^2]
R_{on}	Resistência entre dreno e fonte de estado ligado [Ω]
R_{eff}	Raio definido pela solução da equação de Poisson para se converter um GAA MOSFET do tipo elipsoidal em um GAA MOSFET do tipo circular [μm]
S	Inclinação de sub-limiar [mV/dec]
T	Temperatura absoluta [K]
t_{ox}	Espessura da camada do óxido de porta no MOSFET [nm]
t_{si}	Espessura da camada de silício do canal [nm]
V_{DS}	Tensão entre dreno e fonte [V]
V_{DS_SAT}	Tensão entre dreno e fonte de saturação [V]
V_{EA}	Tensão *Early* [V]
V_{FB}	Tensão de faixa plana [V]
V_{GS}	Tensão aplicada entre a porta e a fonte do MOSFET [V]
V_S	Tensão aplicada a fonte [V]
V_{SUB}	Tensão aplicada ao substrato [V]
V_{TH}	Tensão de limiar [V]
W	Largura do canal do MOSFET [nm]
W’	Largura infinitesimal do canal do MOSFET [nm]

X_{dmax}	Profundidade máxima da região de depleção no MOSFET [nm]
$\vec{\varepsilon}$	Vetor campo elétrico longitudinal [V/m]
ε_{si}	Permissividade do silício [ε_{si}=1,0443x10^{-12} F/cm]
ε_{ox}	Permissividade do óxido de silício [F/cm]
μ_N	Mobilidade do nMOSFET [cm^2/V.s]
α	Fator de acoplamento capacitivo do MOSFET
β	Ângulo formado no vértice da estrutura do MOSFET do tipo Diamante [graus]
β_N	Fator de ganho do MOSFET do tipo n
ΔL	Variação do comprimento de canal devido ao aumento da região de depleção próximo ao dreno do dispositivo [µm]
λ	Fator de modulação de comprimento de canal do MOSFET [V^{-1}]
ϕ_F	Potencial de Fermi da camada de silício [V]
Φ_{MS}	Diferença das funções trabalho entre o metal e o material semicondutor [V]
τ	Constante de tempo de atraso de um MOSFET [s]

SUMÁRIO

1 INTRODUÇÃO 25

1.1 OBJETIVO 29

1.2 ORGANIZAÇÃO DO TRABALHO 30

2 CONCEITOS FUNDAMENTAIS 31

2.1 APRESENTAÇÃO DO MOSFET CONVENCIONAL IMPLEMENTADO COM TECNOLOGIA CMOS DE CIs CONVENCIONAIS (BULK) 31

2.2 PARÂMETROS ELÉTRICOS DO MOSFET 32

2.2.1 Tensão de limiar 32

2.2.2 Corrente de dreno 33

2.2.3 Inclinação de sub-limiar 34

2.2.4 Transcondutância 36

2.2.5 Razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada pela razão de aspecto 36

2.2.6 Resistência entre o dreno e a fonte de estado ligado 37

2.2.7 Tensão *Early* 38

2.2.8 Ganho de tensão intrínseco do MOSFET 40

2.2.9 Frequência de ganho de tensão unitário do MOSFET 40

2.2.10 Efeito de canal curto 42

2.2.11 Constante de tempo de atraso 42

2.2.12 Simulador numérico tridimensional (3D) de dispositivos semicondutores .. 43

3 APRESENTAÇÃO DAS CARACTERÍSTICAS E DA MODELAGEM DO MOSFET DO TIPO ELIPSOIDAL 44

3.1 APRESENTAÇÃO E CARACTERÍSTICAS DO MOSFET DO TIPO ELIPSOIDAL 44

3.2 MODELAGEM DO MOSFET DO TIPO ELIPSOIDAL 46

4 RESULTADOS 60

4.1 RESULTADOS EXPERIMENTAIS 60

4.1.1 Estrutura e tecnologia utilizada para a fabricação dos dispositivos 60

4.1.2 Tensões de limiar 61

4.1.3 Curvas experimentais das correntes de dreno em função das sobretensões de porta (V_{GT}) 62

4.1.4 Curvas experimentais dos log(I_{DS}) em função das sobretensões de porta (V_{GT}) 64

4.1.5 Curvas experimentais das correntes de dreno em função das tensões de dreno 66

4.1.6 Resistências de estado ligado entre dreno e fonte 68

4.1.7 Inclinações de sub-limiar 70

4.1.8 Tensões *Early* 71

4.1.9 Curvas experimentais das transcondutâncias em função das sobretensões de porta 72

4.1.10 Curvas experimentais das razões das transcondutâncias pelas correntes de dreno em função das correntes de dreno normalizadas pelas razões de aspecto 74

4.1.11 Curvas experimentais do ganho de tensão intrínseco dos MOSFETs 75

4.1.12 Curvas experimentais das frequências de ganho de tensão unitário 77

4.1.13 Quadro comparativo geral dos principais parâmetros elétricos e figuras de mérito obtidos experimentalmente 78

4.2 MODELO ANALÍTICO PROPOSTO DA I_{DS} PARA O EM 80

4.2.1 Validação do modelo analítico da I_{DS} proposto para os MOSFETs do tipo Elipsoidal 80

4.3 RESULTADOS OBTIDOS POR SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS 84

4.3.1 Características físicas e elétricas dos dispositivos simulados 88

4.3.2 Curvas simuladas das correntes de dreno em função das sobretensões de porta (V_{GT}) 90

4.3.3 Curvas simuladas dos Log(I_{DS}) em função das sobretensões de porta (V_{GT}) 91

4.3.4 Curvas simuladas das correntes de dreno em função das tensões de dreno 92

4.3.5 Resistências de estado ligado entre dreno e fonte 94

4.3.6 Inclinações de sub-limiar 96

4.3.7 Tensão *Early* 96

4.3.8 Curvas simuladas das transcondutâncias em função das sobretensões de porta 97

4.3.9 Curvas simuladas das razões das transcondutâncias pelas correntes de dreno em função das correntes de dreno normalizadas pelas razões de aspecto 99

4.3.10 Curvas simuladas do ganho de tensão intrínseco dos MOSFETs 101

4.3.11 Curvas simuladas das frequências de ganho de tensão unitário 103

4.3.12 Quadro comparativo geral dos principais parâmetros elétricos e figuras de mérito obtidos pelas simulações numéricas tridimensionais 105

4.4 RESULTADOS OBTIDOS POR SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS PARA A DENSIDADE TOTAL DA CORRENTE DE DRENO E PARA O CAMPO ELÉTRICO LONGITUDINAL 107

4.4.1 Resultados obtidos por simulação numérica 3D da densidade total da corrente de dreno no plano de corte x,y dos EMs e dos seus respectivos CMs equivalentes 111

4.4.2 Resultados obtidos por simulação numérica 3D para a densidade total da corrente de dreno no plano de corte y,z das estruturas EMs e de seus respectivos CMs equivalentes 118

4.4.3 Resultados obtidos por simulação numérica 3D para campo elétrico longitudinal no plano de corte x,y das estruturas EMs e de seus respectivos CMs equivalentes 127

4.4.4 Resultados obtidos por simulação numérica 3D para campo elétrico longitudinal no plano de corte y,z das estruturas EMs e dos seus respectivos CMs equivalentes 138

5 CONCLUSÃO 147

PUBLICAÇÕES 149

REFERÊNCIAS 150
APÊNDICE A - ARQUIVOS DAS SIMULAÇÕES NUMÉRICAS 3D ATLAS.. 155

1 INTRODUÇÃO

O transistor de efeito de campo (*Field-Effect-Transistor* FET) do tipo *Metal-Óxido-Semicondutor* (MOS) é o dispositivo mais utilizado atualmente em circuitos integrados (CIs) MOS complementar (CMOS) analógicos e digitais. Os "*Metal-Oxide-Semiconductor Field Effect Transistor"* (MOSFETs) estão presentes nos sistemas de telecomunicações, nos computadores, nos relógios, em elementos dos componentes automotivos, nas calculadoras, em equipamentos aeroespaciais, entre outros. Os MOSFETs também estão presentes em aplicações analógicas como por exemplo, nos conversores analógicos-digitais, CIs de chaveamento, em circuitos de filtros, em transdutores, em *drivers*, nas fontes de alimentação, etc. (AUBERTON-HERVÉ et al., 1993; BALESTRA et al., 2002).

Para o desenvolvimento de CIs CMOS com altíssima escala de integração (ULSI-*Ultra Large Scale Integration*) são necessários MOSFETs com características elétricas cada vez melhores e com menores dimensões. Em consequência desse fato, a dificuldade na obtenção de transistores com propriedades elétricas adequadas, ou seja, sem os efeitos de 2ª ordem, levando-se em conta a tecnologia de CIs CMOS, aumentou excessivamente. Isto ocorre devido à necessidade de redução do canal desses dispositivos. Isso se justifica, pois, a fonte e o dreno passam a ter uma maior influência sobre as cargas na região do canal, surgindo várias anomalias conhecidas, tais como os efeitos de canal curto, que são responsáveis por reduzir a tensão de limiar e aumentar a inclinação de sub-limiar (COLINGE, 2004).

Muitas pesquisas foram e estão sendo realizadas com o intuito de aumentar o desempenho elétrico dos MOSFETs e também para reduzir as suas dimensões, como por exemplo, as técnicas do tensionamento mecânico para melhorar a mobilidade dos portadores no canal dos dispositivos (KUMARI et al., 2004), das especificações dos eletrodos metálicos avançados com função trabalho adequada sobre camadas de materiais dielétricos, chamados *high-K,* para se ter uma espessura de óxido equivalente de unidades de nanômetros (EOT) com desprezível corrente de fuga no óxido de porta (KUMARI et al., 2004), novas estruturas de dispositivos planares como o "*UltraThin-Body"* (UTB) (BAILEY; GURUMURTHY, 2010; ENDO et al., 2013), o "*Ultra Thin-Body-Buried Oxide*" (UTBB) (SOLARO et al., 2013) e o "*Silicon-On-Insulator*" (SOI) MOSFET (SOLARO et al., 2013), e dispositivos tridimensionais inovadores, como o "*Multi-Gate Field Effect Transistor*" (MuGFET) (PARK; COLINGE, 2002) e o FinFET

(FASARAKIS et al., 2014) etc. Todas essas novas abordagens visam a melhoraria do desempenho elétrico desses dispositivos (COLINGE, 2004; PERUZZI et al., 2012; FINO et al., 2013).

Além de todos estes esforços, outra abordagem para melhorar o desempenho elétrico dos transistores, ainda pouco exploradas pelas indústrias de semicondutores e de CIs CMOS, é a utilização de geometrias de porta diferentes daquelas utilizadas tradicionalmente (porta retangular) (GIMENEZ, 2009).

Alguns desses estilos não convencionais de leiaute de porta foram estudados por meio de simulações numéricas tridimensionais e caracterizações elétricas experimentais e seus resultados demonstram claramente que eles são capazes de potencializar o seu desempenho elétrico. Essa técnica não gera qualquer custo adicional para o atual processo de fabricação de CIs CMOS, pois requerem apenas a mudança do leiaute da porta dos transistores (CORREIA; GIMENEZ, 2015; PERUZZI et al., 2012; GIMENEZ; ALATI, 2010; FINO et al., 2013; CLASER et al., 2010).

Podemos citar como exemplos de MOSFETs que utilizam leiautes não convencionais para melhorar os seus desempenhos elétricos em relação aos convencionais equivalentes o "*Overlapping Circular-Gate* MOSFET" (LIMA et al., 2011), o "*Wave*" (porta em forma da letra "S") (GIMENEZ, 2009), o "*Diamond*" (porta hexagonal) (PERUZZI et al., 2012; GIMENEZ; ALATI, 2010), o "*Octo*" (porta octogonal) (FINO et al., 2013; CLASER et al., 2010), e o "*Fish*" (porta no formato do símbolo matemático "<") (GIMENEZ; ALATI, 2011; GIMENEZ et al., 2011). Uma outra forma de leiaute inovador desenvolvida a partir das evoluções dos MOSFETs dos tipos Diamante (DM: geometria de porta hexagonal) e Octo é o MOSFET do tipo Elipsoidal (CORREIA; GIMENEZ, 2015; CORREIA et al., 2013; CORREIA et al., 2014).

Alguns trabalhos sobre o impacto da forma elipsoidal foram considerados de interesse. Na referência (LI; HWANG, 2009), investigou-se o efeito da geometria na razão de aspecto do *"silicon ellipse-shaped surrounding gate field-effect transistor"* (SGFET), devido às variações dos processos de fabricação de CIs CMOS. Este trabalho mostrou que, em termos de desempenho elétrico, os dispositivos com uma razão de aspecto menor que 1 são melhores em CIs CMOS analógicos, pois o efeito de canal curto é reduzido. Mas para aplicações em CIs CMOS digitais, por exemplo, a resposta a transitórios, que depende da capacidade de carga e descarga dos MOSFETs, um transistor com uma razão de aspecto maior que 1 (2 por exemplo), é capaz de produzir

um melhor desempenho elétrico (LI; HWANG, 2009). Um outro trabalho interessante foi aquele que fez a modelagem para o efeito de canal curto (SCE) no *"elliptical Gate-All-Around* (GAA) *MOSFET"*, através do uso do conceito do raio efetivo (R_{eff} é o raio definido pela solução da equação de Poison para se converter um GAA MOSFET do tipo Elipsoidal em um GAA MOSFET do tipo circular) (ZHANG, 2011). Pesquisas recentes mostram avanços no processo de fabricação de MOSFET GAA (BANGSARUNTIP at al, 2009; JIANG at al, 2008). Modelos analíticos foram propostos para entender o comportamento dos MOSFETs GAA (JIMENEZ at al., 2004; YU at al., 2008; AUTH at al., 1997; YU at al., 2009). Esses modelos focam um MOSFET GAA com estrutura ideal, simétrica e cilíndrica. Porém, na fabricação real de MOSFETs GAA não é comum conseguir-se secção transversal com simetria circular. Particularmente, MOSFETs GAA com secção transversal elíptica foram relatadas, devido ao processo de litografia e oxidação (BANGSARUNTIP at al., 2009; NG at al., 2009). A principal conclusão desse trabalho foi que o GAA MOSFET com geometria elipsoidal é capaz de apresentar praticamente o mesmo efeito de canal curto e também o mesmo valor da razão da corrente de dreno de estado ligado (I_{ON}) sobre a corrente de dreno de estado desligado (I_{OFF}), I_{ON}/I_{OFF}, que o GAA MOSFET circular equivalente, considerando-se que eles apresentam o mesmo R_{eff} (ZHANG, 2011). Outro trabalho importante que podemos destacar, considerou diferentes geometrias para sistemas de mira (usada para apontar o alvo). Considerando o plano bidimensional, provou-se que a melhor forma geométrica é aquela implementada com um formato de mira elipsoidal, levando-se em consideração tabelas de distribuição chi-quadrado, desde que o volume da porta seja constante, quando comparada à porta retangular e a porta circular (KOSUGE; MATSUZAKI, 2003). Além desses trabalhos, foi publicado um estudo sobre o impacto da variabilidade do diâmetro da seção transversal elíptica sobre o atraso de propagação do GAA MOSFET multicanal em inversores. Esse trabalho concluiu que os dispositivos elipsoidais de canal longo podem oferecer significativa redução no tempo de atraso de CIs CMOS, pelo adequado ajuste do diâmetro efetivo e pelo número de canais dos transistores (KUMAR; JHA, 2013).

O MOSFET do tipo Elipsoidal é uma evolução dos MOSFETs dos tipos Diamante (geometria de porta hexagonal) e Octo (geometria de porta octogonal). Ele foi cuidadosamente projetado para aumentar ainda mais a tolerância às Descargas Eletrostáticas (*Eletrostatic Discharge*, ESD) e aumentar ainda mais a tensão de ruptura (BV_{DS}) em relação ao MOSFET do tipo Octo. Esses dispositivos são capazes de

adicionar novos efeitos elétricos às suas estruturas construtivas, que na grande maioria das vezes, potencializam os valores de seus parâmetros elétricos e figuras de mérito em relação aos dos seus equivalentes convencionais (geometria de porta retangular, CM), considerando-se que eles apresentam as mesmas larguras de canal (W), áreas de porta (A_G) e condições de polarização (BC).

Um desses inovadores efeitos é conhecido como "Efeito de Canto Longitudinal" (LCE), que é responsável por gerar diferentes componentes do campo elétrico longitudinal (LEF) ao longo do canal (PERUZZI et al., 2012; FINO et al., 2013; CORREIA et al., 2013; CORREIA et al., 2014), dependendo do número de arestas que a geometria de porta apresenta e, portanto, gerando um LEF resultante ao longo do canal maior do que aquele observado no CM equivalente, levando-se em conta que esses dispositivos apresentam as mesmas W, A_G e BC (PERUZZI et al., 2012; FINO et al., 2013; CORREIA et al., 2013; CORREIA et al., 2014). Esse efeito tem a capacidade de fazer com que a corrente de dreno (I_{DS}) flua mais pela região central do canal, pois tem-se uma maior interação entre as diferentes componentes vetoriais do LEF em decorrência da polarização entre o dreno e a fonte.

Um outro efeito é o da "Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal (*PArallel connections of MOSFETs with Different channel Lengths Effect*, PAMDLE), onde os MOSFETs implementados com estas geometrias inovadoras de porta podem ser eletricamente representados por um grande número de transistores associados em paralelo, com as mesmas larguras infinitesimais do canal (W') e com diferentes comprimentos de canal (L). Esse efeito é responsável por aumentar ainda mais o fluxo da corrente elétrica nas bordas da região do canal, pois os transistores infinitesimais pertencentes a essas regiões apresentam menores comprimentos de canal (L) (PERUZZI et al., 2012; FINO et al., 2013; CORREIA et al., 2013; CORREIA et al., 2014). Um outro aspecto interessante do efeito PAMDLE é que ele é responsável por reduzir o comprimento de canal efetivo (L_{eff}) dos MOSFETs implementados com geometrias de porta não convencionais, quando comparados com aqueles dos CMs equivalentes (mesmas W e A_G) (CORREIA et al., 2014). Cabe aqui ressaltar que esses MOSFETs com geometrias de porta não convencionais não podem ser fabricados com as dimensões mínimas permitidas pelo processo de fabricação de CIs CMOS (L_{min}). Eles geralmente são utilizados principalmente nas aplicações de CIs CMOS analógicos (PERUZZI et al., 2012; FINO et al., 2013; CORREIA et al., 2013; CORREIA et al., 2014).

O MOSFET do tipo Elipsoidal é uma evolução natural do MOSFET do tipo Diamante e do MOSFET do tipo Octogonal, que continuam sendo exaustivamente estudados, mas pelo fato que ele não apresenta cantos e por consequência tende a apresentar um melhor desempenho elétrico que os demais, motiva o desenvolvimento desse projeto de pesquisa.

1.1 OBJETIVO

A produção de CIs CMOS utilizando a tecnologia planar ainda apresenta custos mais baixos para as indústrias, quando comparado a outras tecnologias, como por exemplo a de dispositivos tridimensionais. Novas geometrias de porta têm a capacidade de melhorar o desempenho elétrico dos MOSFETs planares sem trazer quaisquer custos adicionais aos processos de fabricação de CIs CMOS e, portanto, podem aumentar o seu tempo de utilização.

Esta tese de doutorado tem como objetivos realizar a caracterização elétrica dos principais parâmetros elétricos e figuras de mérito de MOSFETs implementados com o formato da porta elipsoidal (EM), que é uma evolução natural do octogonal (OM) e do MOSFET do tipo Diamante (DM). Esses resultados serão comparados com os obtidos dos MOSFETs do tipo retangular equivalentes, considerando-se diferentes comprimentos de canal (L), mesmas larguras de canal (W), áreas de porta (A_G) e condições de polarização (BC).

Para a parte experimental foram fabricados MOSFETs com tecnologia de CIs CMOS convencional (Bulk) de 350 nm da ON-Semiconductor, através do Programa Educacional do MOSIS (MEP).

A caracterização elétrica experimental dos MOSFETs foi realizada com o Keithley 4200 (*Semiconductor Characterization System*), disponível no laboratório de caracterização elétrica do Centro Universitário FEI.

Neste trabalho também será apresentado um modelo analítico para o comportamento do MOSFET do tipo Elipsoidal, levando-se em consideração os efeitos LCE e PAMDLE.

Com o objetivo de estudar o comportamento elétrico do MOSFET do tipo Elipsoidal, foram investigados os seguintes parâmetros: tensão *Early* (V_{EA}), resistência entre dreno e fonte de estado ligado (R_{on}), corrente de dreno (I_{DS}) nas regiões de Triodo (I_{DS_Tri}) e de Saturação (I_{D_Ssat}), transcondutância (g_m), transcondutância sobre a corrente

de dreno (g_m/I_{DS}), transcondutância máxima ($g_{m_máx}$), o ganho de tensão intrínseco (A_V) e a frequência de ganho de tensão unitário (f_T). Os resultados obtidos são comparados com os dos MOSFETs convencionais retangulares equivalente (CM), para identificar as vantagens e desvantagens de cada uma das estruturas estudadas. Também se estudou os mesmos parâmetros elétricos e figuras de mérito através do simulador numérico 3D ATLAS, verificando-se o comportamento do campo elétrico longitudinal e a densidade total da corrente de dreno no volume das estruturas elipsoidais e convencionais equivalentes, com o intuito de verificar a influência dos efeitos encontrados na estrutura elipsoidal (LCE e PAMDLE).

1.2 ORGANIZAÇÃO DO TRABALHO

O trabalho está dividido em cinco capítulos. Além desse capítulo 1 que introduz este trabalho, serão apresentados mais 4 capítulos descritos nos próximos parágrafos.

No capítulo 2 serão apresentados os conceitos fundamentais, dando-se ênfase aos principais parâmetros elétricos e figuras de mérito do MOSFET, nos quais este trabalho se baseia.

No capítulo 3, serão realizados o estudo e a proposta de um modelo para o MOSFET do tipo Elipsoidal.

No capítulo 4, serão apresentadas as comparações dos resultados experimentais dos principais parâmetros e figuras de mérito entre os MOSFETs implementados com geometrias de porta elipsoidal e de seus respectivos convencionais equivalentes. Além disso, serão apresentadas as curvas características obtidas com a utilização do modelo proposto do MOSFET do tipo Elipsoidal, que são comparadas com os valores experimentais. Neste capítulo também serão apresentados os resultados obtidos por simulações numéricas tridimensionais desses transistores, para entender o impacto dos efeitos LCE e PAMDLE, que são capazes de potencializar o desempenho elétrico dos MOSFETs do tipo Elipsoidal.

No capítulo 5, por fim, serão apresentadas as conclusões das investigações realizadas por este trabalho e os potenciais trabalhos que podem ser realizados futuramente.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo serão apresentados os principais conceitos básicos sobre o MOSFETs, seus principais parâmetros elétricos e figuras de mérito, que servirão de base para o entendimento deste trabalho.

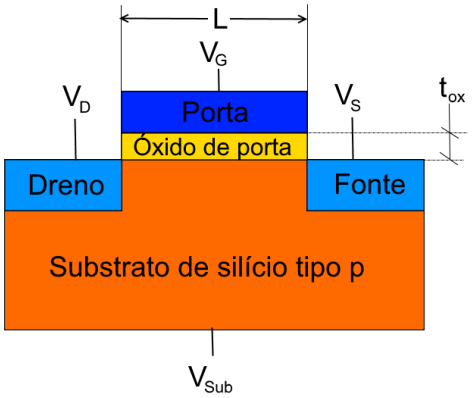
2.1 APRESENTAÇÃO DO MOSFET CONVENCIONAL IMPLEMENTADO COM TECNOLOGIA CMOS DE CIs CONVENCIONAIS (BULK)

O físico Lilienfield inventou o primeiro transistor de efeito de campo do tipo MOSFET em 1926, mas sua produção em massa só foi possível com o avanço da tecnologia de fabricação de óxido de porta (LILIENFIELD, 1930).

Em decorrência do desenvolvimento da tecnologia de fabricação de CIs CMOS, foi possível a manufatura de dispositivos semicondutores cada vez menores e mais complexos, que desencadeou o surgimento de efeitos indesejados (efeitos de segunda ordem) nesses dispositivos, que limitaram o seu desempenho elétrico, como por exemplo o efeito tiristor parasitário (*latch-up*), efeito de perfuração MOS (*punch-throught*), aumento da resistência série, perfuração das junções rasas (*spikes*), efeito de canal curto, entre outros (COLINGE, 2004; EL-MANSY, 1982).

A Figura 1 apresenta um exemplo simplificado de uma seção transversal de um MOSFET, canal n (nMOSFET), com geometria de porta retangular, que foi implementado com tecnologia convencional (*Bulk*) CMOS. Nesta figura, tem-se as indicações dos contatos do substrato de silício, da porta, do dreno e da fonte, respectivamente, e também da espessura do óxido de porta (t_{ox}), do comprimento de canal (L), o dreno, a fonte e as tensões de polarização desse transistor, onde: V_D é a tensão de dreno, V_G é a tensão de porta, V_{SUB} é a tensão aplicada ao substrato e V_S é a tensão de fonte.

Figura 1 - Esboço simplificado da seção transversal de um nMOSFET implementado com tecnologia de fabricação Bulk CMOS



Fonte: Autor

2.2 PARÂMETROS ELÉTRICOS DO MOSFET

A seguir serão apresentados alguns parâmetros elétricos e figuras de mérito dos MOSFETs implementados com tecnologia *Bulk* CMOS que são de interesse desse trabalho de pesquisa.

2.2.1 Tensão de limiar

Em um MOSFET do tipo n, a tensão de limiar (V_{TH}) é definida como sendo a tensão necessária que deve ser aplicada na porta do transistor para que haja um acúmulo pelicular de portadores de carga móvel minoritários na região do canal, formando assim, uma camada de inversão na superfície da interface do canal com o óxido de porta, fornecendo condições para a passagem de corrente elétrica entre o dreno e a fonte (SZE, 1981; MARTINO et al., 2003; COLINGE, 2002).

A Equação (1) define o comportamento da tensão de limiar de um nMOSFET com geometria de porta retangular e implementado com tecnologia convencional (*Bulk*) CMOS (COLINGE, 2004; MARTINO et al., 2003).

$$V_{TH} = V_{FB} + 2.\phi_F + \frac{q.N_A.X_{dmáx}}{C_{ox}}, \quad (1)$$

onde V_{FB} é a tensão de faixa plana, ϕ_F é o potencial de Fermi, q é a carga elementar do elétron ($1{,}6x10^{-19}$ C), N_A é a concentração de impurezas aceitadoras na região do canal, $X_{dmáx}$ é a profundidade máxima da região de depleção, e C_{ox} é a capacitância do óxido de porta por unidade de área.

Existem vários métodos para extração de V_{TH}. Entre esses métodos, existe um, chamado de método da derivada de segunda ordem da curva I_{DS} em função da tensão aplicada entre a porta e a fonte (V_{GS}), que mantém a tensão aplicada entre o dreno e a fonte (V_{DS}) bastante baixa (CONDE, 2002).

2.2.2 Corrente de dreno

A corrente de dreno (I_{DS}) em um MOSFET é a corrente elétrica que flui entre os contatos de dreno e fonte. O MOSFET pode operar em três regiões: região de corte, região triodo e região de saturação (MARTINO et al., 2003; SEDRA; SMITH, 2000).

Quando o nMOSFET se encontra na região de corte, tem-se que $V_{GS} < V_{TH}$ ou $V_{GS} - V_{TH} < 0$ e, portanto, para um modelo de primeira ordem, $I_{DS}=0$ A (SZE, 1981; MARTINO et al., 2003; SEDRA; SMITH, 2000).

Quando o nMOSFET opera na região triodo, tem-se $0 < V_{DS} \leq V_{GS} - V_{TH}$ e, portanto, a Equação (2) representa o modelo matemático para a I_{DS} nesta região (MARTINO et al., 2003; SEDRA; SMITH, 2000).

$$I_{DS} = \beta_N \left[(V_{GS} - V_{TH}).V_{DS} - \frac{V_{DS}^2}{2} \right], \tag{2}$$

onde β_N é o fator de ganho do nMOSFET, que é dado pela Equação (3).

$$\beta_N = \frac{\mu_N.\varepsilon_{ox}}{t_{ox}}.\left(\frac{W}{L}\right), \tag{3}$$

onde μ_N é a mobilidade dos portadores de carga móveis no canal do nMOSFET e ε_{ox} é a permissividade do óxido de silício.

Analisando a Equação (3), nota-se que o fator de ganho do nMOSFET é dependente de dois fatores: o processo de fabricação (μ_N, ε_{ox} e t_{ox}, que são definidos

pela tecnologia de fabricação de CIs CMOS) e a geometria do canal (L e W, que são definidos pelo projetista do dispositivo) (MARTINO et al., 2003).

Para um nMOSFET operando na região de saturação, tem-se $0 < V_{GS} - V_{TH} \leq V_{DS}$. A Equação (4) descreve o modelo para a I_{DS} nesta região (SEDRA; SMITH, 2000).

$$I_{DS} = \beta_N \frac{(V_{GS} - V_{TH})^2}{2} . (1 + \lambda . V_{DS}) , \quad (4)$$

onde λ é o fator de modulação do comprimento de canal e é definido pela Equação (5) (SEDRA; SMITH, 2000).

$$\lambda = -\frac{1}{V_{EA}} , \quad (5)$$

onde V_{EA} é a tensão *Early*.

2.2.3 Inclinação de sub-limiar

A inclinação de sub-limiar (S) do MOSFET indica o quanto é necessário variar a tensão de porta desse dispositivo para que se eleve a corrente de dreno em uma década, considerando-se que o transistor esteja operando na região de sub-limiar (COLINGE, 2002). Este é um importante parâmetro dos transistores em aplicações de CIs CMOS digitais, pois a velocidade de chaveamento de um MOSFET aumenta para menores valores de S. Assim, uma menor inclinação da sub-limiar indica uma melhor característica para aplicações de CIs CMOS digitais, isto é, com menores S, obtêm-se maiores variações na corrente de dreno do dispositivo na região de sub-limiar com menores variações na tensão de porta (BREWS, 1979; COLINGE, 2002).

A Equação (6) define a inclinação de sub-limiar para os MOSFETs (BREWS, 1979).

$$S = \frac{dV_{GS}}{d(\log(I_{DS}))} = \frac{K.T}{q} . \ln(10) . n, \quad (6)$$

onde K é a constante de Boltzmann, T é a temperatura absoluta em Kelvin e n é o fator de corpo do transistor, definido pela Equação (7) (LIM; FOSSUM, 1983).

$$n = 1+\propto, \tag{7}$$

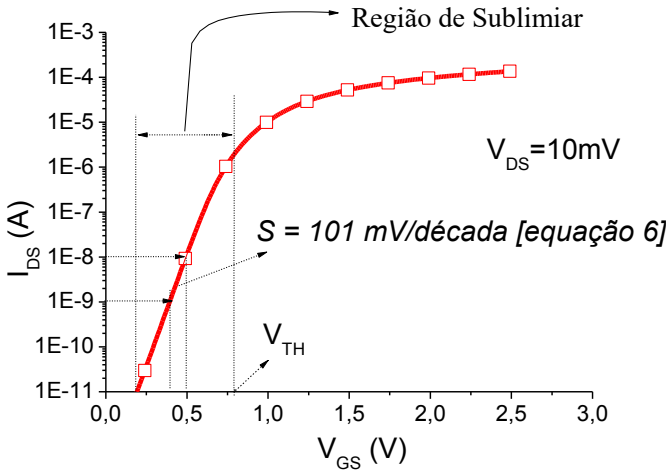
onde α é o fator de acoplamento capacitivo do MOSFET e está definido na Equação (8)

$$\propto = \frac{C_D}{C_{ox}}, \tag{8}$$

onde C_D é a capacitância da região de depleção por unidade de área.

A Figura 2 apresenta um exemplo da extração de S de uma curva log(I_{DS}) em função de V_{GS} para V_{DS} igual a 10mV.

Figura 2 - Exemplo da extração da S por meio da uma curva de log(I_{DS}) em função de V_{GS}, com indicação da região de sub-limiar



Fonte: Autor

Vários dispositivos eletrônicos, por exemplo, calculadoras, relógios de pulso, entre outros, utilizam alimentação por células solares onde o ponto de operação de seus transistores encontra-se na região de sub-limiar, para que o consumo de energia desses equipamentos seja reduzido (BAKER, 2010). No entanto, CIs CMOS projetados para operar nessa região possuem uma maior sensibilidade a ruídos (BAKER, 2010).

2.2.4 Transcondutância

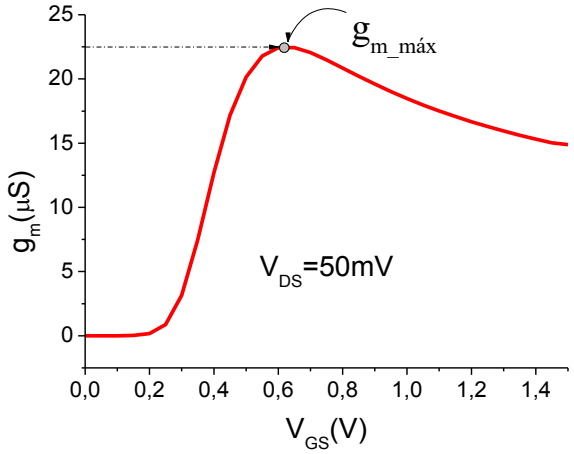
A transcondutância (g_m) é definida como sendo a eficácia que o MOSFET apresenta no controle da tensão de porta sobre a corrente de dreno (GROVE, 1967; COLINGE, 2004). A Equação (9) define matematicamente a transcondutância de um MOSFET (GROVE, 1967; COLINGE, 2004; SZE; NG, 2007).

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \tag{9}$$

onde ∂ é o operador matemático da derivada.

A Figura 3 apresenta um exemplo da curva de g_m em função de V_{GS} para um nMOSFET, onde está identificado o valor da máxima transcondutância ($g_{m_máx}$) desse transistor.

Figura 3 - Exemplo de uma curva da g_m em função de V_{GS}, com a indicação do $g_{m_máx}$



Fonte: Autor

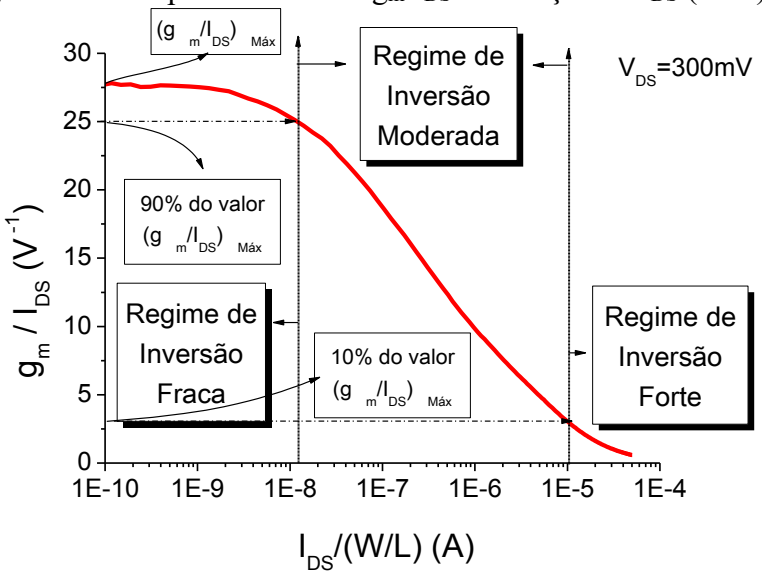
2.2.5 Razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada pela razão de aspecto

A razão da transcondutância pela corrente de dreno (g_m/I_{DS}) em função da corrente de dreno normalizada pela razão de aspecto [$I_{DS}/(W/L)$] é uma figura de mérito que mostra a qualidade de um transistor focando as aplicações analógicas de CIs CMOS, ou seja, é uma grandeza usada para caracterizar o desempenho elétrico

analógico desse dispositivo. A curva da razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada pela razão de aspecto do transistor é utilizada para projetos de CIs CMOS analógicos, tais como, os amplificadores operacionais de transcondutância (*Operational Transconductance Amplifiers,* OTAs). Além disso, a curva de g_m/I_{DS} em função de $I_{DS}/(W/L)$ é uma característica universal para todos os MOSFETs produzidos no mesmo processo de fabricação. Ela pode ser gerada a partir de dados experimentais ou pelos resultados de simulações numéricas tridimensionais (VITTOZ, 1994; SILVEIRA at al., 1996; FLANDRE, 1996).

A Figura 4 mostra um exemplo da curva de g_m/I_{DS} em função de $I_{DS}/(W/L)$ para um dispositivo nMOSFET.

Figura 4 - Exemplo de curva da g_m/I_{DS} em função de $I_{DS}/(W/L)$



Fonte: Autor

2.2.6 Resistência entre o dreno e a fonte de estado ligado

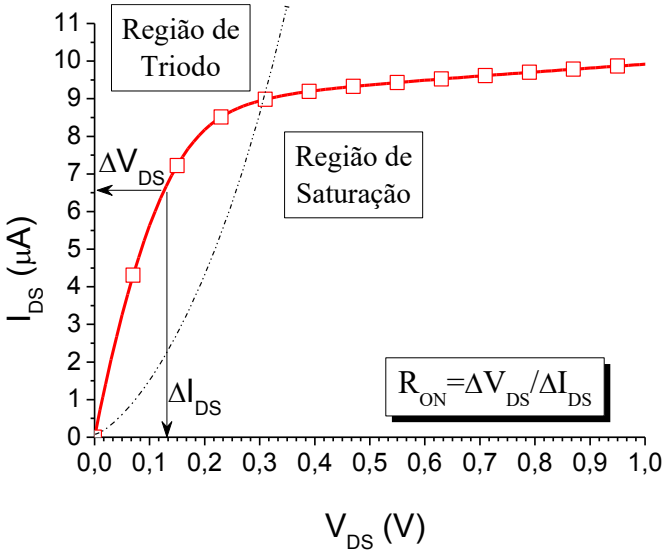
Um importante parâmetro digital é a resistência entre o dreno e a fonte de estado ligado (R_{ON}), porque o tempo de carga e descarga de um sinal na entrada de um MOSFET é diretamente proporcional a este parâmetro. Portanto, obtêm-se dispositivos mais rápidos para menores valores de R_{ON}. A R_{ON} é a soma das resistências parasitárias do dreno, do canal e da fonte. Ela é um parâmetro importante para MOSFETs operando como chave digital. A Equação (10) define o seu valor (SEDRA; SMITH, 2000).

$$R_{on} = \frac{\Delta V_{DS}}{\Delta I_{DS}} \ , \tag{10}$$

onde ΔV_{DS} é a variação da tensão de dreno e ΔI_{DS} é a variação da corrente de dreno, considerando-se que o MOSFET está operando na parte linear da região triodo.

A Figura 5 mostra a curva de I_{DS} em função de V_{DS} de um nMOSFET, indicando os valores para ΔV_{DS} e ΔI_{DS} na região triodo para o cálculo de R_{ON}.

Figura 5 - Curva de I_{DS} em função de V_{DS}

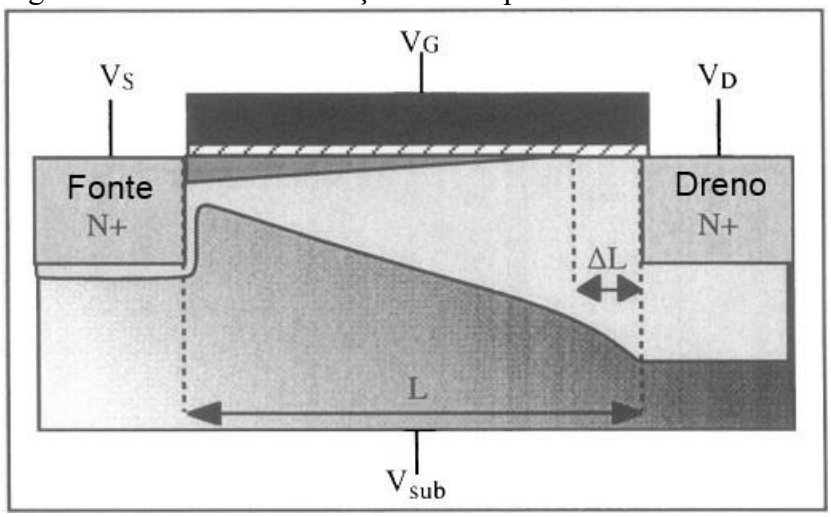


Fonte: Autor

2.2.7 Tensão *Early*

Em um MOSFET, quando a tensão aplicada ao dreno é maior que a tensão de saturação ($V_{DS_SAT} > V_{GS} - V_{TH}$), a região de depleção do canal próximo ao dreno aumenta, ocasionando uma redução no comprimento efetivo do canal (L_{eff}), que é igual a $L - \Delta L$, onde ΔL é a variação do comprimento de canal devido ao aumento da região de depleção próximo ao dreno do dispositivo, também chamado de efeito de modulação do comprimento de canal, conforme está ilustrado na Figura 6 (COLINGE, 2002).

Figura 6 - Efeito da modulação do comprimento de canal de um nMOSFET



Fonte: adaptado de "COLINGE", 2002, p. 209.

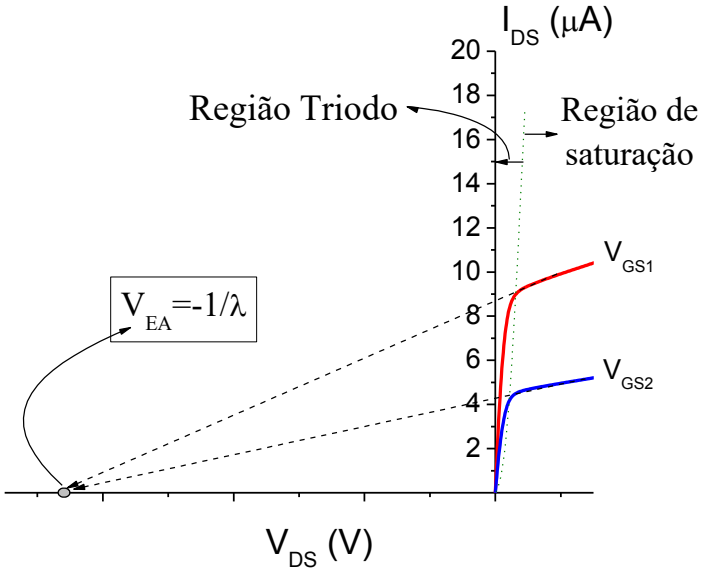
Como a corrente de dreno é diretamente proporcional à razão de aspecto (W/L), se o L reduz, a corrente de dreno aumenta. Este acréscimo na corrente de dreno produz uma maior inclinação na curva da corrente de dreno em função da tensão de dreno na região de saturação (COLINGE, J. P.; COLINGE, C. A., 2002). Utilizando as curvas da tensão de dreno na região de saturação extrapoladas até interceptar o eixo das tensões de dreno, extrai-se o valor da tensão *Early* (V_{EA}) do transistor. A V_{EA} pode ser expressa pela Equação (11) (COLINGE, J. P.; COLINGE, C. A., 2002).

$$V_{EA} \cong \frac{I_{DS_sat}}{g_{Dsat}}, \tag{11}$$

onde g_{Dsat} é a condutância de dreno quando o MOSFET opera na região de saturação.

A Figura 7 mostra um exemplo da extração da V_{EA} a partir das curvas I_{DS} em função de V_{DS} para um nMOSFET, considerando-se dois valores de V_{GS} (V_{GS1} e V_{GS2}).

Figura 7 - Exemplo da extração de V_{EA} por meio da curva de I_{DS} em função de V_{DS}, considerando-se dois valores de V_{GS} (V_{GS1} e V_{GS2})



Fonte: Autor

2.2.8 Ganho de tensão intrínseco do MOSFET

O ganho de tensão intrínseco ou de malha aberta (A_V) de um dispositivo MOSFFET é definido pela Equação (12) (SUBRAMANIAN, 2005; COLINGE, 2008).

$$A_V = \frac{g_m}{g_D} \cong \frac{g_m}{I_{DS}} . V_{EA} \, , \qquad (12)$$

onde g_D é a condutância de dreno [S] quando o MOSFET opera na região de saturação.

Observa-se por meio da Equação (12), que o ganho de tensão intrínseco é diretamente proporcional a transcondutância e a tensão *Early*, porém é inversamente proporcional a corrente de dreno.

2.2.9 Frequência de ganho de tensão unitário do MOSFET

A frequência de ganho de tensão unitário (f_T) de um MOSFET é definido como a frequência em que o ganho de tensão é igual a 1 (SEDRA; SMITH, 2000; RAVAZI, 2001; JOHNS; MARTIN, 1997). A Equação (13) é a expressão matemática utilizada

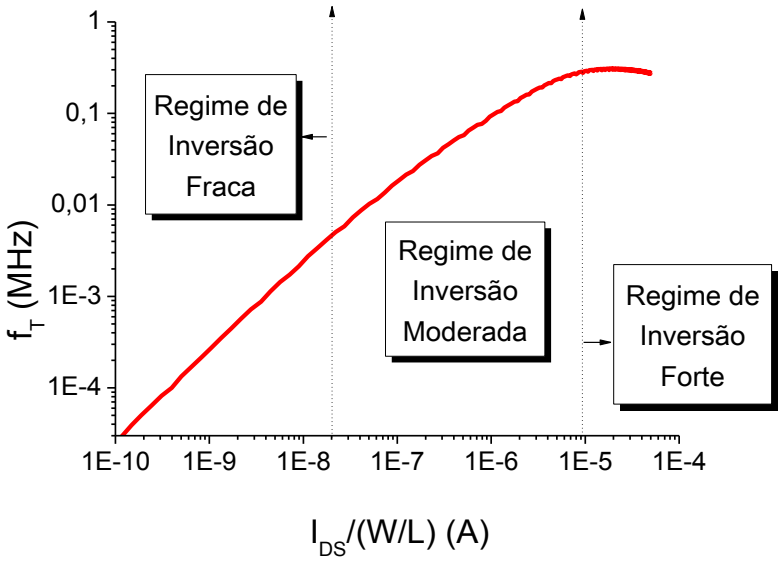
para a determinação do parâmetro f_T de um MOSFET (SEDRA; SMITH, 2000; RAVAZI, 2001; JOHNS; MARTIN, 1997).

$$f_T = \frac{1}{2.\pi.C_L}.g_m\,, \tag{13}$$

onde C_L é a capacitância de carga.

A Figura 8 apresenta um exemplo da curva da frequência de ganho de tensão unitário em função da corrente de dreno normalizada pela razão de aspecto [I_{DS}/(W/L)] do nMOSFET.

Figura 8 - Curva da frequência de ganho de tensão unitário em função da corrente de dreno normalizada pela razão de aspecto



Fonte: Autor

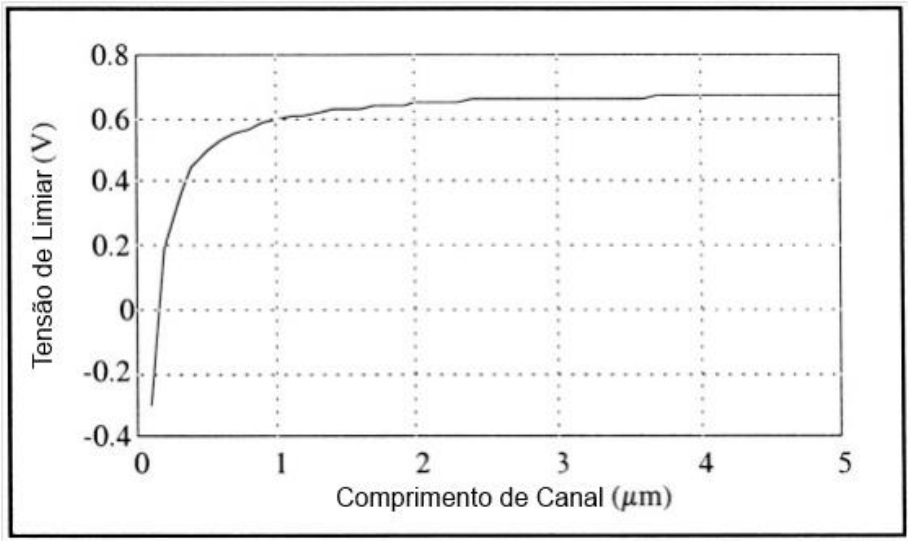
Para se obter o mínimo consumo de corrente elétrica em CIs CMOS analógicos, é necessário projetar os MOSFETs para operar no regime de inversão fraca, entretanto o melhor compromisso em termos de consumo de potência elétrica, velocidade da resposta em frequência e o ganho de tensão é alcançado polarizando-se os MOSFETs na região do regime de inversão moderada. Além disso, melhores respostas em frequência são alcançadas, quando polarizamos o MOSFET no regime de inversão forte (SILVEIRA et al., 1996).

2.2.10 Efeito de canal curto

A redução no tamanho dos transistores implica na redução do comprimento de canal, que provoca o surgimento dos chamados efeito de canal curto (*Short Channel Effect,* SCE). Esse efeito reduz o controle que a porta exerce sobre as cargas da região de depleção do canal e, assim, o campo elétrico longitudinal do dreno e da fonte passa a ser significativo sobre as cargas da camada de depleção (YOUNG, 1989). Quando um dispositivo sofre de efeito de canal curto, a sua tensão de limiar sofre uma redução e a sua inclinação de sub-limiar aumenta (MUNATA, 2005).

A Figura 9 mostra a redução da tensão de limiar devido ao efeito de canal curto.

Figura 9 - Exemplo de uma curva da tensão de limiar em função do comprimento de canal em um MOSFET



Fonte: Autor "adaptado de" COLINGE, 2002, p. 216
Legenda: MOSFET com t_{ox}=25nm, tensão de banda plana (V_{FB}) de 1V, e concentração de dopantes aceitadores na região de canal (Na) de $6.10^{16}cm^{-3}$

2.2.11 Constante de tempo de atraso

Quando um transistor é chaveado, ocorre um período de transição onde os valores iniciais das correntes elétricas e das tensões elétricas do transistor variam para novos valores. Este intervalo de tempo é chamado de transitório. O parâmetro utilizado para caracterizar o transitório de um MOSFET é a constante de tempo (τ), que é dada pelo produto entre a R_{ON} e a capacitância entre porta e fonte com o canal invertido (C_{GS_inv}). A constante de tempo também é utilizada para caracterizar a resposta do

MOSFET em sistemas de processamento de sinal de alta velocidade, como por exemplo, receptores e transmissores de rádio, filtros digitais, circuito de chaveamento, entre outros (MEAD; CONWAY, 1979).

2.2.12 Simulador numérico tridimensional (3D) de dispositivos semicondutores

As simulações numéricas 3D efetuadas neste trabalho utilizaram o simulador numérico de dispositivos semicondutores ATLAS (ATLAS, 2008). Ele utiliza um conjunto de equações analíticas baseados em modelos físicos que possibilitam a verificação das características elétricas das estruturas físicas de dispositivos semicondutores. O dispositivo simulado é representado por uma grade de pontos em 2 ou 3 dimensões. Para cada cruzamento das linhas da grade (longitudinal e vertical), o simulador resolve numericamente um conjunto de equações relativas aos valores dos campos elétricos, potenciais elétricos, densidades de corrente elétrica, entre outras (ATLAS, 2008).

O Atlas permite também obter as curvas características elétricas dos dispositivos simulados, variáveis internas da estrutura como, por exemplo, o potencial elétrico, a concentração de dopantes da rede cristalina, a concentração de portadores, a densidade de corrente elétrica, os campos elétricos longitudinais e verticais, as densidades de cargas, entre outros (ATLAS, 2008).

Após a realização das simulações numéricas 3D das estruturas dos MOSFETs, para análise dos seus parâmetros elétricos, utilizou-se o programa TONYPLOT3D para visualizar as estruturas dos MOSFETs e também para analisar as informações armazenadas em suas grades, tais como os valores das densidades da corrente de dreno e dos campos elétricos (ATLAS, 2008).

3 APRESENTAÇÃO DAS CARACTERÍSTICAS E DA MODELAGEM DO MOSFET DO TIPO ELIPSOIDAL

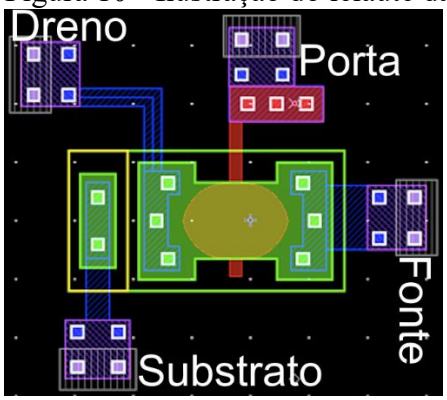
Neste capítulo são apresentadas as estruturas planares dos MOSFETs do tipo Elipsoidal e do MOSFET convencional (porta retangular) que foram utilizados neste trabalho de pesquisa. Também será apresentado um modelo analítico para a corrente de dreno do MOSFET do tipo elipsoidal, canal n.

3.1 APRESENTAÇÃO E CARACTERÍSTICAS DO MOSFET DO TIPO ELIPSOIDAL

Atualmente, existem diferentes ferramentas computacionais (*Computer Aided Design, CAD*) para o desenvolvimento dos leiautes de dispositivos semicondutores (*IC Station/Pixys* da *Mentor Graphics* (MENTOR GRAPHICS, 2016) e *Virtuoso layout editor* da *Cadence*) [CADENCE, 2016]. Essas ferramentas computacionais são capazes de implementar MOSFETs com qualquer forma geométrica (quadrada, retangular, circular, elipse, etc.), considerando-se a tecnologia de CIs CMOS. O MOSFET do tipo Elipsoidal não apresenta cantos e, portanto, tende a apresentar uma menor influência das variações causadas nos parâmetros geométricos (razão de aspecto e área) pelo processo de fabricação de CIs CMOS, pois os cantos sofrem maiores influências decorrentes do processo de fabricação, tais como o efeito do arredondamento dos cantos de um dispositivo (BANGSARUNTIP at al., 2009; NG at al., 2009).

A Figura 10 apresenta um exemplo de ilustração de um dos leiautes do MOSFET do tipo Elipsoidal estudado.

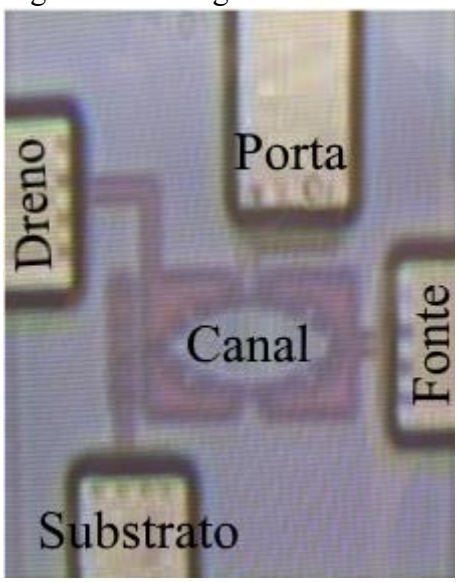
Figura 10 - Ilustração do leiaute da estrutura planar de um MOSFET do tipo Elipsoidal



Fonte: Autor “adaptado de” GIMENEZ; CORREIA; SILVA, 2015, p. 2

A Figura 11 mostra um exemplo de uma fotografia de um nMOSFET do tipo Elipsoidal estudado nesse trabalho.

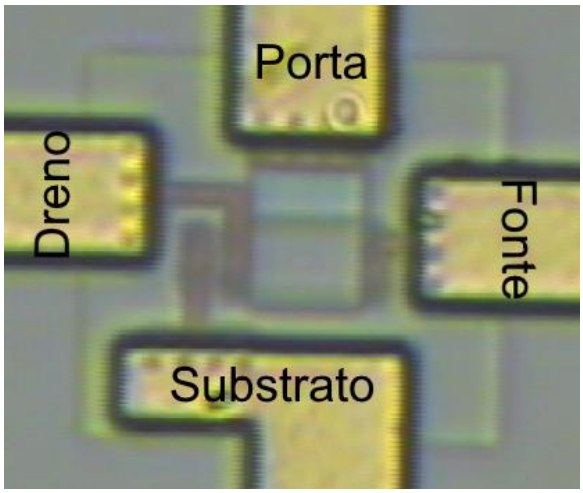
Figura 11 - Fotografia de uma das estruturas planares de um EM



Fonte: Autor
Legenda: Fotografia de uma das estruturas planares de um nMOSFET do tipo Elipsoidal implementado com o processo de fabricação de CIs CMOS de 350nm da *ON Semiconductor*

A Figura 12 mostra um exemplo de uma fotografia de um dos nMOSFET do tipo retangular utilizados neste trabalho.

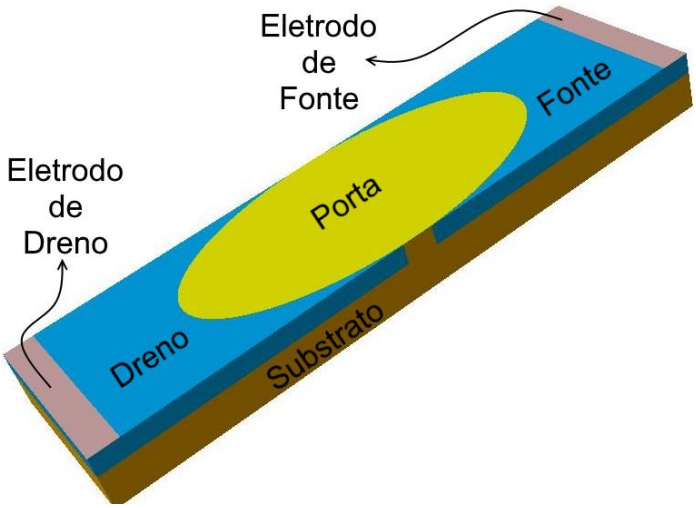
Figura 12 - Fotografia de uma das estruturas planares do MOSFET do tipo retangular estudado neste trabalho



Fonte: Autor

A Figura 13 apresenta um exemplo de uma ilustração tridimensional da estrutura planar de um MOSFET do tipo Elipsoidal.

Figura 13 - Exemplo de uma ilustração tridimensional da estrutura planar de um nMOSFET do tipo Elipsoidal

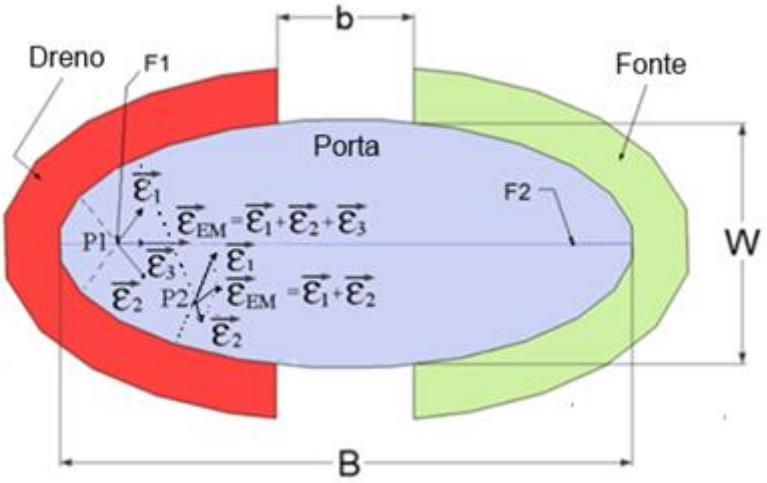


Fonte: Autor

3.2 MODELAGEM DO MOSFET DO TIPO ELIPSOIDAL

A Figura 14 mostra uma ilustração da vista superior simplificada de um MOSFET do tipo Elipsoidal, mostrando as dimensões da largura e do comprimento do canal e as diferentes componentes do campo elétrico longitudinal ao longo do canal desse dispositivo, em dois pontos (P1 e P2) diferentes do canal.

Figura 14 - Ilustração da vista superior de um nMOSFET do tipo Elipsoidal com as componentes do campo elétrico longitudinal



Fonte: Autor

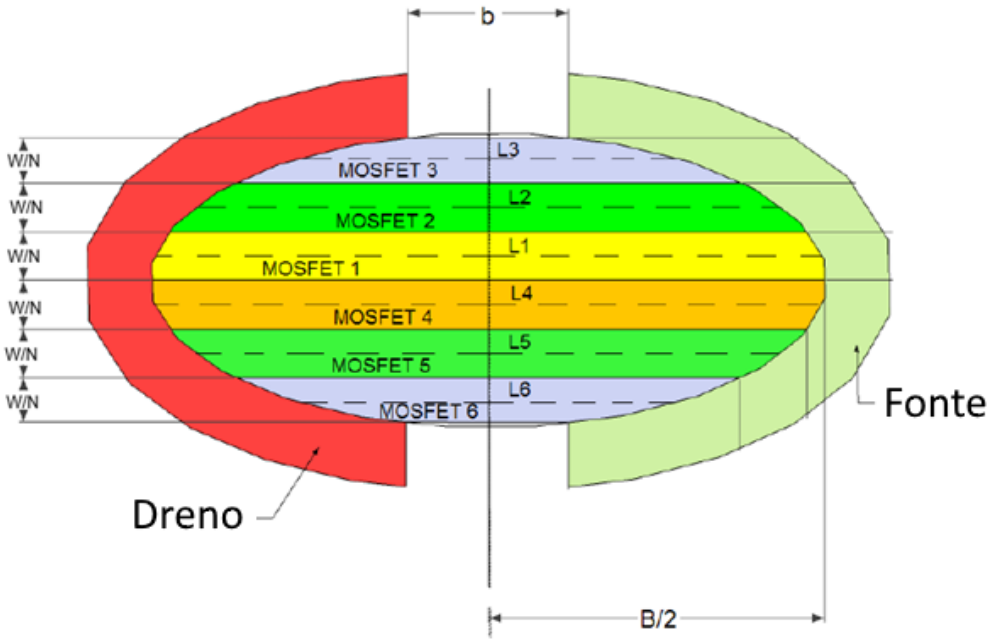
Na Figura 14 os pontos F1 e F2 são os focos da elipse, P1 é um ponto qualquer localizado no eixo longitudinal definido por F1 e F2, P2 é um ponto qualquer localizado fora do eixo definido por F1 e F2, B e b são o maior e o menor comprimentos de canal do EM, respectivamente, W é a largura de canal, $\vec{\varepsilon}_1, \vec{\varepsilon}_2$ e $\vec{\varepsilon}_3$ são as componentes dos vetores do campo elétrico longitudinal devido à polarização entre dreno e fonte (V_{DS}), $\vec{\varepsilon}_{EM}$ é o vetor do campo elétrico longitudinal resultante e é dado por $\vec{\varepsilon}_1 + \vec{\varepsilon}_2 + \vec{\varepsilon}_3$, quando considera-se a linha definida pelos focos da elipse (F1 e F2). Em qualquer outro ponto da elipse fora do segmento definido por F1 e F2, $\vec{\varepsilon}_{EM}$ vale $\vec{\varepsilon}_1 + \vec{\varepsilon}_2$. Portanto quando se considera a mesma área de porta (A_G) e a mesma condição de polarização, o dispositivo EM, apresenta mais componentes vetoriais para $\vec{\varepsilon}_{EM}$ do que aquele encontrado no respectivo CM equivalente, pois $\vec{\varepsilon}_{EM}$ é dado por três componentes de vetores no eixo definido por F1 e F2, e por duas componentes vetoriais em qualquer outro ponto definido fora deste segmento, enquanto o CM apresenta somente uma componente vetorial em um ponto P em qualquer parte do canal.

O vetor resultante ($\vec{\varepsilon}_{EM}$), na Figura 14, força a corrente de dreno a fluir mais ao centro da região de canal do transistor, devido à maior interação das componentes do campo elétrico longitudinal ao longo do canal.

A Figura 15 apresenta o esboço de um nMOSFET do tipo Elipsoidal com o canal dividido em partes com diferentes L, mas com a mesma largura de canal W/N, onde N é um número inteiro e tende a infinito. Assim, o dispositivo EM pode ser analisado como a associação paralela de N MOSFETs com diferentes comprimentos de

canal, mas com a mesma largura de canal W/N, e portanto, em decorrência dessa geometria de porta, a corrente de dreno na região de canal tende a fluir mais pelos cantos do canal, pois nestas regiões os comprimentos de canal dos transistores são menores quando comparado com aqueles pertencentes mais ao centro da região do canal. Este efeito é conhecido como efeito PAMDLE (FINO et al., 2013).

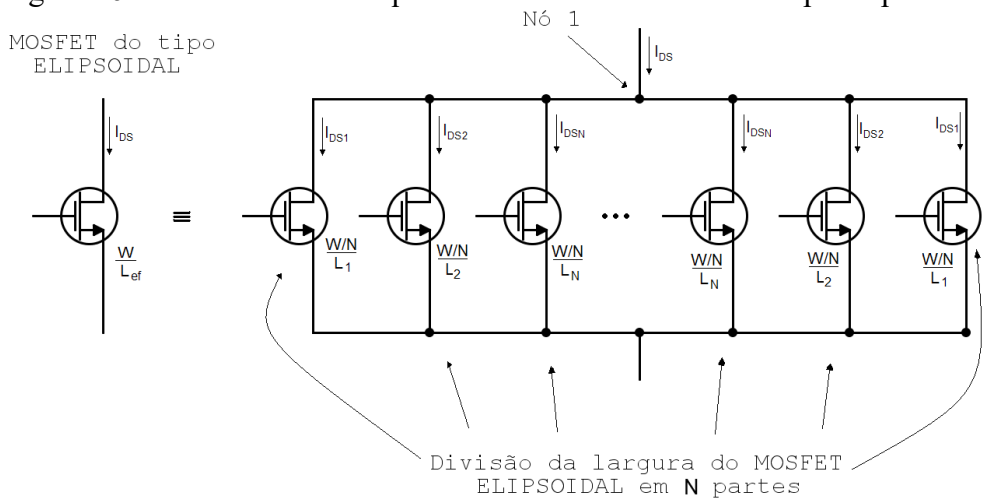
Figura 15 - Esboço de um nMOSFET do tipo Elipsoidal



Fonte: Autor
Legenda: Esboço de um MOSFET do tipo Elipsoidal com canal dividido em partes, com diferentes comprimentos de canal, mas com a mesma largura (W/N, onde N tende a um valor infinito)

A Figura 16 apesenta o circuito elétrico equivalente para um MOSFET do tipo Elipsoidal com razão de aspecto dada por W/L_{eff}.

Figura 16 - Circuito elétrico equivalente de um MOSFET do tipo Elipsoidal



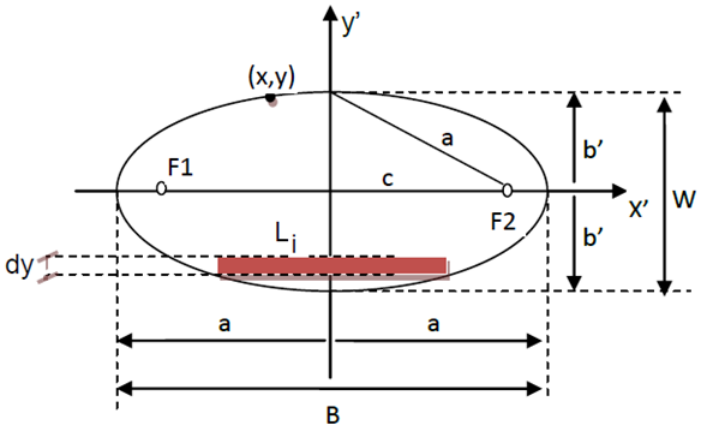
Fonte: Autor
Legenda: Circuito elétrico equivalente de um MOSFET do tipo Elipsoidal quando ele é dividido em partes, com a mesma largura de canal (W/N), mas com diferentes comprimentos de canal

O dispositivo da Figura 15 dividido em "N" partes pode ser representado eletricamente como sendo a associação em paralelo de "N" nMOSFETs, com mesmo W/N e diferentes L (L_i), onde $L_1 \leq L_i \leq L_n$ e $L_1, \ldots, L_n$ são os diferentes comprimentos de canais dos transistores pertencentes a associação paralela. Adotou-se i como um indexador inteiro, como pode ser visto na Figura 16.

Para ser possível a comparação entre os EMs e seus respectivos CMs equivalentes, um modelo analítico para o comprimento de canal efetivo do MOSFET do tipo Elipsoidal foi desenvolvido.

A Figura 17 ilustra a figura geométrica de uma elipse mostrando seus principais parâmetros dimensionais.

Figura 17 - Figura geométrica da elipse e seus principais parâmetros geométricos



Fonte: Autor

Na Figura 17, 2a é o comprimento da elipse (B igual a 2a), 2b' é a largura da elipse (W igual a 2b') e c é a distância do foco ao centro da elipse. Definiu-se dy como a largura da elipse infinitesimal e L_i como o comprimento da elipse para uma dada largura infinitesimal.

Uma elipse é definida como um conjunto de pontos P do plano onde a soma das distâncias de F1 a P e P a F2 (focos) é uma constante e é igual a 2a (comprimento do eixo maior da elipse) (VENTURI, 1949; WHITEHEAD, 2009).

Portanto, para a elipse da Figura 17, com centro na origem do plano cartesiano e focos no eixo x, pode-se definir a sua figura geométrica pela Equação (14).

$$\frac{x^2}{a^2} + \frac{y^2}{b'^2} = 1\,, \tag{14}$$

onde x e y são as coordenadas do plano cartesiano que formam a elipse.

Assumindo que a estrutura de um EM com largura de canal W e comprimento efetivo de canal L_{eff} pode ser representada eletricamente como a associação de N transistores conectados em paralelo com mesmo W/N, portanto, a razão de aspecto é dada por:

$$\frac{W}{L_{eff}} = \frac{W/N}{L_1} + \frac{W/N}{L_2} + \cdots + \frac{W/N}{L_n} = \sum_{i=1}^{N} \frac{W/N}{L_i}\,, \tag{15}$$

Considerando-se N tendendo a infinito, tem-se:

$$\frac{W}{L_{eff}} = 2.\int_0^{y,\ \ para\ X=b/2} \frac{dy}{L_i}\ \ , \tag{16}$$

Substituindo a=B/2 e b'=W/2 na Equação (14), tem-se:

$$\frac{x^2}{(B/2)^2} + \frac{y^2}{(W/2)^2} = 1\,, \tag{17}$$

Utilizando o ponto (L_i/2,y) (Figura 17) na Equação (17), temos:

$$\frac{(L_i/2)^2}{(B/2)^2} + \frac{y^2}{(W/2)^2} = 1 \quad , \tag{18}$$

Resolvendo a Equação (18) pode-se obter o valor de L_i, portanto:

$$L_i = B\sqrt{\left(1 - \frac{4.y^2}{W^2}\right)} \quad , \tag{19}$$

Para determinar os limites de integração da Equação (16), temos que para o valor de y do eixo das ordenadas, x é igual a b/2. Portanto, substituindo-se na Equação (17), tem-se:

$$\frac{(b/2)^2}{(B/2)^2} + \frac{y^2}{(W/2)^2} = 1 \quad , \tag{20}$$

Da Equação (20), determina-se o ponto y:

$$y = \frac{W}{2}\sqrt{\left(1 - \frac{b^2}{B^2}\right)} \quad , \tag{21}$$

Utilizando L_i definido na Equação (19) e substituindo na Equação (16), tem-se:

$$\frac{W}{L_{eff}} = \frac{2}{B}.\int_0^{\frac{W}{2}.\sqrt{1-\frac{b^2}{B^2}}} \frac{dy}{\sqrt{1 - 4\frac{y^2}{W^2}}} \, , \tag{22}$$

Para o cálculo da integral da Equação (22), utiliza-se o método da integração por mudança de variável. Portanto pode-se fazer:

$$\frac{4.y^2}{W^2} = k^2 \quad , \tag{23}$$

Onde k é utilizado para a mudança de variável. Da Equação (23) determina-se o valor de k:

$$k = \frac{2.y}{W} \ , \tag{24}$$

Derivando a Equação (24), determina-se dk:

$$dk = \frac{2.dy}{W} \ , \tag{25}$$

Assim, desenvolvendo a Equação (25) para definir o valor de dy, tem-se:

$$dy = \frac{W}{2}.dk \quad , \tag{26}$$

Substituindo as equações 23 e 26 na Equação (22), temos:

$$\frac{W}{L_{eff}} = \frac{2}{B}.\int \frac{\frac{W}{2}.dk}{\sqrt{1-k^2}} \ , \tag{27}$$

Reescrevendo a Equação (27), temos:

$$\frac{W}{L_{eff}} = \frac{2}{B}.\frac{W}{2}\int \frac{dk}{\sqrt{1-k^2}} \ , \tag{28}$$

Assim:

$$\frac{1}{L_{eff}} = \frac{1}{B}\int \frac{dk}{\sqrt{1-k^2}} \ , \tag{29}$$

A Equação (30) mostra um valor tabelado de integração (KONGUETSOF, 1974):

$$\int \frac{dz}{\sqrt{a^2-z^2}} = \sin^{-1}\frac{z}{a} \ , \tag{30}$$

Comparando o valor tabelado de integração mostrado na Equação (30) com a Equação (29) temos a' igual a 1 e z igual a k.

$$\int \frac{dz}{\sqrt{a^2 - z^2}} = \sin^{-1}\frac{z}{a} = \sin^{-1} k \ , \tag{31}$$

Sendo assim, ao se aplicar a solução acima na Equação (29), tem-se:

$$\frac{1}{L_{eff}} = \frac{1}{B}.\sin^{-1}\left(\frac{2.\left(\frac{W}{2}.\sqrt{1-\frac{b^2}{B^2}}\right)}{W}\right) \ , \tag{32}$$

A partir da Equação (32), determina-se o L_{eff} para o dispositivo EM, conforme indicado pela Equação (33):

$$L_{eff} = \frac{B}{\sin^{-1}\left(\sqrt{1-\frac{b^2}{B^2}}\right)} \ , \tag{33}$$

Assim, a equação do modelo analítico para o comprimento efetivo de canal de um MOSFET do tipo Elipsoidal, com largura de canal (W) e comprimento de canal influenciado pelo efeito PAMDLE (L_{eff}), é dada pela Equação (33).

Para facilitar as comparações entre os dispositivos vamos determinar uma relação entre o comprimento de canal do dispositivo EM e do dispositivo CM equivalente, considerando-se que eles apresentam a mesma área de porta. Portanto:

$$A_{G_{CM}} = A_{G_{EM}} \ , \tag{34}$$

onde $A_{G_{CM}}$ é a área de porta do dispositivo CM equivalente e $A_{G_{EM}}$ é a área de porta do dispositivo EM.

Como A_G do CM vale W.L e o A_G do EM vale praticamente (W\2).(B\2).π, onde L é o comprimento do canal do CM, e a fim de efetuar as comparações entre os

dispositivos EM e CM, considera-se que as larguras de canal de ambos os dispositivos iguais. Assim, da Equação (34), tem-se:

$$W.L = \frac{W}{2}.\frac{B}{2}.\pi\,, \tag{35}$$

Da Equação (36), obtém-se o valor de B do dispositivo EM em função do comprimento de canal do dispositivo CM, para que eles tenham a mesma área de porta Equação (36).

$$B = \frac{4.L}{\pi}\,, \tag{36}$$

A Equação (36) diz também que o comprimento de canal dos CMs deve ser igual a Bπ/4, para que ele apresente a mesma área de porta de um EM equivalente.

Tabela 1 - Comparações entre as dimensões geométricas dos EMs e dos CMs equivalentes

CM				EM				Redução de L
W [μm]	L [μm]	A_G [μm^2]	W/L	W [μm]	b [μm]	B [μm]	L_{eff} [μm]	[%]
5,95	20,00	119,0	0,30	5,95	1,05	25,47	16,65	+16,7
5,95	15,00	89,25	0,40	5,95	1,05	19,10	12,60	+16,0
5,95	10,00	59,35	0,60	5,95	1,05	12,70	8,53	+14,4
5,95	7,00	41,65	0,8	5,95	1,05	8,91	6,14	+12,2
5,95	4,67	27,81	1,27	5,95	1,05	5,95	4,27	+8,6
5,95	4,03	23,95	1,47	5,95	1,05	5,13	3,76	+6,5
5,95	3,14	18,69	1,89	5,95	1,05	4,00	3,07	+2,4
5,95	2,81	16,73	2,12	5,95	1,05	3,58	2,81	0,0
5,95	2,45	14,58	2,43	5.95	1,05	3,12	2,54	-3,6
5,95	1,93	11,45	3,09	5.95	1,05	2,45	2,17	-12,7

Fonte: Autor

Legenda: Comparações entre as dimensões geométricas dos EMs e dos CMs equivalentes e os valores em porcentagens das reduções dos comprimentos de canal efetivos dos EMs em relação aos seus CMs equivalentes, considerando-se que eles apresentam as mesmas W e A_G. A coluna Redução de L (%) tem-se os ganhos de L_{eff} dos EMs em relação aos dos CMs equivalentes

O valor de b foi adotado para ser 3 vezes o valor da dimensão mínima permitida pela tecnologia de fabricação para evitar o efeito de canal curto desses dispositivos.

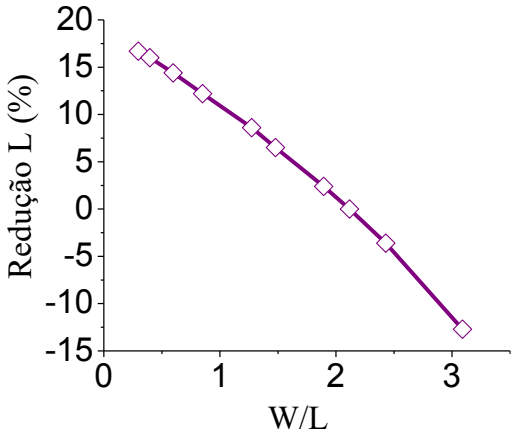
Utilizando-se as equações 33 e 36 elaborou-se essa Tabela 1. Essa tabela mostra a comparação entre várias dimensões geométricas dos EM e de seus respectivos CM

equivalentes. Além disso, mostra uma estimativa de quanto o comprimento de canal efetivo dos dispositivos EMs é menor em relação aos respectivos dispositivos CMs equivalentes, considerando o mesmo W, W/L e a mesma área de porta, como consequência do efeito PAMDLE.

Pela análise da Tabela 1, considerando as dimensões desses dispositivos apresentados, pode-se observar que quanto menores são as W/L, maiores são as reduções do L_{eff} do EM em relação aos seus CM equivalentes.

A Figura 18 mostra a curva que descreve a porcentagem de redução do L_{eff} do EMs em relação aos L dos CMs equivalentes em função da razão de aspecto (W/L), considerando-se as mesmas W e A_G.

Figura 18 - Curva da porcentagem dos comprimentos de canal dos dispositivos EMs em relação aos dos CMs equivalentes



Fonte: Autor
Legenda: Curva da porcentagem que apresenta as reduções dos comprimentos de canal dos dispositivos EMs em relação aos dos CMs equivalentes em função das razões de aspectos desses dispositivos

Nota-se a partir da Figura 18 que a redução em L_{eff} dos EMs em relação aos L dos CMs pode chegar a mais de 16%, dependendo da razão de aspecto analisada. Assim, como as I_{DS} dos MOSFETs são inversamente proporcionais aos seus L, a tabela sugere que os EMs têm a capacidade de potencializar sua I_{DS} em relação aos CMs equivalentes, para valores de W/L menores que 2,1. Acima desses valores de W/L, o L_{eff} do EM passa a ser maior do que o do CM equivalente.

Para o cálculo do ganho na corrente de dreno do EM, usou-se uma aproximação do MOSFET do tipo Diamante (GIMENEZ, 2010).

Na referência (GIMENEZ, 2010), a corrente de dreno no MOSFET do tipo Diamante (I_{DS_DM}) pode ser dada pela multiplicação da corrente de dreno do MOSFET

do tipo retangular equivalente (I_{DS_CM}) pelo fator referente ao ganho devido ao efeito LCE (G_{LCE}) e pelo fator referente ao ganho devido ao efeito PAMDLE (G_{PAMDLE}), conforme está indicado na Equação (37).

$$I_{DS_DM} = G_{LCE}.G_{PAMDLE}.I_{DS_CM}\ , \tag{37}$$

Ainda da referência (GIMENEZ, 2010), a Equação (38) mostra o fator G_{LCE} relativo ao ganho do efeito LCE para 0º≤ β ≤90º e a Equação (39) mostra o fator relativo ao ganho do efeito LCE para 90º≤ β ≤180º. A Equação (40) mostra o fator G_{PAMDLE} relativo ao efeito PAMDLE.

$$G_{LCE} = \sqrt{2.(1+\cos\beta)}\ , \qquad Para\ 0° \leq \beta \leq 90°, \tag{38}$$

$$G_{LCE} = \sqrt{2+\cos\beta}\ , \qquad Para\ 90° \leq \beta \leq 180°, \tag{39}$$

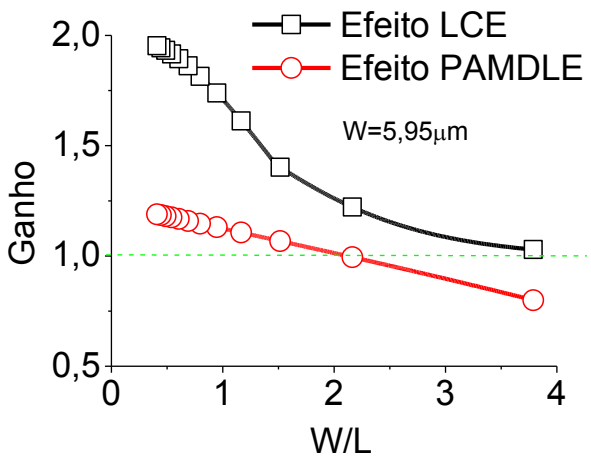
$$G_{PAMDLE} = \frac{L_{CM}}{L_{PAMDLE}}\ , \tag{40}$$

O ângulo β é o ângulo formado pelas arestas do canal com o dreno em um MOSFET do tipo Diamante, L_{CM} é o comprimento de canal do dispositivo CM equivalente ao DM e o L_{PAMDLE} é o comprimento de canal efetivo do dispositivo DM.

Em um DM, a intensidade do efeito LCE depende do ângulo β. Portanto quanto mais agudo for o ângulo β, maior é a intensidade do efeito LCE no canal do dispositivo DM.

A Figura 19 mostra as curvas dos ganhos da corrente de dreno do EM em relação ao do CM equivalente em função da razão de aspecto, considerando-se que esses transistores apresentam as mesmas W, A_G e condições de polarização, referentes os efeitos LCE (G_{LCE}) e PAMDLE (G_{PAMDLE}), utilizando-se as Equações (38), (39), e (40).

Figura 19 – Ganhos da corrente de dreno do EM em relação ao do CM equivalente em função da razão de aspecto



Fonte: Autor

Analisando-se a Figura 19, podemos observar que os ganhos referentes ao efeito LCE (G_{LCE}) na I_{DS} dos EMs são sempre maiores que aqueles observados referentes aos ganhos devido ao efeito PAMDLE (G_{PAMDLE}). Além disso, quanto menores são os valores de W/L dos EMs, maiores são os ganhos referentes aos efeitos LCE e PAMDLE. Nota-se também que para valores de W/L maiores do que 2,12, o efeito PAMDLE gera ganhos menores do que 1, em relação aqueles observados dos CMs equivalentes.

Pode-se observar através da Figura 14, para o EM, que a componente vetorial $\vec{\varepsilon}_3$ tem uma pequena influência na resultante do campo elétrico longitudinal dentro do canal, pois só aparece no eixo longitudinal definido por F1 e F2. Portanto, desprezando-se a componente $\vec{\varepsilon}_3$, o ganho do LCE no MOSFET do tipo Elipsoidal pode ser aproximada para o do MOSFET do tipo Diamante (GIMENEZ, 2010). Assim, se determinar uma relação do β do dispositivo DM para o B do dispositivo EM com mesma W e mesma área de porta, pode-se utilizar as mesmas equações 37, 38, 39 e 40 para uma boa estimativa de I_{DS} do EM.

O DM utilizado na referência (GIMENEZ, 2010) apresenta a mesma área de porta A_G que a do CM equivalente e o b é a menor largura de canal do EM, portanto:

$$A_{G_{DM}} = A_{G_{EM}} , \qquad (41)$$

Onde $A_{G_{EM}}$ é a área de porta do dispositivo EM e $A_{G_{DM}}$ é a área de porta do dispositivo DM (GIMENEZ, 2010). Dessa forma, tem-se:

$$A_{G_{DM}} = \frac{4}{2}.\left(\frac{B_{DM}}{2} - \frac{b}{2}\right).\frac{W}{2} + b.W \ , \tag{42}$$

Onde B_{DM} é o maior comprimento de canal do dispositivo DM.

Assim, da Equação (41) e Equação (42), tem-se:

$$\frac{4}{2}.\left(\frac{B_{DM}}{2} - \frac{b}{2}\right).\frac{W}{2} + b.W = \frac{W}{2}.\frac{B}{2}.\pi \ , \tag{43}$$

Simplificando, pode-se obter B_{DM} em função de B:

$$B_{DM} = \frac{B.\pi}{2} - b \ , \tag{44}$$

Ainda da referência (GIMENEZ, 2010), temos que:

$$\tan\frac{\beta}{2} = \frac{W/_2}{\left(B_{DM}/_2 - b/_2\right)} \ , \tag{45}$$

Isolando-se B, temos:

$$\beta = 2.\tan^{-1}\left(\frac{W}{B_{DM} - b}\right) \ , \tag{46}$$

Utilizando a Equação (44) na a Equação (46), temos:

$$\beta = 2.\tan^{-1}\left(\frac{W}{\frac{B.\pi}{2} - 2.b}\right) \ , \tag{47}$$

Utilizando a Equação (47), é possível avaliar o valor de β a partir do valor de B do dispositivo EM e com isso utilizar as equações 38, 39 e 40 para avaliar o ganho relativo de cada um dos efeitos.

Assim a Equação (48) apresenta o modelo da corrente de dreno dos EMs mais pontiagudos (I_{DS_EM}), isto é, 0º ≤ β ≤ 90º (considerando-se a aproximação do LCE para o modelo do MOSFET do tipo Diamante).

$$I_{DS_EM} = \sqrt{2.\left[1+\cos\left(2.\tan^{-1}\left(\frac{W}{\frac{B.\pi}{2}-2.b}\right)\right)\right]}.\frac{L_{CM}}{L_{eff}}.I_{DS_CM}, Para\ W \leq B, (48)$$

A Equação (49) mostra o modelo para a corrente de dreno dos EMs mais largos horizontalmente, isto é, 90º < β < 180º (considerando a aproximação do LCE para modelo do MOSFET do tipo Diamante).

$$I_{DS_EM} = \sqrt{2+\cos\left[2.\tan^{-1}\left(\frac{W}{\frac{B.\pi}{2}-2.b}\right)\right]}.\frac{L_{CM}}{L_{eff}}.I_{DS_CM}, \qquad Para\ W > B, \qquad (49)$$

As Equações (48) e (49) apresentam um modelo para a corrente de dreno no MOSFET do tipo Elipsoidal considerando os dois novos efeitos, efeito LCE e PAMDLE, encontrados neste tipo de estrutura elipsoidal.

4 RESULTADOS

Neste capítulo serão apresentados os resultados experimentais, os resultados obtidos por simulações numéricas tridimensionais e do modelo analítico proposto para o MOSFET do tipo Elipsoidal.

4.1 RESULTADOS EXPERIMENTAIS

Nesta seção serão apresentados os resultados obtidos a partir dos estudos comparativos experimentais para o comportamento elétrico entre os MOSFETs implementados com geometria de porta do tipo Elipsoidal e de seus respectivos equivalentes convencionais (geometria de porta retangular), considerando-se que eles apresentam as mesmas larguras de canal, áreas de porta e condições de polarização. Os principais parâmetros e figuras de mérito analógicos e digitais foram investigados.

4.1.1 Estrutura e tecnologia utilizada para a fabricação dos dispositivos

Os dispositivos utilizados foram manufaturados através do programa MEP da MOSIS com a tecnologia comercial de 350nm de CIs CMOS planar (*Bulk*) da *ON Semiconductor* (AMIS). Trata de uma tecnologia que é ainda amplamente utilizada para aplicações de CIs CMOS analógicos, principalmente pelo seu custo reduzido de fabricação em relação aos processos mais sofisticados. Essa tecnologia utiliza tensão de alimentação de 5V.

A Tabela 2 apresenta as dimensões das estruturas estudadas. A fim de efetuar as comparações necessárias para a realização desse estudo, mantiveram-se constantes as dimensões W e b de todos os dispositivos. As comparações foram realizadas entre MOSFETs do tipo Elipsoidal e de seus respectivos MOSFETs convencionais equivalentes, considerando-se as as mesmas larguras de canal, áreas de porta e condições de polarização. Os valores do L_{eff} dos EMs foram calculados utilizando-se a Equação (34). Além disso, observa-se na Tabela 2, o percentual da redução dos L dos EMs (L_{eff}) em relação aos dos seus respectivos CMs equivalentes.

Tabela 2 - Características dimensionais das estruturas MOSFETs estudadas

			CM		EM				Redução
W/L	Forma Geométrica	A_G [μm^2]	W [µm]	L [µm]	W [µm]	b [µm]	B [µm]	L_{eff} [µm]	L [%]
0,6		59,35	5,95	9,97	5,95	1,05	12,70	8,53	+14,43
0,8		41,65	5,95	7,00	5,95	1,05	8,91	6,14	+12,35
1,5		23,95	5,95	4,02	5,95	1,05	5,12	3,76	+6,68
2,4		14,58	5,95	2,45	5,95	1,05	3,12	2,54	-3,73
3,1		11,45	5,95	1,92	5,95	1,05	2,45	2,17	-12,87

Fonte: Autor
Legenda: A coluna Redução (%) tem-se os ganhos das L_{eff} dos EMs em relação aos dos CMs equivalentes

Analisando-se a Tabela 2 observa-se uma redução de L do EM em relação ao do seu CM equivalente, de aproximadamente de 14,43%, levando-se em conta um W/L de 0,6.

4.1.2 Tensões de limiar

A Tabela 3 mostra as tensões de limiar dos EMs e dos seus respectivos CMs equivalentes investigados. Os V_{TH} foram extraídos utilizando a técnica da segunda derivada (CONDE, 2002), para V_{DS} igual a 50mV.

Tabela 3 - Tabela comparativa das V_{TH} dos EMs e dos seus CMs equivalentes para V_{DS}=50mV

W/L	Forma Geométrica	Área A_G μm^2	CM V_{TH} V	EM V_{TH} V	W µm	L µm
3,1		11,45	0,74	0,79	5,95	1,92
2,4		14,58	0,75	0,80	5,95	2,45
1,5		23,95	0,74	0,79	5,95	4,02
0,8		41,65	0,74	0,79	5,95	7,00
0,6		59,35	0,80	0,80	5,95	9,97

Fonte: Autor

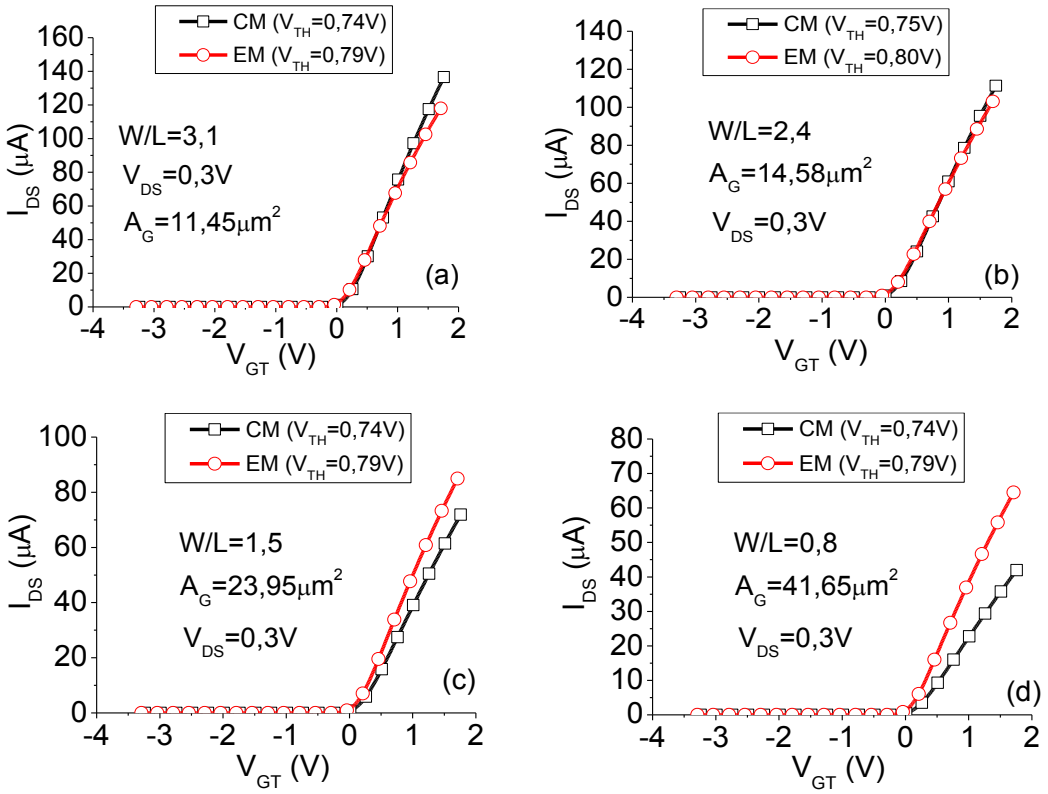
Esses valores estão dentro da faixa de variações típicas descritas pelo processo de fabricação de CIs CMOS, que é de 0,66V a 0,91V (MOSIS *Educational Program*, MEP).

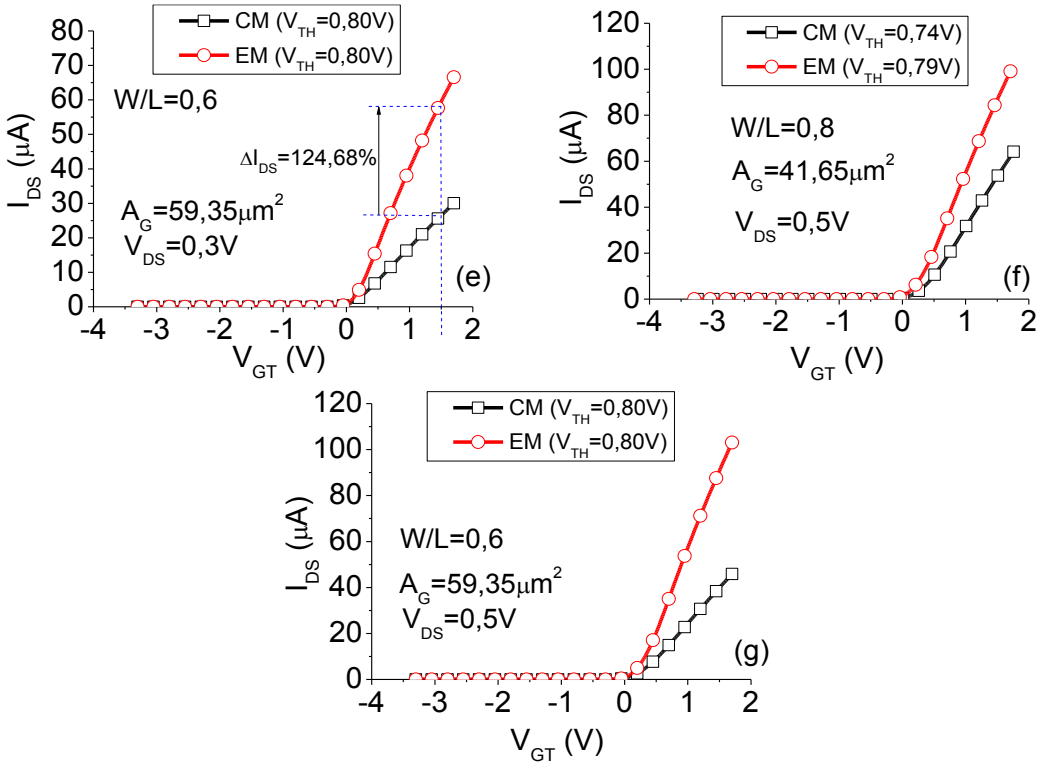
4.1.3 Curvas experimentais das correntes de dreno em função das sobretensões de porta (V_{GT})

Considerou-se para a coleta dos dados dos EMs e de seus respectivos CMs equivalentes as mesmas larguras de canal, áreas de porta, e condições de polarização. Além disso, a fim de realizar as comparações entre os diferentes dispositivos, considerou-se L igual ao L_{GEO}, e, portanto, os EMs e de seus respectivos CMs equivalentes possuem os mesmos fatores geométricos.

A Figura 20 apresenta as curvas experimentais das I_{DS} em função da sobretensão de porta [V_{GT}, onde V_{GT} igual a V_{GS}-V_{TH})] dos EMs e dos seus CMs equivalentes. As Figuras de 20.a a 20.e foram obtidas com um V_{DS} de 0,3V e as Figuras 20.f e 20.g foram obtidas com um V_{DS} de 0,5V.

Figura 20 - Curvas experimentais das I_{DS} em função de V_{GT}





Fonte: Autor
Legenda: Curvas experimentais das I_{DS} em função de V_{GT} dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=0,3V para W/L=3 (a), W/L=2,4 (b), W/L=1,5 (c), W/L=0,8 (d) e W/L=0,6 (e), e um V_{DS}=0,5V para W/L=0,8 (f) e W/L=0,6 (g)

A Tabela 4 mostra uma comparação das I_{DS} dos EMs e dos CMs equivalentes das Figuras de 20.a a 20.e, considerando-se V_{GT} igual a 1,5V, V_{DS} igual a 0,3V.

Tabela 4 - Ganhos das I_{DS} na região triodo

W/L	Forma Geométrica	W μm	Área A_G μm²	L μm	CM I_{DS} μA	L_{eff} μm	EM I_{DS} μA	Ganho de I_{DS} do EM (%)
3,1		5,95	11,45	1,92	116,8	2,17	105,0	-10,04
2,4		5,95	14,58	2,45	95,45	2,54	91,53	-4,11
1,5		5,95	23,95	4,02	61,99	3,76	75,17	+21,26
0,8		5,95	41,65	7,00	35,4	6,14	57,2	+61,58
0,6		5,95	59,35	9,97	26,48	8,53	59,5	+124,7

Fonte: Autor
Legenda: Ganhos das I_{DS} dos EMs em relação aos seus CMs equivalentes, considerando-se V_{DS} igual a 0,3V, V_{GT} igual a 1,5V e os MOSFETs operando na região triodo

A Tabela 5 mostra uma comparação das I_{DS} dos EMs e dos seus CMs equivalentes das Figuras de 20.g. e 20.f, considerando um V_{GT} igual a 1,5V e um V_{DS} igual a 0,5V.

Tabela 5 - Ganhos das I_{DS} dos EMs em relação a dos seus CMs equivalentes

W/L	Forma Geométrica	W µm	Área A_G µm²	L µm	CM I_{DS} µA	L_{eff} µm	EM I_{DS} µA	Ganho de I_{DS} (%)
0,8		5,95	41,65	7,00	53,3	6,14	86,7	+62,66
0,6		5,95	59,35	9,97	39,9	8,53	90,8	+127,6

Fonte: Autor
Legenda: Ganhos das I_{DS} dos EMs em relação a dos seus CMs equivalentes, considerando V_{DS}=0,5V, um V_{GT} igual a 1,5V e os transistores operando na região triodo

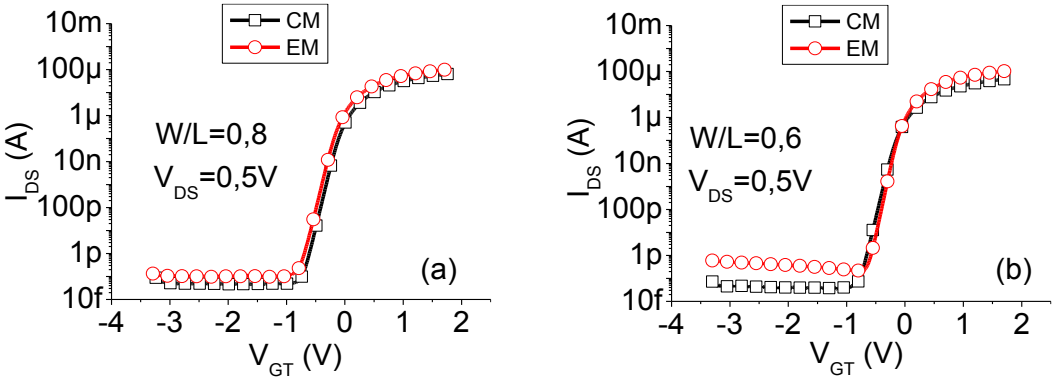
Analisando os resultados obtidos das Figuras de 20.a a 20.g, observa-se que no início da região triodo, para todos os dispositivos considerados, os EMs apresentam I_{DS} ligeiramente maiores do que aqueles observados pelos seus respectivos CMs equivalentes. No entanto, à medida que V_{GT} aumenta, as I_{DS} dos CMs equivalentes nas Figuras 20.a e 20.b, passam a ser um pouco maiores do que aqueles encontrados nos EMs. Nas Figuras 20.c a 20.g, os EMs passam a ter as suas I_{DS} significantemente maiores quando comparadas a dos seus respectivos CMs equivalentes. Observa-se de forma genérica que para um mesmo V_{GT}, as diferenças entre as I_{DS} do EM e de seus respectivo CM equivalente aumentam à medida que as razões de aspecto diminuem.

Os resultados obtidos demonstram que os EMs podem ser usados para potencializar as I_{DS} dos MOSFETs, principalmente pensando nas aplicações de CIs CMOS, tais como os *driver* de corrente ou chaves analógicas (GIMENEZ, ALATI, 2010).

4.1.4 Curvas experimentais dos log(I_{DS}) em função das sobretensões de porta (V_{GT})

A Figura 21 apresenta as curvas experimentais do Log(I_{DS}) em função da sobretensão dos MOSFETs.

Figura 21 - Curvas experimentais do Log(I_{DS}) em função de V_{GT} dos EMs e dos seus CMs equivalentes, considerando-se uma W/L=0,6, W/L=0,8 e V_{DS}=0,5V



Fonte: Autor

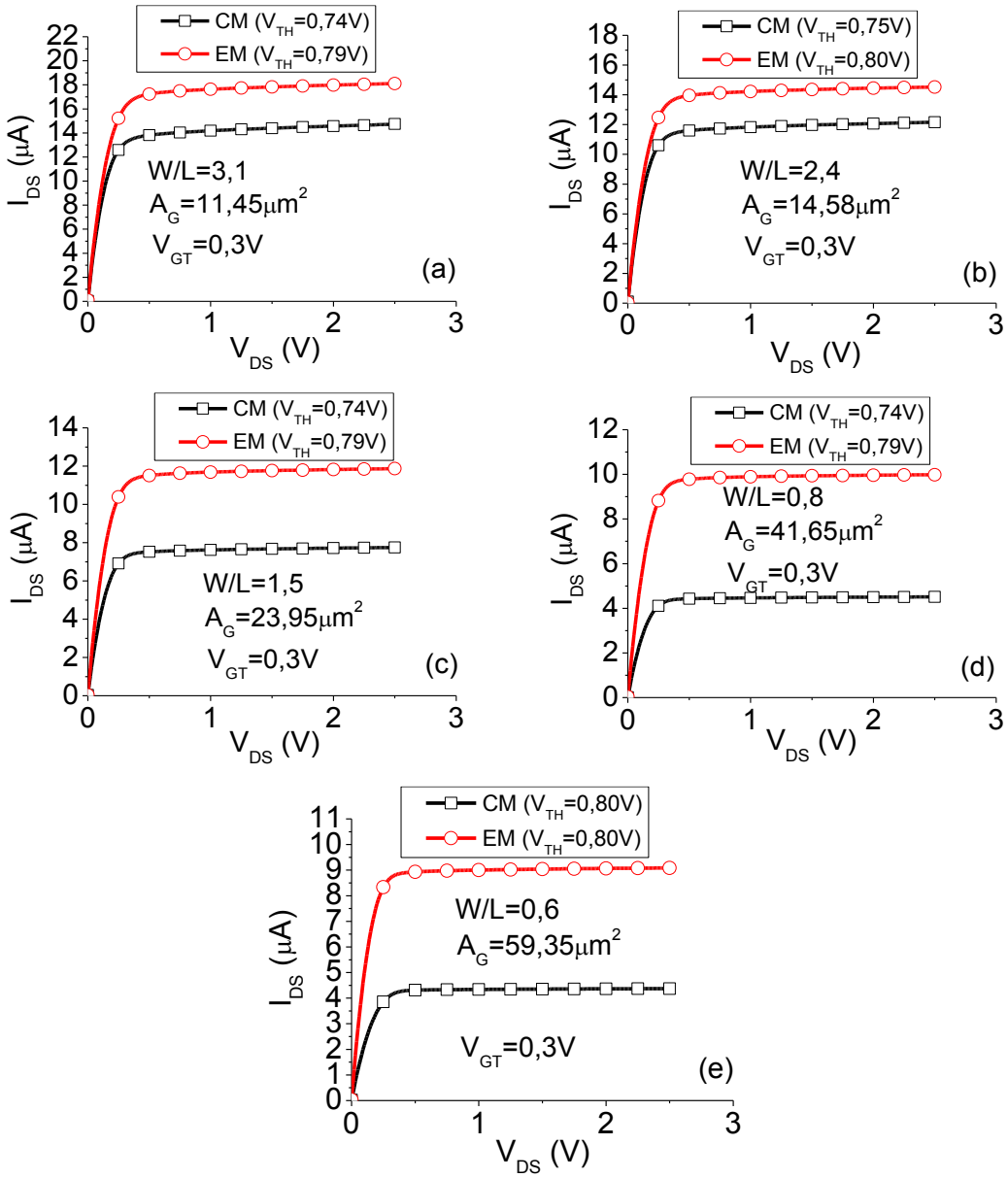
A Figura 21.a mostra que a I_{DS} de estado ligado (I_{ON}) do EM (68,7µA) é 60,1% maior (1,6 vezes) do que aquele encontrado no CM equivalente (42,9µA), considerando-se um V_{GT} igual a 1,3V (região triodo). Porém, a I_{DS} de estado desligado (I_{OFF}) do EM (231fA) (I_{OFF}/Perímetro da junção≅20 fA/µm) é 135,7% maior do que aquela do CM equivalente (98fA) (I_{OFF}/Perímetro da junção≅17 fA/µm), considerando-se um V_{GS} de 0V. A corrente de fuga (I_{LEAK}) do EM (102fA), considerando-se um V_{GT} de -3V, também é 112,5% maior do que aquela medida do CM equivalente (48fA).

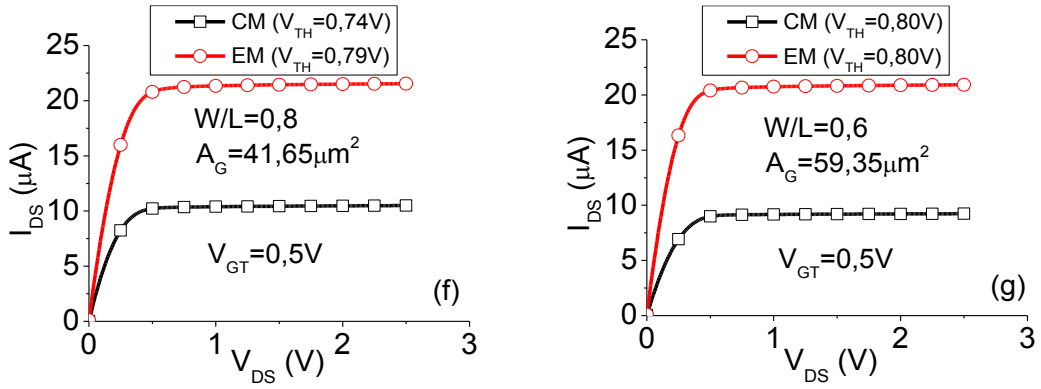
A Figura 21.b mostra que a I_{DS} de estado ligado (I_{ON}) do EM (71,2µA) é 132% maior (mais do que 2,3 vezes) do que aquela medida do CM equivalente (30,6µA), levando-se em conta um V_{GT} igual a 1,3V (região triodo). Porém, a I_{DS} em estado desligado (I_{OFF}) do EM (219,6fA) (I_{OFF}/Perímetro da junção ≅14 fA/µm) é 196% maior do que aquela apresentada pelo CM equivalente (74,1fA) (I_{OFF}/Perímetro da junção ≅13 fA/µm). A corrente de fuga (I_{LEAK}) do EM (484,7fA), considerando-se V_{GT} igual a -3V, também é 922% maior do que aquele apresentado pelo CM equivalente (47,4fA). Isso pode ser justificado por dois motivos. Um deles é porque o EM apresenta uma área de junção pn entre as regiões de dreno/fonte e canal maior do que aquela observada no CM equivalente de mesma área de porta, devido ao maior perímetro das junções pn dessas regiões. O outro motivo é porque o EM apresenta um campo elétrico longitudinal maior do que aquele do CM equivalente, considerando-se as mesmas condições de polarização.

4.1.5 Curvas experimentais das correntes de dreno em função das tensões de dreno

A Figura 22 apresenta as curvas das I_{DS} em função da V_{DS} dos EMs e dos seus CMs equivalentes, As Figuras de 22.a a 22.e foram obtidas com um V_{DS} de 0,3V, a fim de analisar os transistores operando dentro da região de saturação as Figuras 22.f e 22.g foram obtidas com um V_{DS} de 0,5V.

Figura 22 - Curvas experimentais das I_{DS} em função das V_{DS}

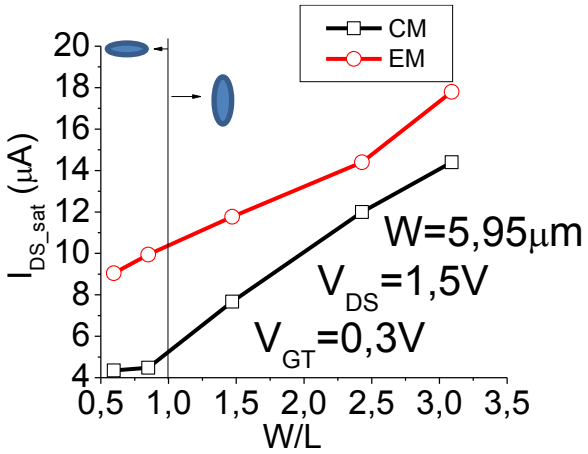




Fonte: Autor
Legenda: Curvas experimentais das I_{DS} em função das V_{DS} dos EMs e dos seus CMs equivalentes, considerando-se um V_{GT}=0,3V para uma W/L=3,1 (a), W/L=2,4 (b), W/L=1,5 (c), W/L=0,8 (d) e W/L=0,6 (e), e considerando-se um V_{GT}=0,5V para W/L=0,8 (f) e W/L=0,6 (g)

A Figura 23 mostra as curvas das correntes de saturação (I_{DS_sat}) em função das W/L dos EMs e dos seus CMs equivalentes, considerando-se um V_{GT} igual a 0,3V e um V_{DS} igual a 1,5V.

Figura 23 - Curvas das I_{DS_sat} em função da W/L



Fonte: Autor
Legenda: Curvas das I_{DS_sat} em função da W/L dos EMs e dos seus CMs equivalentes, considerando-se uma W igual a 5,95μm, um V_{GT} igual a 0,3V e um V_{DS} igual a 1,5V (região de saturação)

A Tabela 6 mostra as comparações entre as I_{DS_sat} dos EMs e dos seus CMs equivalentes.

Tabela 6 - I_{DS_sat} dos EMs e dos seus CMs equivalentes, considerando-se V_{DS}=1,5V

W/L	Forma Geométrica	Área A_G μm^2	V_{GT} V	L µm	CM I_{DS_sat} µA	L_{eff} µm	EM I_{DS_sat} µA	Ganho de I_{DS_sat} (%)
3,1		11,45	0,3	1,92	14,40	2,17	17,80	+23,61
2,4		14,58	0,3	2,45	12,00	2,54	14,40	+20,00
1,5		23,95	0,3	4,02	7,67	3,76	11,77	+53,46
0,8		41,65	0,3	7,00	4,48	6,14	9,94	+121,9
0,6		59,35	0,3	9,97	4,35	8,53	9,04	+107,8
0,8		41,65	0,5	7,00	10,44	6,14	21,45	+105,5
0,6		59,35	0,5	9,97	9,20	8,53	20,83	+126,4

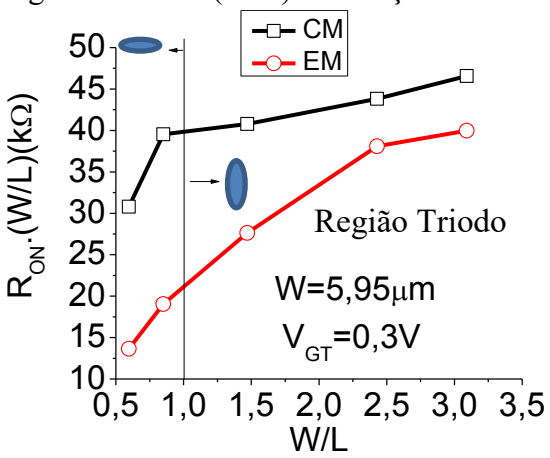
Fonte: Autor
Legenda: A coluna Ganho (%) tem-se os ganhos das I_{DS_sat} dos EMs em relação aos dos CMs equivalentes

Analisando-se a Tabela 6 verificamos que os valores das I_{DS_sat} dos EMs são sempre maiores do que aqueles encontrados nos respectivos CMs equivalentes. Além disso, observamos que os ganhos das I_{DS_sat} aumentam a medida que as W/L dos EMs reduzem em relação a dos seus respectivos CMs equivalentes. Adicionalmente, pensando em projetos de CIs CMOS analógicos, quando se fixa o valor da I_{DS_sat} para um específico ramo do circuito integrado, o uso da geometria de porta elipsoidal para os MOSFETs permite uma redução de área de porta desse dispositivo. Portanto, isso significa dizer que ao fixarmos uma I_{DS_sat} num ramo de um CI CMOS analógico, com o uso de um EM de menor área de porta que um CM, é possível produzir uma mesma I_{DS_sat} de um dispositivo CM equivalente. Consequentemente, o uso do estilo de leiaute elipsoidal para MOSFETs é capaz de reduzir a área total dos CIs CMOS analógicos, sem gerar qualquer custo adicional ao processo de fabricação de CIs CMOS planares (simplesmente mudança de leiaute). Portanto, está geometria de porta pode ser considerada uma alternativa para a implementação de MOSFETs para aplicações em CIs CMOS analógicos. Isso pode ser justificado devido aos efeitos LCE e PAMDLE presentes na estrutura do MOSFET do tipo Elipsoidal (PERUZZI, et al., 2012; FINO, et al., 2013; CORREIA, et al., 2013; CORREIA, et al., 2014).

4.1.6 Resistências de estado ligado entre dreno e fonte

A Figura 24 apresenta as curvas das R_{ON}.(W/L) em função de W/L para os EMs e de seus respectivos CMs equivalentes, considerando-se um V_{GT} igual a 0,3V e os transistores operando na região triodo.

Figura 24 - R_{ON}.(W/L) em função da W/L



Fonte: Autor
Legenda: R_{ON}.(W/L) em função da W/L dos EMs e dos seus CMs equivalentes, considerando-se um V_{GT}=0,3V e os transistores operando na região triodo

A Tabela 7 apresenta as R_{ON} dos EMs e de seus respectivos CMs equivalentes, considerando-se um V_{GT} igual a 0,3V e os transistores operando na região linear da região.

Tabela 7 - R_{ON} dos EMs e dos seus CMs equivalentes

W/L	Forma Geométrica	Área A_G [μm²]	L [μm]	CM R_{ON} [KΩ]	L_{eff} [μm]	EM R_{ON} [KΩ]	Ganho de R_{ON} (%)
3,1		11,45	1,92	15,07	2,17	12,94	+14,16
2,4		14,58	2,45	18,04	2,54	15,69	+13,05
1,5		23,95	4,02	27,73	3,76	18,78	+32,26
0,8		41,65	7,00	46,50	6,14	22,40	+51,82
0,6		59,35	9,97	51,64	8,53	22,89	+55,68

Fonte: Autor
Legenda: Ganhos das R_{ON} dos EMs em relação aos seus respectivos CMs equivalentes, considerando-se um V_{GT}=0,3V e os transistores operando na região linear da região tríodo. A coluna Ganho (%) tem-se os ganhos das R_{ON} dos EMs em relação aos dos CMs equivalentes

Analisando-se a Tabela 7 observa-se que as R_{ON}.(W/L) dos EMs são sempre menores do que aquelas observadas nos CMs equivalentes, considerando-se as mesmas W, A_G e condições de polarização. Além disso, observa-se também que para maiores valores de L, considerando um determinado W (fixo), que é a mesma coisa que dizer que quanto menores forem as razões de aspecto, maiores são os ganhos das R_{ON} do EM em relação aos seus CMs equivalentes. Além disso, para os dispositivos com W/L igual a 0,6, a R_{ON} do EM é igual a 22,89KΩ, 55,68% menor do que aquela medida no CM

equivalente (51,64KΩ). A constante de tempo de atraso de um MOSFET (τ) é diretamente proporcional aos valores da R_{ON} e da capacitância de inversão da porta/substrato, C_{GS_inv}, ($\tau = R_{ON}.C_{GS_inv}$) (MEAD, CONWAY, 1979). Portanto uma menor R_{ON}, significa numa redução no valor da constante de tempo de atraso de um MOSFET, e consequentemente uma maior velocidade de processamento dos EMs em relação aos dos seus CMs equivalentes (a inclinação de sub-limiar também influencia na velocidade de chaveamento), considerando-se as mesmas W/L, A_G e condições de polarização.

Assim o EM que apresenta uma constante de tempo de atraso menor, poderia ser uma alternativa para aumentar a velocidade de operação de CIs CMOS digitais, como por exemplo, aqueles MOSFETs que operam como chaves em aplicações digitais de CIs CMOS, desde que o seu L seja maior que o L_{min}.

4.1.7 Inclinações de sub-limiar

A Tabela 8 mostra os valores da S dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 50mV.

Tabela 8 - S dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=50mV

W/L	Forma Geométrica	Área A_G [μm²]	L [μm]	CM *S* [mV/dec]	L_{eff} [μm]	EM *S* [mV/dec]	Ganho de S (%)
3,1		11,45	1,92	100,3	2,17	102,2	-1,89
2,4		14,58	2,45	99,4	2,54	99,9	-0,50
1,5		23,95	4,02	97,5	3,76	98,4	-0,92
0,8		41,65	7,00	96	6,14	96,1	-0,10
0,6		59,35	9,97	90,2	8,53	90,5	-0,33

Fonte: Autor
Legenda: Valores das S dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=50mV. A coluna Ganho (%) representa os ganhos de S do EM em relação aos dos seus CMs equivalentes

Analisando a Tabela 8 observa-se que os EMs e os seus respectivos CMs equivalentes apresentam valores de S similares (erros máximo menores que 1,9%).

4.1.8 Tensões *Early*

A V_{EA} foi extraída utilizando-se as curvas da tensão de dreno na região de saturação extrapoladas até interceptar o eixo das tensões de dreno.

A Tabela 9 mostra as tensões *Early* dos MOSFETs do tipo elipsoidal e de seus respectivos CMs equivalentes, que foram obtidas a partir das Figuras de 22.a a 22.e. Além disso, essa tabela mostra a comparação dos ganhos das V_{EA} dos EMs em relação a dos seus respectivos CMs equivalentes, considerando-se um V_{GT} igual a 0,3V e os transistores operando na região de saturação.

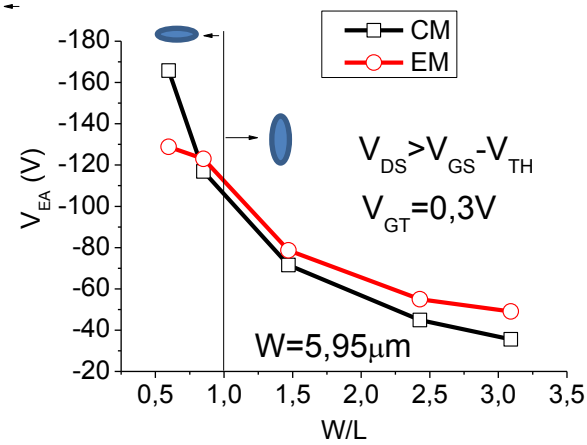
Tabela 9 - V_{EA} dos EMs e dos seus CMs equivalentes

W/L	Forma Geométrica	Área A_G [µm²]	L [µm]	CM V_{EA} [V]	L_{eff} [µm]	EM V_{EA} [V]	Ganho (%)
3,1		11,45	1,92	-35,54	2,17	-49,07	+38,07
2,4		14,58	2,45	-44,89	2,54	-54,99	+22,50
1,5		23,95	4,02	-71,57	3,76	-78,68	+9,95
0,8		41,65	7,00	-116,9	6,14	-123,0	+5,22
0,6		59,35	9,97	-165,8	8,53	-128,9	-22,26

Fonte: Autor
Legenda: V_{EA} dos EMs e dos seus CMs equivalentes, considerando-se V_{GT}=0,3V, W=5,95µm e os dispositivos operando na região de saturação. A coluna Ganho (%) tem-se os ganhos das V_{EA} dos EMs em relação aos dos CMs equivalentes

A Figura 25 ilustra as curvas das tensões Early em função da W/L dos EMs e dos seus respectivos CMs equivalentes, considerando-se um V_{GT} igual a 0,3V, uma W igual a 5,95 µm e os transistores operando na região de saturação.

Figura 25 - V_{EA} em função da W/L



Fonte: Autor
Legenda: V_{EA} em função da W/L dos EMs e de seus respectivos CMs equivalentes, considerando-se um V_{GT} igual a 0,3V, uma W igual a 5,95µm e os transistores operando na região de saturação

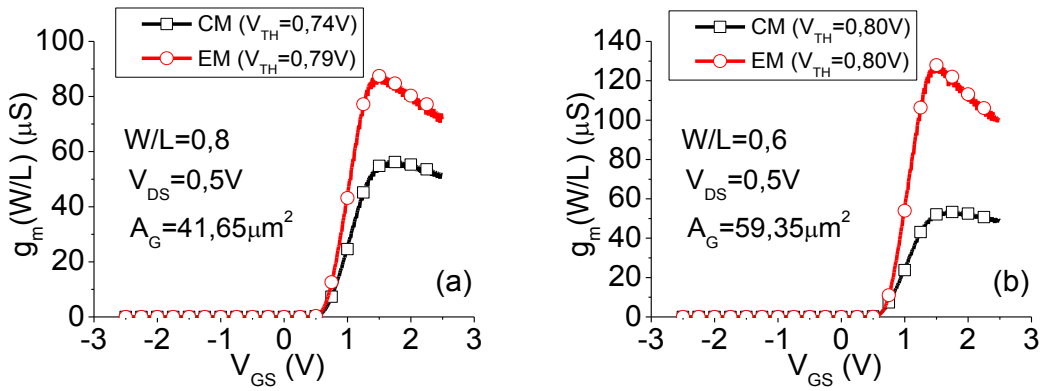
Analisando-se a Tabela 9 e a Figura 25 observa-se que à medida que as razões de aspecto diminuem, isto é, os EMs vão se tornando cada vez mais pontiagudos na direção do comprimento de canal, as V_{EA} reduzem ainda mais, ou seja, aumentam os seus valores em módulo, com exceção do EM com o menor W/L. Além disso, para os dispositivos com W/L igual a 0,6 (dispositivo mais pontiagudo), observa-se uma tensão *Early* é 22,26 % maior (mais degradada) do que a do dispositivo CM, considerando-se um V_{GT} igual a 0,3V. Além disso para o EM com W/L igual a 0,6, o campo elétrico longitudinal no canal apresenta valores mais altos do que aqueles observados no CM equivalente, provocando uma maior modulação do comprimento de canal, e assim aumentando (degradando) a V_{EA} do EM.

4.1.9 Curvas experimentais das transcondutâncias em função das sobretensões de porta

As curvas das transcondutâncias em função da sobretensão de porta foram obtidas com os transistores operando com um V_{DS} igual a 0,5V. Além disso, utilizaremos os transistores mais pontiagudos (W/L menores), pois apresentaram os melhores resultados até agora.

A Figura 26 apresenta a curva da g_m/(W/L) em função de V_{GS}, considerando-se V_{DS} igual a 0,5V.

Figura 26 - Curvas experimentais das $g_m/(W/L)$ em função de V_{GS}



Fonte: Autor
Legenda: Curvas experimentais das $g_m/(W/L)$ em função de V_{GS} dos EMs e dos seus CMs equivalentes, para W/L=0,8 (a) e W/L=0,6 (b), considerando-se um V_{DS} igual a 0,5V

A Figura 26 mostra que os EMs apresentam sempre maiores transcondutâncias máximas em relação à dos seus respectivos CMs equivalentes, graças aos efeitos LCE e PAMDLE presentes nas estruturas dos MOSFETs implementados com a geometria de porta Elipsoidal.

A Tabela 10 apresenta as transcondutâncias máximas normalizadas pelas razão de aspecto [$g_{m_máx}/(W/L)$] dos EMs e de seus CMs equivalentes, considerando um V_{DS} igual a 0,5V.

Tabela 10 - $g_{m_máx}/(W/L)$ dos EMs e dos seus CMs equivalentes

W/L	Forma Geo.	Área A_G [μm²]	L [μm]	CM $g_{m_máx}/(W/L)$ [μS]	L_{eff} [μm]	EM $g_{m_máx}/(W/L)$ [μS]	Ganho da $g_{m_máx}/(W/L)$ (%)
0,8		41,65	7,00	57	6,14	87	+58,73
0,6		59,35	9,97	52	8,53	126	+142,3

Fonte: Autor
Legenda: $g_{m_máx}/(W/L)$ dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V. A coluna Ganho (%) tem-se os ganhos das $g_{m_máx}/(W/L)$ dos EMs em relação aos dos CMs equivalentes

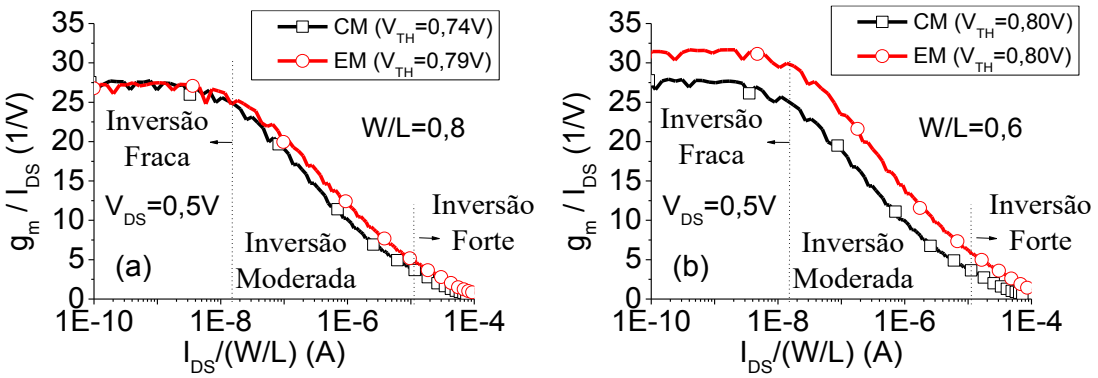
A Tabela 10 mostra que os EMs mais pontiagudos apresentam os maiores $g_{m_máx}$ em relação aos dos seus respectivos CMs equivalentes. Observa-se que o ganho de $g_{m_máx}$ do EM com menor W/L (0,6) é aproximadamente 2,5 vezes maior do que o CM equivalente.

4.1.10 Curvas experimentais das razões das transcondutâncias pelas correntes de dreno em função das correntes de dreno normalizadas pelas razões de aspecto

Uma outra figura de mérito muito importante é a razão da transcondutância pela corrente de dreno (g_m/I_{DS}) em função da corrente de dreno normalizada pela razão de aspecto, pois o ganho de tensão (A_V) dos amplificadores típicos é diretamente proporcional a g_m/I_{DS} (SILVEIRA at al., 1996).

A Figura 27 mostra as curvas experimentais das g_m/I_{DS} em função de $I_{DS}/(W/L)$ para os três regimes de inversão do canal dos EMs e dos seus respectivos CMs equivalentes, considerando-se um V_{DS} igual a 0,5V.

Figura 27 - g_m/I_{DS} em função de $I_{DS}/(W/L)$



Fonte: Autor
Legenda: g_m/I_{DS} em função de $I_{DS}/(W/L)$ dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V, W/L=0,8 (a) e W/L=0,6 (b)

A Tabela 11 apresenta os ganhos das g_m/I_{DS} dos EMs e em relação a dos seus CMs equivalentes, onde G representa o quanto as g_m/I_{DS} dos EMs são maiores do que a dos CM equivalentes, considerando-se respectivamente uma $I_{DS}/(W/L)$ igual a 10^{-9}A (região do regime de inversão fraca: RW), uma $I_{DS}/(W/L)$ igual a 10^{-7}A (regime de inversão moderada: RM) e uma $I_{DS}/(W/L)$ igual a 2.10^{-5}A (regime de inversão forte: RS), e um V_{DS} igual a 0,5V.

Tabela 11 - g_m/I_{DS} dos EMs e dos seus CMs equivalentes

W/L	Forma Geo.	CM RW g_m/I_{DS} V^{-1}	CM RM g_m/I_{DS} V^{-1}	CM RS g_m/I_{DS} V^{-1}	EM RW g_m/I_{DS} V^{-1}	EM RM g_m/I_{DS} V^{-1}	EM RS g_m/I_{DS} V^{-1}	EM RW G (%)	EM RM G (%)	EM RS G (%)
0,8		27,4	18,4	2,6	27,5	20,1	3,6	+0,4	+9,2	+38,5
0,6		27,5	18,6	2,5	31,63	23,3	4,4	+15	+25,3	+76

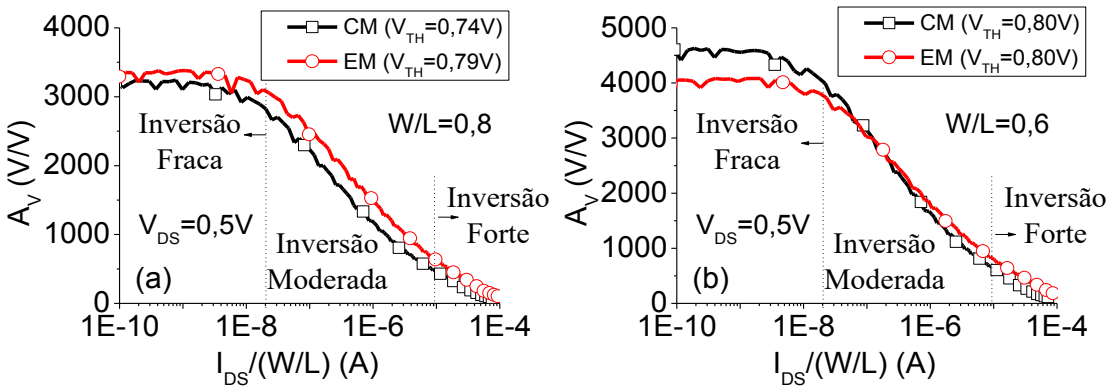
Fonte: Autor
Legenda: g_m/I_{DS} dos EMs e dos seus CMs equivalentes com um V_{DS} igual a 0,5V para os três regimes de inversão do canal dos MOSFETs. A coluna G (%) tem-se os ganhos das g_m/I_{DS} dos EMs em relação aos dos CMs equivalentes

A Tabela 11 mostra que as g_m/I_{DS} dos EMs são sempre maiores que a dos CMs equivalentes para os três regimes de inversão, considerando-se as menores W/L estudadas, isto é, à medida que o dispositivo EM se torna mais pontiagudo, considerando-se as mesmas W, A_G e condições de polarização. Além disso, observa-se um ganho de até +76% do g_m/I_{DS} do EM em relação ao seu CM equivalente, quando analisa-se o EM mais pontiagudo (W/L igual a 0,6) no regime de inversão forte. Consequentemente, pode-se dizer que o estilo de leiaute elipsoidal para MOSFETs pode ser uma alternativa interessante para ser usada para potencializar a resposta em frequência das aplicações de CIs CMOS analógicos de rádio frequência (RF).

4.1.11 Curvas experimentais do ganho de tensão intrínseco dos MOSFETs

A Figura 28 mostra os A_V em função de $I_{DS}/(W/L)$ para os três regimes de inversão do canal dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} e igual a 0,5V, e para W/L=0,8 (a) e W/L=0,6 (b).

Figura 28 - Curvas experimentais dos A_V em função da $I_{DS}/(W/L)$



Fonte: Autor
Legenda: Curvas experimentais dos A_V em função da $I_{DS}/(W/L)$ dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V, W/L=0,8 (a) e W/L=0,6 (b)

A Tabela 12 apresenta os ganhos dos A_V dos EMs em relação aos seus CMs equivalentes, considerando-se respectivamente uma $I_{DS}/(W/L)$ igual a 10^{-9}A (região do regime de inversão fraca: RW), uma $I_{DS}/(W/L)$ igual a 10^{-7}A (regime de inversão moderada: RM) e uma $I_{DS}/(W/L)$ igual a 2.10^{-5}A (regime de inversão forte: RS), e um V_{DS} igual a 0,5V.

Tabela 12 - A_V dos EMs e dos seus CMs equivalentes

W/L	Forma Geo.	CM RW A_V V/V	CM RM A_V V/V	CM RS A_V V/V	EM RW A_V V/V	EM RM A_V V/V	EM RS A_V V/V	EM RW G (%)	EM RM G (%)	EM RS G (%)
0,8		3209	2236	304	3381	2474	437	+5,4	+10,6	+43,8
0,6		4556	3109	398	4078	3003	572	-10,5	-3,4	+43,7

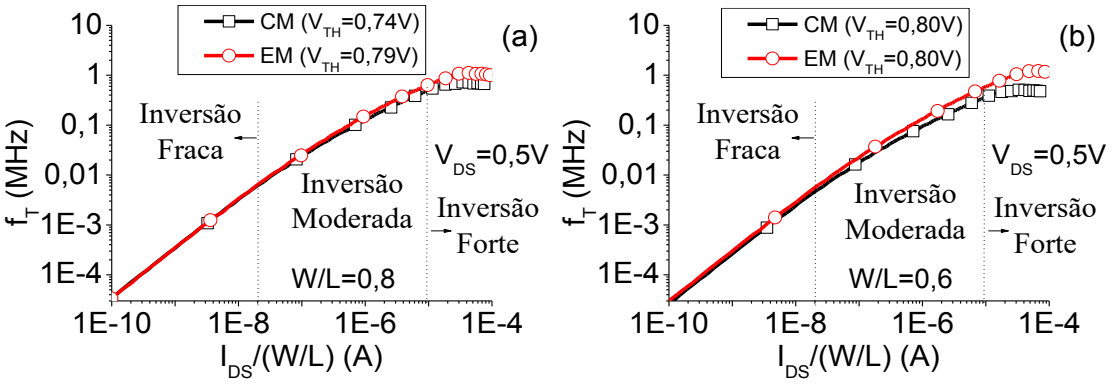
Fonte: Autor
Legenda: A_V dos EMs e dos seus CMs equivalentes para os três regimes de inversão, considerando-se um V_{DS} igual a 0,5V. A coluna G (%) tem-se os ganhos das A_V dos EMs em relação aos dos CMs equivalentes

A Tabela 12 mostra que o EM mais pontiagudo (W/L igual a 0,6) pode alcançar um ganho de tensão menor em regime de inversão fraca (cerca de 10,5% menor) e no regime de inversão moderada (cerca de 3,4% menor), porém no regime de inversão forte ele apresenta um ganho de tensão de 43,7% em relação ao do seu CM equivalente. Para o EM com um W/L de 0,8 (menos pontiagudo que o anterior), os seus A_V são sempre maiores que os dos seus CM equivalentes em todos os regimes de inversão do canal.

4.1.12 Curvas experimentais das frequências de ganho de tensão unitário

A Figura 29 apresenta as curvas experimentais das f_T em função da $I_{DS}/(W/L)$ para os EMs e seus respectivos CMs equivalentes, considerando-se um V_{DS} igual a 0,5V e uma capacitância de carga (C_L) igual a 10 pF.

Figura 29 - f_T em função da $I_{DS}/(W/L)$



Fonte: Autor
Legenda: f_T em função da $I_{DS}/(W/L)$ dos EMs e dos seus CMs equivalentes, para W/L=0,8 (a) e W/L=0,6 (b), considerando-se V_{DS} igual a 0,5V

A Tabela 13 apresenta as f_T dos EMs e dos seus CMs equivalentes, considerando-se respectivamente uma $I_{DS}/(W/L)$ igual a 10^{-9}A (região do regime de inversão fraca: RW), uma $I_{DS}/(W/L)$ igual a 10^{-7}A (regime de inversão moderada: RM) e uma $I_{DS}/(W/L)$ igual a 2.10^{-5}A (regime de inversão forte: RS), respectivamente, e um V_{DS} igual a 0,5V.

Tabela 13 - f_T experimental dos EMs e dos seus CMs equivalentes

Forma W/L	CM RW f_T [MHz]	CM RM f_T [MHz]	CM RS f_T [MHz]	EM RW f_T [MHz]	EM RM f_T [MHz]	EM RS f_T [MHz]	EM RW G (%)	EM RM G (%)	EM RS G (%)
0,8	0,35	27,59	663,04	0,35	29,98	924,85	+0,6	+8,7	+39,5
0,6	0,27	18,74	464,7	0,37	26,52	873,91	+37	+41,5	+88,1

Fonte: Autor
Legenda: f_T experimental dos EMs e dos seus CMs equivalentes, considerando-se V_{DS} igual a 0,5V para os três regimes de inversão. A coluna G (%) tem-se os ganhos das f_T dos EMs em relação aos dos CMs equivalentes

Pela análise da Figura 29 e da Tabela 13 pode-se verificar que os EMs sempre apresentam maiores valores das frequências de ganho de tensão unitário nos três regimes de inversão considerados, quando comparados aos dos seus CMs equivalentes. Assim, considerando-se os ganhos de f_T dos EMs em relação aos CMs equivalentes, observa-se que a medida que as geometrias da porta elipsoidal tornam-se mais pontiagudas, os EMs apresentam melhores valores de f_T, pois as interações das componentes vetoriais dos campos elétricos longitudinais tornam-se mais intensas. Assim, os EMs podem ser utilizados para aumentar a velocidade de CIs CMOS analógicos, quando utilizados nos pares diferenciais de amplificadores operacionais de transcondutância (OTAs).

4.1.13 Quadro comparativo geral dos principais parâmetros elétricos e figuras de mérito obtidos experimentalmente

Nesta seção será apresentado um quadro comparativo geral dos principais parâmetros e figuras de mérito alcançados com os estudos do comportamento elétrico entre os MOSFETs implementados com a geometria de porta em forma de elipse e os seus respectivos convencionais equivalentes (porta com formato retangular), considerando-se os resultados experimentais realizados.

A Tabela 14 mostra um quadro geral comparativo do desempenho dos parâmetros elétricos e figuras de mérito dos EMs em relação aos dos CMs equivalentes, obtidas de forma experimental.

Tabela 14 – Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito (L_{eff}, I_{DS_Tri}, I_{DS_Sat}, R_{ON}, S e V_{EA})

W/L	L_{eff}	I_{DS_Tri}	I_{DS_Sat}	R_{ON}	S	V_{EA}
3,1	-	-	+	+	0	+
2,4	-	-	+	+	0	+
1,5	+	+	+	+	0	+
0,8	+	+	+	+	0	+
0,6	+	+	+	+	0	-

Fonte: Autor
Legenda: Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito (L_{eff}, I_{DS_Tri}, I_{DS_Sat}, R_{ON}, S e V_{EA}) estudados dos EMs em relação a dos seus CMs equivalentes. Os sinais (+), (-) e (0) significam respectivamente um melhor desempenho, um pior desempenho e desempenho similar (+/- 3%) do EM em relação aos seus CMs equivalentes, respectivamente.

A Tabela 15 mostra um outro quadro geral comparativo do desempenho dos parâmetros elétricos e figuras de mérito do EM em relação aos dos CMs equivalentes, obtidos experimentalmente.

Tabela 15 - Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito ($g_{m_Máx}$, I_{ON}, I_{OFF}, I_{Leak})

W/L	$g_{m_Máx}$	I_{ON}	I_{OFF}	I_{Leak}
0,8	+	+	-	-
0,6	+	+	-	-

Fonte: Autor
Legenda: Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito ($g_{m_Máx}$, I_{ON}, I_{OFF}, I_{Leak}) dos EMs e dos seus CMs equivalentes. Os sinais (+), (-) e (0) significam respectivamente um melhor desempenho, um pior desempenho e desempenho similar (+/- 3%) do EM em relação aos seus CMs equivalentes, respectivamente.

E finalmente, a Tabela 16 mostra mais um quadro geral comparativo dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T) do desempenho do EM em relação aos dos seus respectivos CM equivalentes nos três regimes de inversão do canal.

Tabela 16 - Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T)

W/L	g_m/I_{DS}			A_V			f_T		
	RW	RM	RS	RW	RM	RS	RW	RM	RS
0,8	0	+	+	+	+	+	0	+	+
0,6	+	+	+	-	-	+	+	+	+

Fonte: Autor
Legenda: Quadro geral comparativo dos resultados experimentais dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T) dos EMs e dos seus CMs equivalentes. Os sinais (+), (-) e (0) significam respectivamente um melhor desempenho, um pior desempenho e desempenho similar (+/- 3%) do EM em relação aos seus CMs equivalentes, respectivamente.

Os resultados experimentais demonstraram que a estrutura de porta em forma de elipse pode ser uma alternativa de leiaute para melhorar o desempenho elétrico dos MOSFETs, sem causar nenhum custo adicional ao atual processo de fabricação de CIs CMOS planares, em decorrência dos efeitos LCE e PAMDLE presentes nessa inovadora estrutura.

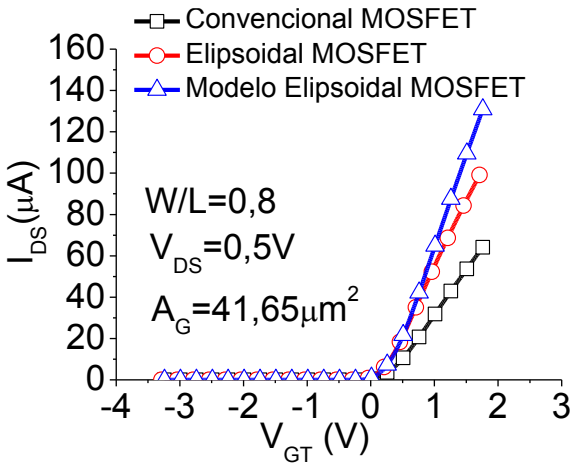
4.2 MODELO ANALÍTICO PROPOSTO DA I_{DS} PARA O EM

Esta seção deste capítulo tem por objetivo validar o modelo proposto da corrente de dreno dos EMs a partir dos resultados experimentais apresentados na seção anterior.

4.2.1 Validação do modelo analítico da I_{DS} proposto para os MOSFETs do tipo Elipsoidal

A Figura 30 ilustra as curvas experimentais das I_{DS} do EM e do seu CM equivalente em função da V_{GT}, considerando-se uma W/L igual a 0,8 e um V_{DS} igual a 0,5V. Além disso, a curva da I_{DS} do EM obtida pelo uso do modelo proposto por este trabalho de pesquisa (Equações (48) e Equação (49)) é apresentada nesse mesmo gráfico. Ela foi gerada a partir da curva experimental da corrente de dreno do CM equivalente.

Figura 30 – Curvas experimentais e do modelo proposto das I_{DS} em função da V_{GT}, considerando-se uma W/L igual a 0,8 e um V_{DS} igual a 0,5V

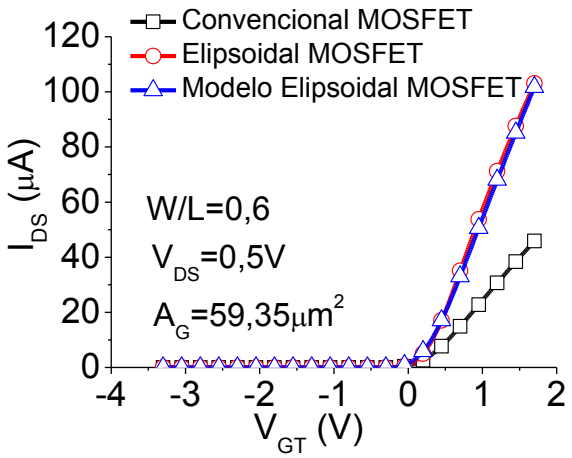


Fonte: Autor
Legenda: Curvas experimentais das I_{DS} do EM e CM equivalente em função da V_{GT}, considerando-se uma W/L igual a 0,8 e um V_{DS} igual a 0,5V e também a curva da I_{DS} do EM que foi obtida pelo modelo proposto, utilizando-se a curva experimental do CM equivalente

Analisando-se a Figura 30, podemos verificar que o erro relativo entre os valores obtidos pelo modelo proposto da I_{DS} do EM em relação aos seus valores experimentais foi de cerca de 25%, considerando-se V_{GT} igual a 1,5V.

A Figura 31 apresenta também as curvas experimentais das I_{DS} do EM e do CM equivalente em função de V_{GT}, considerando-se uma W/L igual a 0,6 e um V_{DS} igual a 0,5V. Também está representada nesse gráfico, a curva gerada pelo modelo proposto do EM usando-se os dados experimentais do CM equivalente.

Figura 31 – Curvas experimentais e do modelo proposto das I_{DS} em função da V_{GT}, considerando-se uma W/L igual a 0,6 e um V_{DS} igual a 0,5V



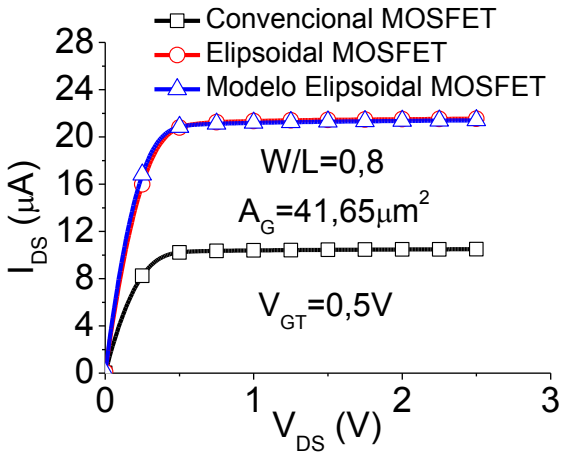
Fonte: Autor
Legenda: Curvas experimentais das I_{DS} do EM e CM equivalente em função da V_{GT}, considerando-se uma W/L igual a 0,6 e um V_{DS} igual a 0,5V e também a curva da I_{DS} do EM que foi obtida pelo modelo proposto, utilizando-se a curva experimental do CM equivalente

Através da Figura 31 podemos observar que o erro relativo entre os valores obtidos pelo modelo proposto da I_{DS} do EM em relação aos seus valores experimentais foi cerca de 2%, considerando-se V_{GT} igual a 1,5V.

Portanto, levando-se em conta as curvas características de I_{DS} em função de V_{GT} dos dispositivos analisados, podemos concluir que o modelo proposto tem uma precisão maior à medida que os efeitos LCE e PAMDLE são mais efetivos na estrutura do EM, ou seja, naqueles dispositivos com menores razões de aspecto.

A Figura 32 apresenta as curvas experimentais das I_{DS} dos EM e do seu CM equivalente em função da V_{DS}, considerando-se uma W/L igual a 0,8 e um V_{GT} igual a 0,5V. Além disso, mostra a curva da I_{DS} do EM, que foi obtida pelo uso do modelo proposto por este trabalho de pesquisa (Equações (48) e Equação (49)).

Figura 32 - Curvas experimentais e do modelo proposto das I_{DS} em função da V_{DS}, considerando-se uma W/L igual a 0,8 e um V_{GT} igual a 0,5V

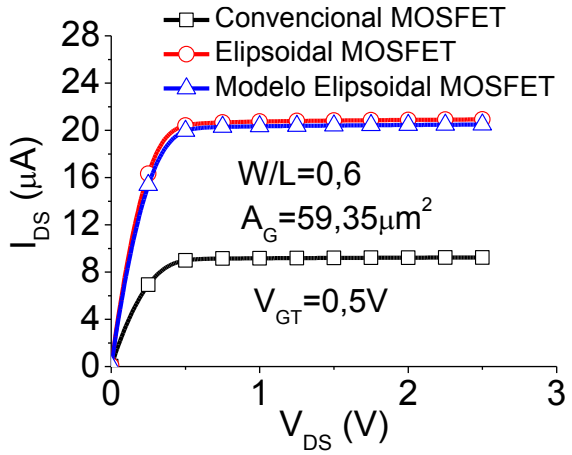


Fonte: Autor
Legenda: Curvas experimentais das I_{DS} do EM e CM equivalente em função da V_{DS}, considerando-se uma W/L igual a 0,8 e um V_{GT} igual a 0,5V e também a curva da I_{DS} do EM que foi obtida pelo modelo proposto, utilizando-se a curva experimental do CM equivalente

Por análise da Figura 32 podemos observar que o erro relativo entre os valores obtidos pelo modelo sugerido da I_{DS} do EM em relação aos seus valores experimentais foi cerca de 1%, considerando-se V_{GT} igual a 1,5V.

Analogamente, a Figura 33 apresenta as curvas experimentais das I_{DS} do EM e do CM equivalente em função de V_{DS}, considerando-se uma W/L igual a 0,6 e um V_{GT} de 0,5V. Também está representada nesse gráfico, a curva gerada pelo modelo proposto do EM usando-se os dados experimentais do CM equivalente.

Figura 33 - Curvas experimentais e do modelo proposto das I_{DS} em função da V_{DS}, considerando-se uma W/L igual a 0,6 e um V_{GT} igual a 0,5V



Fonte: Autor
Legenda: Curvas experimentais das I_{DS} do EM e CM equivalente em função da V_{DS}, considerando-se uma W/L igual a 0,6 e um V_{GT} igual a 0,5V e também a curva da I_{DS} do EM que foi obtida pelo modelo proposto, utilizando-se a curva experimental do CM equivalente

Considerando-se os resultados apresentados através da Figura 33, podemos verificar que o erro relativo entre os valores obtidos pelo modelo sugerido da I_{DS} do EM em relação aos seus valores experimentais foi cerca de 2%, considerando-se V_{GT} igual a 1,5V.

Portanto, analisando-se os resultados comparativos entre o modelo proposto e os dados experimentais dos EMs analisados, podemos concluir que o modelo pode ser adequado para predizer os valores dos dados experimentais de um EM a partir dos dados experimentais do CM equivalentes.

4.3 RESULTADOS OBTIDOS POR SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Nesta seção serão apresentados os resultados obtidos por simulações numéricas tridimensionais dos estudos do comportamento elétrico entre MOSFETs implementados com a geometria de porta em forma de elipse e os seus respectivos convencionais equivalentes (porta com formato retangular), para entender o impacto dos efeitos LCE e PAMDLE no desempenho elétrico dos MOSFETs do tipo Elipsoidal. Para tanto foram considerados dispositivos com a mesma área de porta e com as mesmas condições de polarização. Foram analisados os parâmetros I_{DS}, S, g_m, R_{on}, V_{EA}, g_m/I_{DS}, A_V e f_T.

Dos estudos experimentais determinou-se que os dispositivos com a dimensão B maior do que o W, apresentaram os melhores resultados para I_{DS}. Portanto, serão analisadas nas simulações os MOSFETs com construção estrutural com as mesmas dimensões daqueles MOSFETs investigados experimentalmente que apresentaram B maior do que W.

Os modelos utilizados nas simulações foram : BGN (*Bandgap Narrowing*), modelo importante para aplicações em regiões com alta concentração de dopantes; SHI (*Shirata*), modelo de mobilidade utilizado em conjunto com o modelo KLA; KLA (*Klaassen*), modelo de mobilidade que leva em consideração concentração e campos elétricos transversal e longitudinal; SRH (*Shockley-Read-Hall*), modelo que leva em consideração os efeitos de geração e recombinação dos portadores; IMPACT SELB modelo de ionização por impacto (ATLAS, 2008).

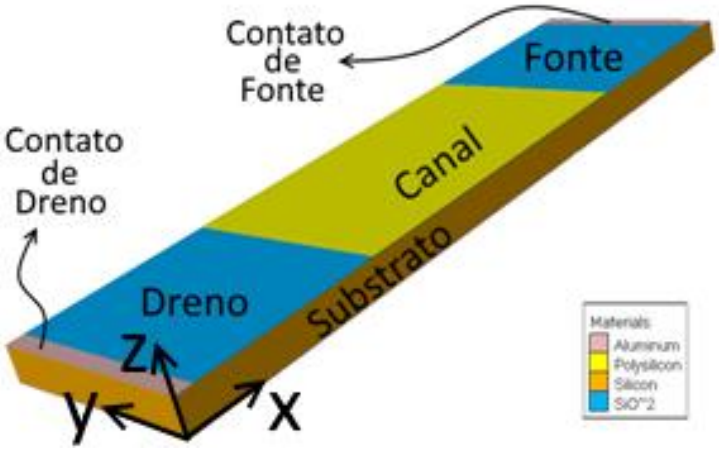
Com a definição dos transistores de interesse nesta investigação, o simulador a ser utilizado e as características e modelos numéricos a serem aplicados, foi possível elaborar os arquivos das estruturas a serem simuladas. Utilizou-se o programa DevEdit3D para a construção das estruturas tridimensionais dos MOSFETs e o programa ATLAS (Simulador Numérico de Dispositivos) para simular estas estruturas, ambos da *Silvaco International* (ATLAS, 2008). Estes forneceram como saída os arquivos com os resultados contendo as características elétricas dos dispositivos investigados.

Os dispositivos foram construídos com os mesmos materiais e concentrações, apenas apresentando mudanças nas dimensões geométricas. Também, dentro do possível, buscou-se a construção da mesma grade para os dispositivos, isto é, para as simulações procurou-se manter a construção das grades dos transistores EMs e os seus respectivos CMs equivalentes as mais próximas possíveis, a fim de garantir condições suficientes para realizar as comparações entre os MOSFETs.

Ilustrações das estruturas tridimensionais dos MOSFETs do tipo retangular e do MOSFETs do tipo Elipsoidal estudados neste trabalho podem ser vistas nas Figuras 34 e 35.

A Figura 34 mostra uma imagem tridimensional do CM, cuja característica principal é o formato da porta retangular. Além disso, estão identificadas os eixos x,y e z que serão utilizados para a identificação dos planos de corte realizados nas estruturas ao longo deste trabalho.

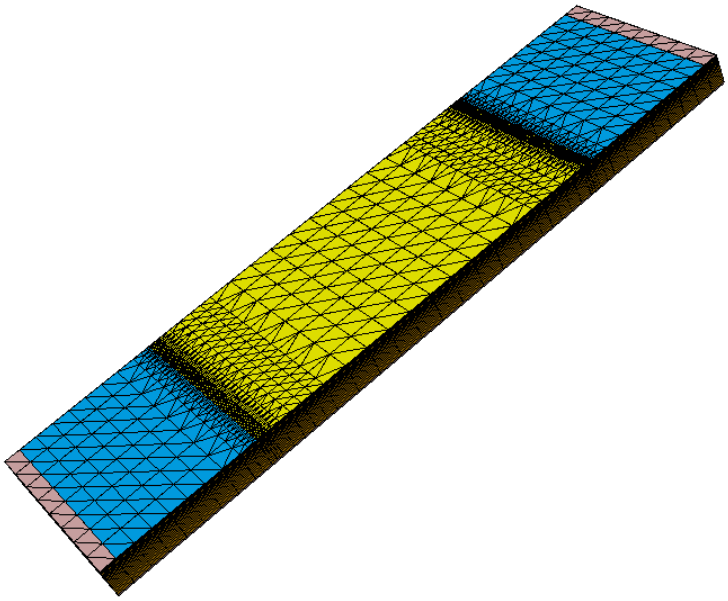
Figura 34 - Ilustração tridimensional da estrutura de um MOSFET do tipo retangular



Fonte: Autor

A Figura 35 mostra a grade tridimensional construída para o dispositivo CM.

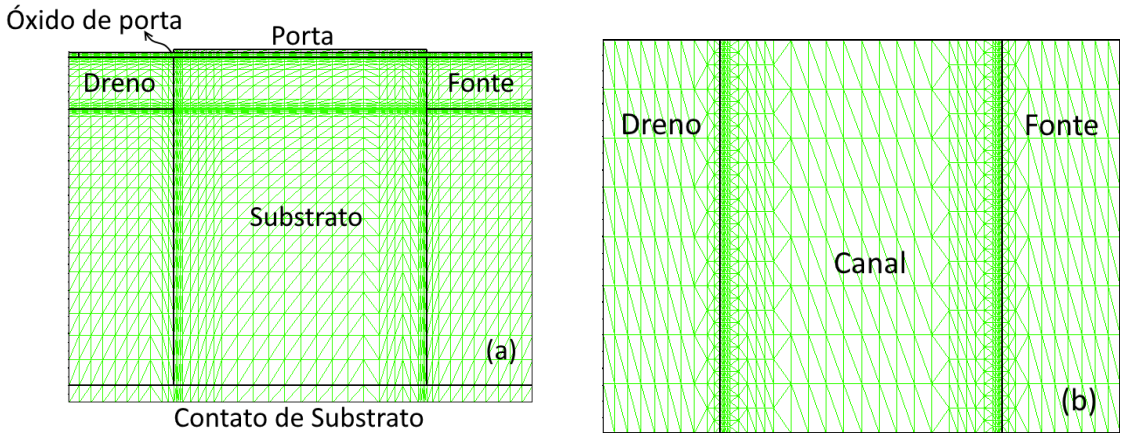
Figura 35- Vista tridimensional da grade do CM



Fonte: Autor

A Figura 36 mostra as grades em corte no centro do CM, para plano de corte y,z e no plano de corte x,y, respectivamente.

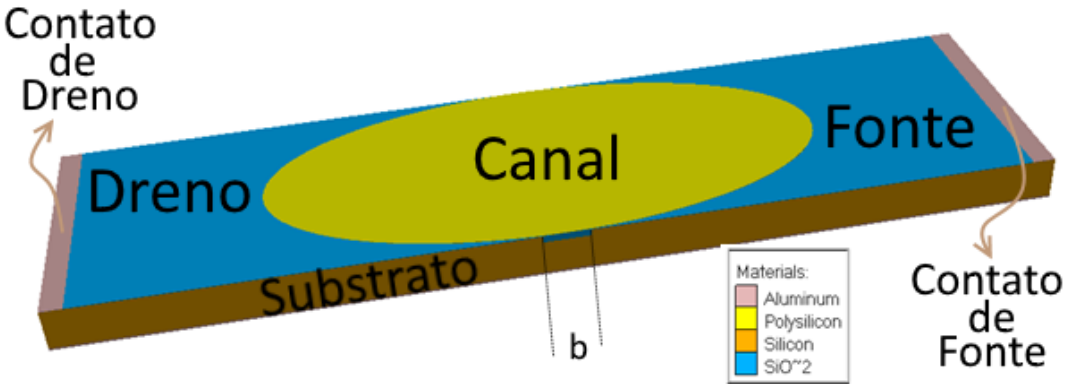
Figura 36- Grades em corte no centro do CM, no plano x,z (a) e no plano de corte x,y (b), respectivamente



Fonte: Autor

Figura 37 está ilustrada a imagem tridimensional do EM cuja característica principal é a estrutura da região da porta em formato de elipse.

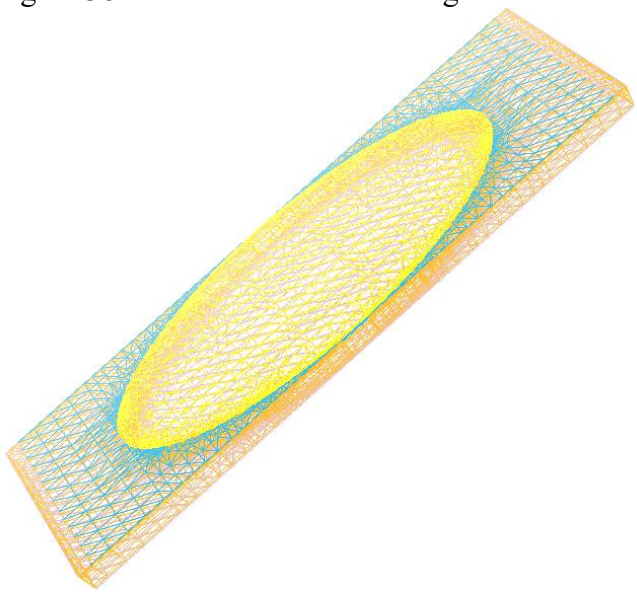
Figura 37 - Ilustração tridimensional da estrutura de um MOSFET do tipo Elipsoidal



Fonte: Autor

A Figura 38 apresenta de forma tridimensional, a grade construída para o EM.

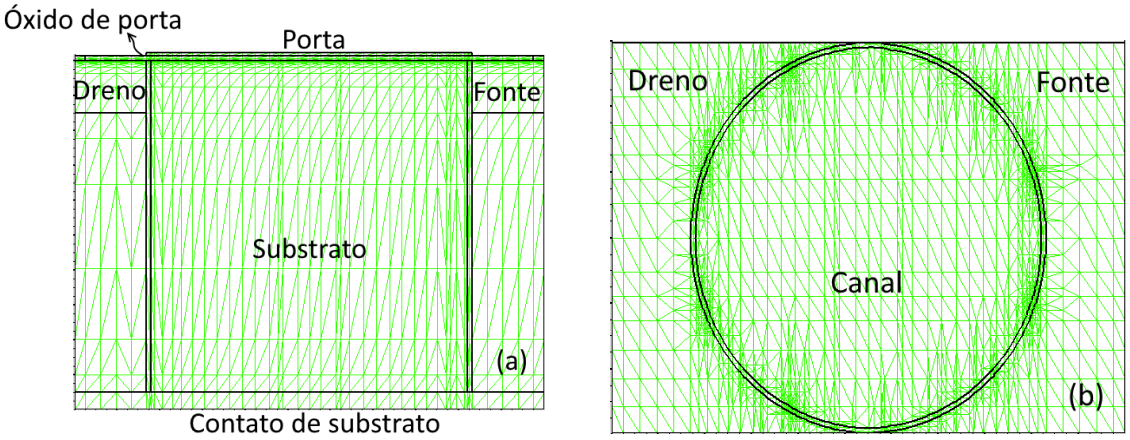
Figura 38- Vista tridimensional da grade do EM



Fonte: Autor

A Figura 39 mostra as grades em corte no centro do EM, no plano de corte y,z e no plano de corte x,y, respectivamente.

Figura 39- Grades em corte no centro do CM, no plano de corte x,z (a) e no plano de corte x,y (b), respectivamente



Fonte: Autor

4.3.1 Características físicas e elétricas dos dispositivos simulados

Com a finalidade de efetuar as comparações necessárias a este estudo, mantiveram-se constantes as dimensões da W e de b para todos os EMs e CMs

equivalentes. Além disso, as comparações foram realizadas considerando as mesmas condições de polarização e áreas de porta entre os EMs e CMs equivalentes.

A Tabela 17 apresenta as dimensões das estruturas simuladas. Mantiveram-se constantes as dimensões das W e dos b de todos os dispositivos. As comparações foram realizadas entre MOSFETs do tipo Elipsoidal e de seus respectivos MOSFETs convencionais equivalentes, considerando-se as mesmas larguras de canal, áreas de porta e condições de polarização. Os valores do L_{eff} dos EMs foram calculados utilizando-se a Equação (34). Além disso, observa-se na Tabela 17, o percentual da redução dos L dos EMs (L_{eff}) em relação aos dos seus respectivos CMs equivalentes.

Tabela 17 - Características dimensionais das estruturas MOSFETs simuladas

W/L	Forma Geo.	Área de Porta	CM		EM				Redução de L
W/L		A_G [µm²]	W [µm]	L [µm]	W [µm]	b [µm]	B [µm]	L_{eff} [µm]	[%]
0,8		41,65	5,95	7,00	5,95	1,05	8,91	6,14	+12,3
0,6		59,35	5,95	9,97	5,95	1,05	12,70	8,53	+14,4
0,5		71,22	5,95	11,97	5,95	1,05	15,24	10,15	+15,2

Fonte: Autor
Legenda: A coluna Redução (%) tem-se os ganhos das L_{eff} dos EMs em relação aos dos CMs equivalentes

A Tabela 18 mostra a V_{TH} dos EMs e dos CMs equivalentes investigados. As tensões de limiar foram extraídas utilizando-se a técnica da segunda derivada (CONDE, 2002), considerando-se um V_{DS} igual a 50mV.

Tabela 18 - Tabela comparativa das V_{TH} simuladas dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=50mV

W/L	Forma Geométrica			EM	CM
		W [µm]	L [µm]	V_{TH} [V]	V_{TH} [V]
0,8		5,95	7,00	0,79	0,80
0,6		5,95	9,97	0,80	0,80
0,5		5,95	11,97	0,79	0,80

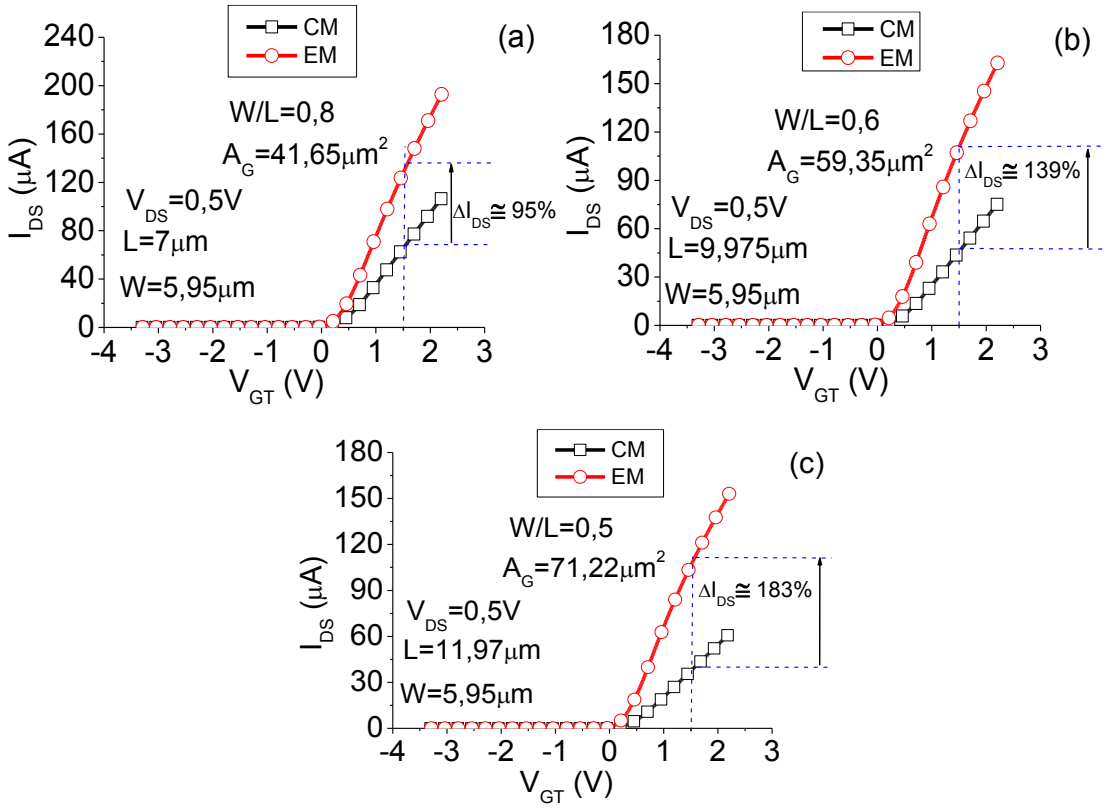
Fonte: Autor

A fim de efetuar as comparações necessárias dos dispositivos e a extração das informações desejadas das estruturas empregados nas simulações, utilizou-se as mesmas condições de polarização e área de porta para os EMs e os seus CMs equivalentes que foram utilizadas no estudo experimental. Assim, definiu-se para todos os transistores as curvas da corrente de dreno em função da sobretensão de porta para V_{DS} iguais a 0,5V. As curvas da corrente de dreno (I_{DS}) em função da tensão aplicada ao dreno (V_{DS}) foram extraídas considerando um V_{GT} igual a 0,5V e uma tensão aplicada ao substrato de 0V.

4.3.2 Curvas simuladas das correntes de dreno em função das sobretensões de porta (V_{GT})

A Figura 40 apresenta as curvas simuladas das I_{DS} em função da sobretensão de porta dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V.

Figura 40 - Curvas simuladas das I_{DS} em função de V_{GT}



Fonte: Autor
Legenda: Curvas simuladas das I_{DS} em função de V_{GT} dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=0,5V para W/L=0,8 (a), W/L=0,6 (b) e W/L=0,5 (c), respectivamente

A Tabela 19 mostra as comparações das I_{DS} dos EMs e dos seus CMs equivalentes da Figura 40, considerando-se um V_{DS} igual a 0,5V, V_{GT} igual a 1,5V e os transistores operando na região triodo.

Tabela 19 - Ganhos das I_{DS} dos EMs em relação aos seus CMs equivalentes

W/L	Forma Geométrica	Área A_G [μm²]	Tensão V_{DS} [V]	W [μm]	L [μm]	CM I_{DS} [μA]	L_{eff} [μm]	EM I_{DS} [μA]	Ganho de I_{DS} (%)
0,8		41,65	0,5	5,95	7,00	65,45	6,14	127,6	+95
0,6		59,35	0,5	5,95	9,97	46,17	8,53	110,4	+139
0,5		71,22	0,5	5,95	11,97	37,51	10,15	106,3	+183

Fonte: Autor
Legenda: Ganhos das I_{DS} dos EMs em relação aos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V, V_{GT} igual a 1,5V e os MOSFETs operando na região tríodo. A coluna Ganho (%) significa os ganhos das I_{DS} dos EMs em relação aos dos CMs equivalentes

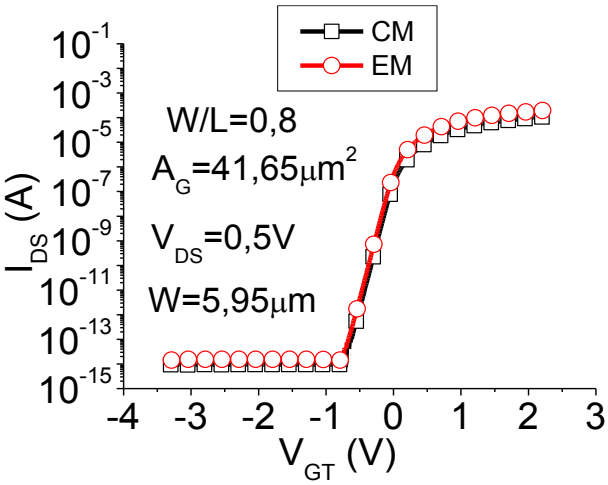
Analisando-se a Figura 40, podemos verificar que os EMs apresentam I_{DS} na região triodo significativamente sempre maiores do que aqueles achados nos seus CMs equivalentes. Observa-se de forma genérica que para um mesmo V_{GT} positivo, as diferenças entre as I_{DS} do EM e de seu respectivo CM equivalente aumentam a medida que as razões de aspecto diminuem. Os resultados simulados apresentam-se diferentes dos resultados experimentais, pois a *ON Semiconductor* não divulga parâmetros de fabricação. O estudo trata-se apenas da comparação entre EM e o seu CM equivalente.

Os campos elétricos longitudinais mais elevados existentes no EM, justificam tais comportamentos das I_{DS} dos EMs em relação aqueles observados nos CMs equivalentes. Os resultados simulados numericamente mostram as mesmas tendências que os resultados experimentais obtidos.

4.3.3 Curvas simuladas dos Log(I_{DS}) em função das sobretensões de porta (V_{GT})

A Figura 41 apresenta as curvas simuladas dos Log(I_{DS}) em função da V_{GT} do EM e do seu CM equivalente, considerando-se um W/L igual a 0,8 e um V_{DS} igual a 0,5V.

Figura 41 - Curvas simuladas dos Log(I_{DS}) em função de V_{GT}



Fonte: Autor
Legenda: Curvas simuladas dos Log(I_{DS}) em função de V_{GT} do EM e do seu CM equivalente, considerando-se um W/L=0,8 e um V_{DS} igual a 0,5V

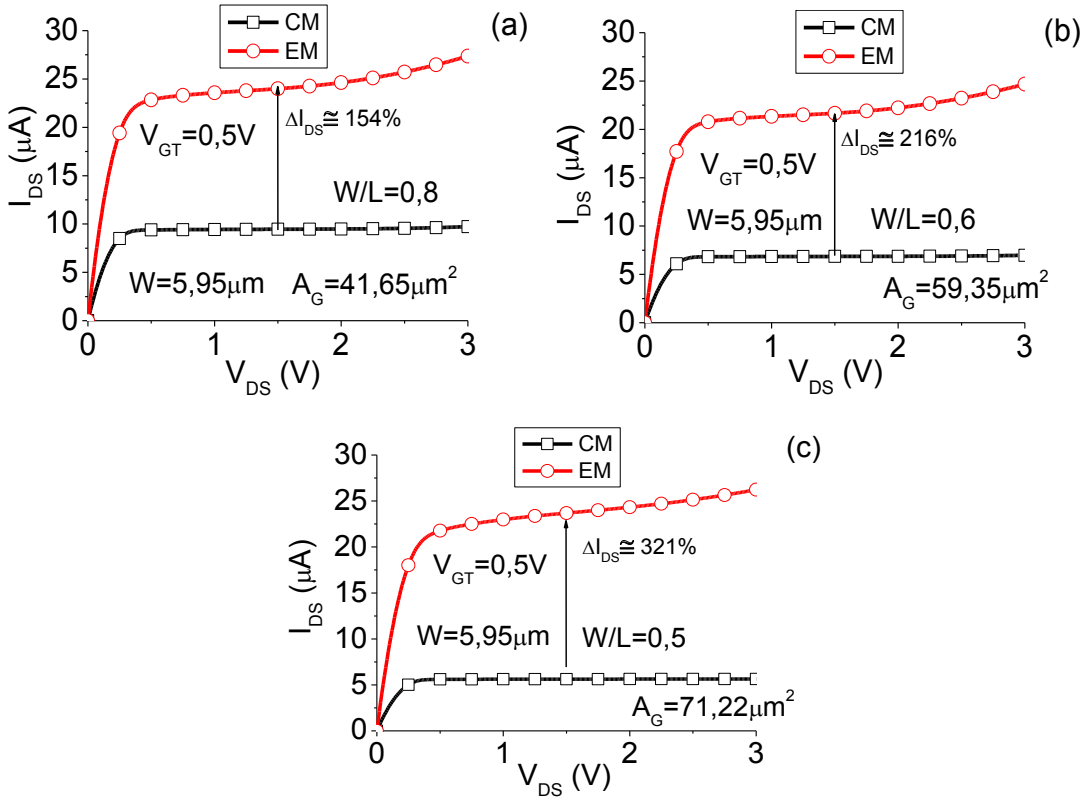
A Figura 41, mostra que a I_{DS} em estado ligado (I_{ON}) do EM (107,3μA) é 100,2% maior (2,9 vezes) do que aquele encontrado no CM equivalente (53,6μA), considerando-se o um V_{GT} igual a 1,3V (região triodo). Porém a I_{DS} de estado desligado (I_{OFF}) do EM (14,3fA) é 1,55 vezes menor do que o apresentado pelo CM equivalente (9,5fA). A corrente de fuga (I_{LEAK}) do EM (15,3fA) é 1,66 vezes menor do que aquela do CM (9,2fA), considerando-se um V_{GT} igual a -3V.

Os resultados simulados obtidos para I_{ON}, I_{OFF} e I_{LEAK} mostram as mesmas tendências dos resultados experimentais.

4.3.4 Curvas simuladas das correntes de dreno em função das tensões de dreno

A Figura 42 mostra as curvas simuladas das I_{DS} em função da V_{DS} dos EMs e dos seus CMs equivalentes, considerando-se um V_{GT} igual a 0,5V.

Figura 42 - Curvas simuladas das I_{DS} em função das V_{DS}



Fonte: Autor
Legenda: Curvas simuladas das I_{DS} em função das V_{DS} dos EMs e dos seus CMs equivalentes, considerando-se um V_{GT} igual a 0,5V para W/L=0,8 (a), W/L=0,6 (b) e W/L=0,5 (c), respectivamente

A Tabela 20 mostra as comparações das I_{DS} dos EMs e dos CMs equivalentes, considerando-se um V_{DS} igual a 1,5V, V_{GT} igual a 0,5V e os transistores operando na região de saturação.

Tabela 20 - Ganhos das I_{DS} dos EMs em relação aos seus CMs equivalentes

W/L	Forma Geo.	Área A_G [µm^2]	Tensão V_{GT} [V]	W [µm]	L [µm]	CM I_{DS} [µA]	L_{eff} [µm]	EM I_{DS} [µA]	Ganho de I_{DS} (%)
0,8		41,65	0,5	5,95	7,00	9,46	6,14	23,99	+154
0,6		59,35	0,5	5,95	9,97	6,86	8,53	21,67	+216
0,5		71,22	0,5	5,95	11,97	5,63	10,15	23,69	+321

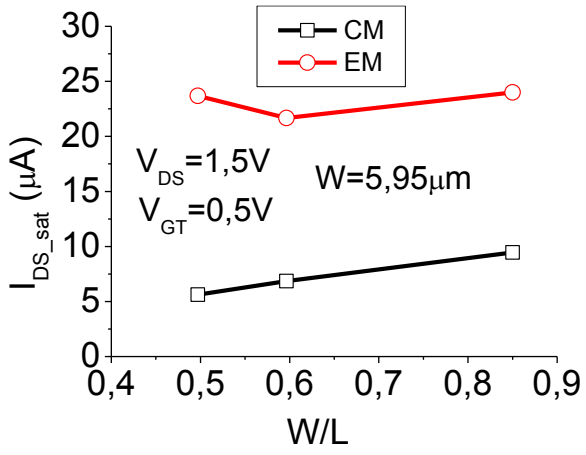
Fonte: Autor
Legenda: Ganhos das I_{DS} dos EMs em relação aos seus CMs equivalentes, considerando-se um V_{GT}=0,5V, V_{DS} igual a 1,5V e os transistores operando na região de saturação. A coluna Ganho (%) significa os ganhos das I_{DS_sat} dos EMs em relação aos dos CMs equivalentes

Analisando-se a Figura 42 e a Tabela 20 observa-se que os valores das I_{DS_sat} dos EMs são sempre maiores do que aqueles apresentados pelos seus respectivos CMs equivalentes, considerando-se as mesmas condições de polarização e razões de aspecto.

Observa-se também que as curvas simuladas seguem as mesmas tendências dos dispositivos analisados experimentalmente.

A Figura 43 mostra as curvas da I_{DS_sat} em função das W/L dos EMs e dos seus CMs equivalentes, considerando-se um V_{GT} igual a 0,5V, V_{DS} igual a 1,5V e os transistores operando na região de saturação.

Figura 43 - Curvas simuladas da I_{DS_sat} função da W/L



Fonte: Autor
Legenda: I_{DS_sat} função da W/L dos EMs e dos CMs equivalentes, considerando-se um V_{GT} igual a 0,5V, V_{DS} igual a 1,5V e os transistores operando na região de saturação

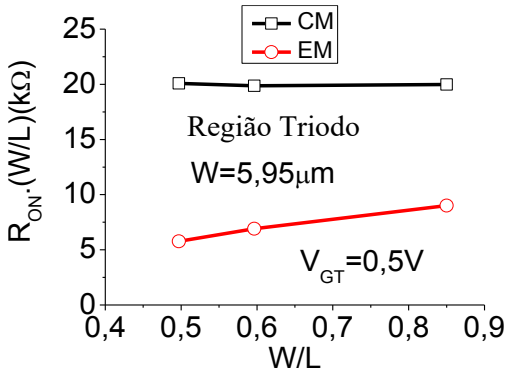
Analisando-se a Figuras 43 observa-se que os valores das I_{DS_sat} dos EMs são sempre maiores que aquelas apresentadas pelos CMs equivalentes, graças aos efeitos LCE e PAMDLE presentes nas estruturas dos EMs.

Os resultados simulados obtidos para I_{DS_sat} seguem as mesmas tendências que aqueles observados pelos resultados experimentais.

4.3.5 Resistências de estado ligado entre dreno e fonte

A Figura 44 apresenta as curvas das R_{ON}.(W/L) em função de W/L dos EMs e dos CMs equivalentes, considerando-se um V_{GT} igual a 0,5V e os transistores operando na região triodo.

Figura 44 - Curvas simuladas da R_{ON}.(W/L) em função da W/L



Fonte: Autor
Legenda: R_{ON}.(W/L) em função da W/L dos EMs e dos seus CMs equivalentes, considerando-se um V_{GT}=0,5V e os transistores operando na região triodo

A Tabela 21 mostra as R_{ON}.(W/L) dos EMs e dos CMs equivalentes, considerando-se um V_{GT} igual a 0,5V e os transistores operando na região linear da região triodo.

Tabela 21 - R_{ON}.(W/L) dos EMs em relação aos seus CMs equivalentes

W/L	Forma Geo.	Área A_G [μm²]	Tensão V_{GT} [V]	W [μm]	L [μm]	CM $R_{ON}.(W/L)$ [KΩ]	L_{eff} [μm]	EM $R_{ON}.(W/L)$ [KΩ]	Ganho (%)
0,8		41,65	0,5	5,95	7,00	19,98	6,14	9,01	+54,9
0,6		59,35	0,5	5,95	9,97	19,86	8,53	6,91	+65,1
0,5		71,22	0,5	5,95	11,97	20,08	10,15	5,77	+71,4

Fonte: Autor
Legenda: Ganhos das R_{ON}.(W/L) dos EMs em relação aos seus CMs equivalentes, considerando-se um V_{GT}=0,5V e os transistores operando na região linear da região triodo. A coluna Ganho (%) representa os ganhos das R_{ON}.(W/L) dos EMs em relação aos dos CMs equivalentes

A Tabela 21 mostra que as R_{ON} dos EMs são sempre menores (até 71,4%) em relação a dos seus CMs equivalentes. Além disso, a Tabela 21 mostra também que, quanto menores são as W/L, maiores são os ganhos das R_{ON}.(W/L) em relação aos seus CMs equivalentes. Os resultados simulados obtidos para as R_{ON}.(W/L) mostram as mesmas tendências daqueles obtidos pelos resultados experimentais.

4.3.6 Inclinações de sub-limiar

A Tabela 22 apresenta os valores das S dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 50mV.

Tabela 22 - S dos EMs e dos seus CMs equivalentes

W/L	Forma Geo.	Área A_G [μm^2]	L [µm]	CM *S* [mV/dec]	L_{Geo} [µm]	L_{eff} [µm]	EM *S* [mV/dec]	Ganho (%)
0,8		41,65	7,00	98	7,00	6,14	97	-1,0
0,6		59,35	9,97	100	9,97	8,53	97	-3,0
0,5		71,22	11,97	100	11,97	10,15	97	-3,0

Fonte: Autor
Legenda: Valores das S dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS}=50mV. A coluna Ganho (%) representa os ganhos das S dos EMs em relação aos dos CMs equivalentes

Analisando a Tabela 22, observa-se que as S dos EMs e dos CMs equivalentes são praticamente similares (valores com erros menores que 3%). Os resultados obtidos por simulações numéricas tridimensionais para as S desses transistores mostram as mesmas tendências daqueles obtidos por análises experimentais.

4.3.7 Tensão *Early*

A Tabela 23 mostra as tensões *Early* dos EMs e dos seus CMs equivalentes, que foram obtidas a partir da Figura 42. Além disso, essa tabela apresenta as comparações dos ganhos das V_{EA} dos EMs em relação a dos CMs equivalentes, considerando-se um V_{GT} de 0,5V e os dispositivos operando na região de saturação.

Tabela 23 - Resultados simulados das V_{EA}

W/L	Forma Geo.	Área A_G [μm^2]	L [μm]	CM V_{EA} [V]	L_{Geo} [μm]	L_{eff} [μm]	EM V_{EA} [V]	Ganho (%)
0,8		41,65	7,00	-165	7,00	6,14	-23	-86
0,6		59,35	9,97	-210	9,97	8,53	-31	-85
0,5		71,22	11,97	-380	11,97	10,15	-16	-96

Fonte: Autor
Legenda: Resultados simulados das V_{EA} dos EMs e dos seus respectivos CMs equivalentes, considerando-se um V_{GT}=0,5V e os dispositivos operando na região de saturação. A coluna Ganho (%) representa os ganhos das V_{EA} dos EMs em relação aos dos CMs equivalentes

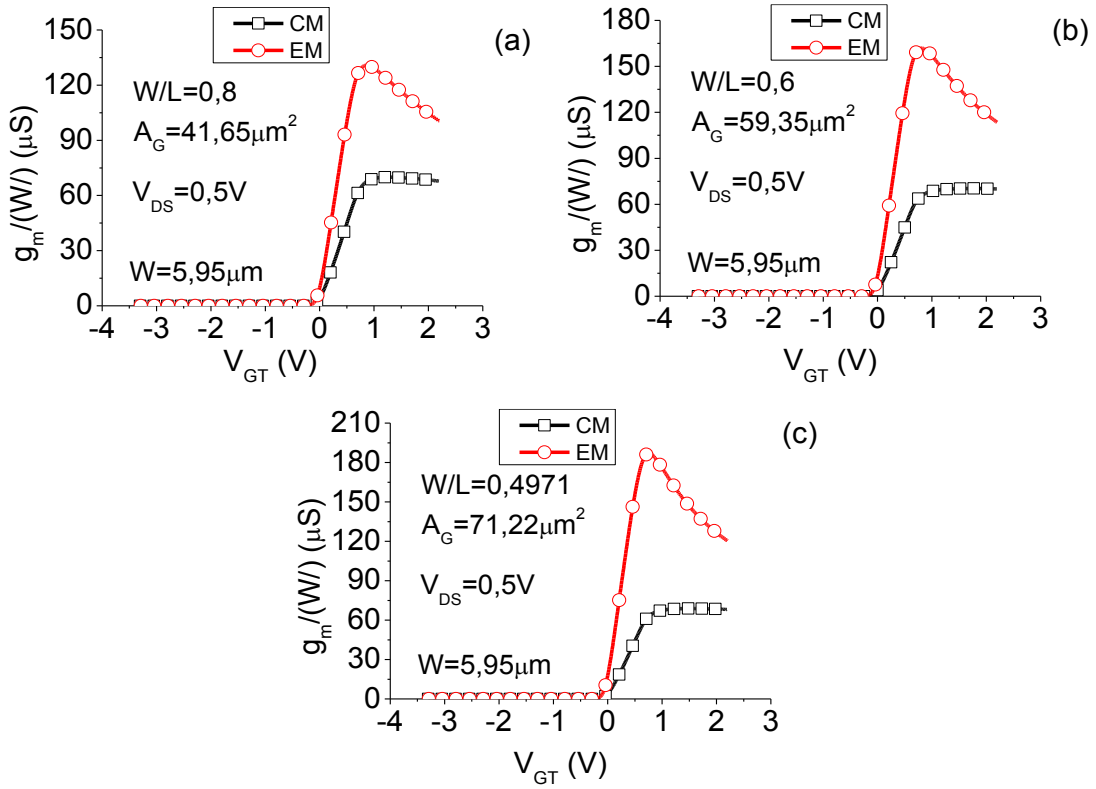
Analisando-se a Tabela 23, observa-se que os EMs sempre apresentam maiores valores das V_{EA} em relação aos seus CMs equivalentes. Isso pode ser justificado porque os EMs possuem campos elétricos longitudinais sempre maiores que aqueles dos CMs equivalentes em decorrência do LCE. Os valores apresentam grande divergência em relação aqueles medidos experimentalmente, pois para as simulações considerou-se o modelo da ionização por impacto, onde pode-se observar nas curvas I_{DS} em função de V_{DS} a ionização por impacto. O modelo de ionização por impacto foi considerado pois não tivemos acesso a alguns parâmetros de fabricação.

4.3.8 Curvas simuladas das transcondutâncias em função das sobretensões de porta

As curvas das transcondutâncias em função das sobretensões de porta foram obtidas considerando-se um V_{DS} igual a 0,5V.

A Figura 45 apresenta as curvas de g_m/(W/L) em função de V_{GT} dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V.

Figura 45 - Curvas simuladas das $g_m/(W/L)$ em função de V_{GT}



Fonte: Autor

Legenda: Curvas simuladas das $g_m/(W/L)$ em função de V_{GT} dos EMs e dos CMs equivalentes, para W/L=0,8 (a), W/L=0,6 (b), W/L=0,5 (c), considerando-se um V_{DS} igual a 0,5V

Analisando-se a Figura 45 observa-se que os EMs apresentam sempre maiores transcondutâncias máximas em relação a dos seus CMs equivalentes. As mesmas tendências foram observadas nos resultados experimentais. Isso é justificado em decorrência dos efeitos LCE e PAMDLE presentes nos EMs.

A Tabela 24 apresentam as transcondutâncias máxima normalizadas pelas razões de aspecto dos EMs e dos CMs equivalentes, considerando-se um V_{DS} igual a 0,5V.

Tabela 24 - $g_{m_máx}$/(W/L) dos EMs e dos seus CMs equivalentes

W/L	Forma Geo.	Área A_G [μm^2]	W [μm]	Tensão V_{DS} [V]	CM $g_{m_máx/(W/L)}$ [μS]	L_{Geo} [μm]	L_{eff} [μm]	EM $g_{m_máx/(W/L)}$ [μS]	Ganho (%)
0,8		41,65	5,95	0,5	69,18	7,00	6,14	131,13	+89,5
0,6		59,35	5,95	0,5	69,69	9,97	8,53	160,94	+130,9
0,5		71,22	5,95	0,5	68,88	11,97	10,15	186,68	+171,0

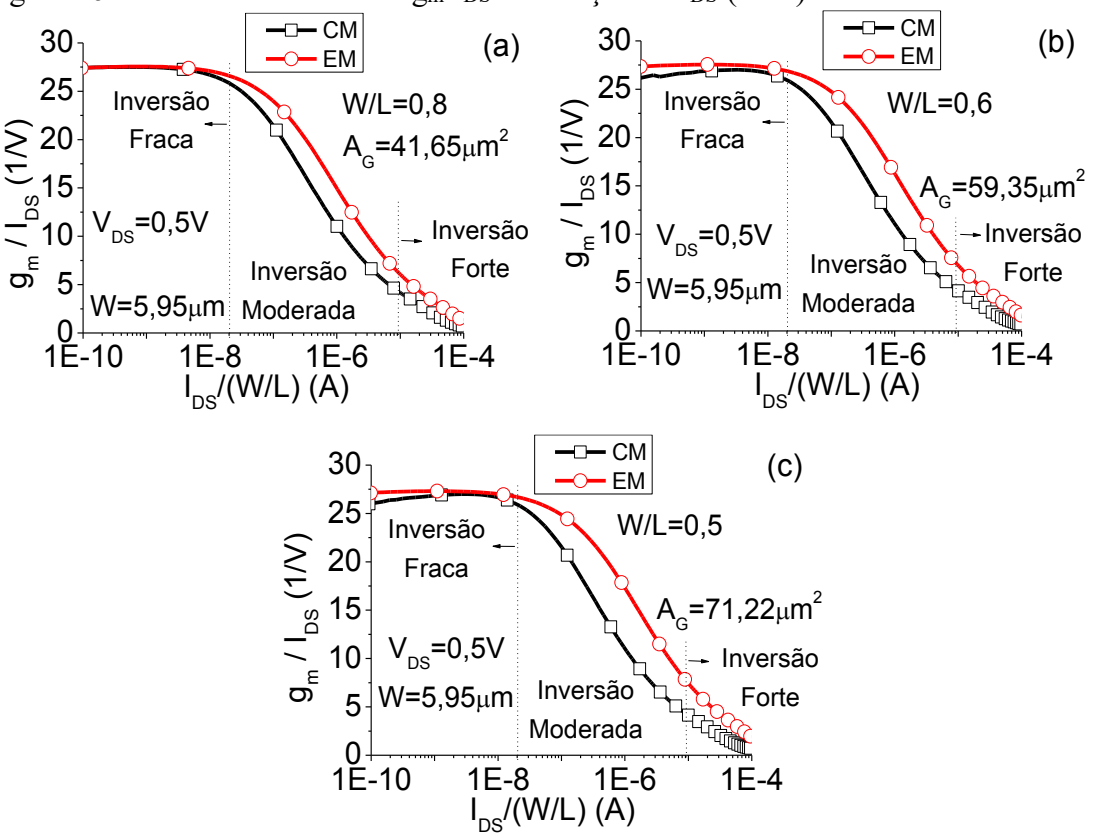
Fonte: Autor
Observação: $g_{m_máx}$/(W/L) dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V. A coluna Ganho (%) significa os ganhos das $g_{m_máx}$/(W/L) dos EMs em relação aos dos CMs equivalentes

A Tabela 24 mostra que os EMs mais pontiagudos apresentam sempre os maiores das $g_{m_máx}$ em relação a dos seus CMs equivalentes. Observa-se que o ganho de $g_{m_máx}$ do EM em relação aos dos CMs equivalentes com menor W/L (0,65) é notavelmente 2,7 vezes maior que o do CM equivalente. Deve-se ressaltar também que as mesmas tendências observadas pelas simulações numéricas tridimensionais ocorreram nas investigações experimentais.

4.3.9 Curvas simuladas das razões das transcondutâncias pelas correntes de dreno em função das correntes de dreno normalizadas pelas razões de aspecto

A Figura 46 mostra as curvas simuladas das razões g_m/I_{DS} em função de I_{DS}/(W/L) para os três regimes de inversão do canal dos EMs e dos seus respectivos CMs equivalentes, considerando-se um V_{DS} igual a 0,5V.

Figura 46 – Curvas simuladas da g_m/I_{DS} em função de $I_{DS}/(W/L)$



Fonte: Autor
Legenda: g_m/I_{DS} em função de $I_{DS}/(W/L)$ dos EMs e dos seus CMs equivalentes, para W/L=0,8 (a), W/L=0,6 (b) e W/L=0,5 (c), respectivamente, considerando-se um V_{DS} igual a 0,5V

A Tabela 25 apresenta os ganhos das g_m/I_{DS} dos EMs em relação a dos seus CMs equivalentes, onde G representa o quanto as g_m/I_{DS} dos EMs são maiores do que a dos CM equivalentes, considerando-se respectivamente uma $I_{DS}/(W/L)$ igual a 10^{-9}A (região do regime de inversão fraca: RW), uma $I_{DS}/(W/L)$ igual a 10^{-7}A (regime de inversão moderada: RM) e uma $I_{DS}/(W/L)$ igual a 2.10^{-5}A (regime de inversão forte: RS), e um V_{DS} igual a 0,5V.

Tabela 25 - g_m/I_{DS} simulados dos EMs e dos seus CMs equivalentes

Forma Geo.	CM RW	CM RM	CM RS	EM RW	EM RM	EM RS	RW Ganho	RM Ganho	RS Ganho
	g_m/I_{DS} [V^{-1}]	g_m/I_{DS} [V^{-1}]	g_m/I_{DS} [V^{-1}]	g_m/I_{DS} [V^{-1}]	g_m/I_{DS} [V^{-1}]	g_m/I_{DS} [V^{-1}]	*G* (%)	*G* (%)	*G* (%)
0,8	27,4	20,9	2,9	27,5	23,4	4,3	+0,4	+12,0	+48,3
0,6	26,8	21,4	2,9	27,5	24,6	4,8	+2,6	+15,0	+65,5
0,5	26,8	21,4	2,8	27,3	24,4	5,3	+1,9	+14,0	+89,3

Fonte: Autor

Legenda: g_m/I_{DS} dos EMs e dos seus CMs equivalentes, considerando-se V_{DS}=0,5V e para os três regimes de inversão do canal dos MOSFETs. A coluna G (%) significa os ganhos das g_m/I_{DS} dos EMs em relação aos dos CMs equivalentes

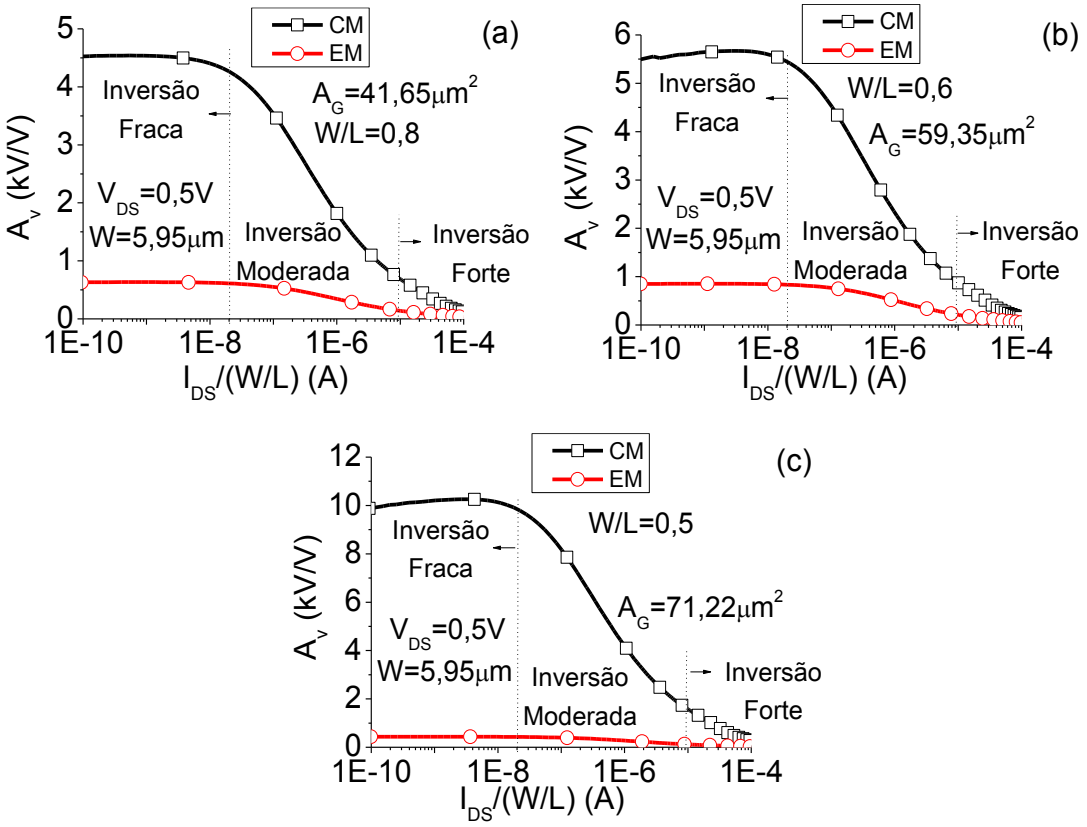
A Figura 46 e Tabela 25 mostram que as razões g_m/I_{DS} são sempre maiores nos EMs em relação aos seus respectivos CMs equivalentes para os três regimes de inversão. Além disso, observa-se que o EM mais pontiagudos (com menor valor de W/L), quando operando no regime de inversão forte, apresenta os maiores ganhos da razão g_m/I_{DS} (89%), quando comparado a do seu CM equivalente.

Os resultados simulados mostram as mesmas tendências daqueles obtidos por dados experimentais.

4.3.10 Curvas simuladas do ganho de tensão intrínseco dos MOSFETs

A Figura 47 mostra os A_V em função de I_{DS}/(W/L) para os três regimes de inversão do canal dos EMs e dos seus CMs equivalentes, considerando-se um V_{DS} igual a 0,5V, e para W/L igual a 0,8 (a), W/L igual a 0,6 (b) e W/L igual a 0,5 (c), respectivamente.

Figura 47 - Curvas simuladas do A_V em função da $I_{DS}/(W/L)$



Fonte: Autor

Legenda: Curvas simuladas do A_V em função da $I_{DS}/(W/L)$ dos EMs e dos seus respectivos CMs equivalentes, para W/L=0,8 (a), W/L=0,6 (b) e W/L=0,5 (c), respectivamente, considerando-se um V_{DS} igual a 0,5V

A Tabela 26 apresenta os ganhos dos A_V dos EMs em relação aos seus CMs equivalentes, considerando-se respectivamente uma $I_{DS}/(W/L)$ igual a 10^{-9}A (região do regime de inversão fraca: RW), uma $I_{DS}/(W/L)$ igual a 10^{-7}A (regime de inversão moderada: RM) e uma $I_{DS}/(W/L)$ igual a 2.10^{-5}A (regime de inversão forte: RS), e um V_{DS} igual a 0,5V.

Tabela 26 - A_V simulados dos EMs e dos seus CMs equivalentes

Forma Geo.	CM RW	CM RM	CM RS	EM RW	EM RM	EM RS	RW Ganho	RM Ganho	RS Ganho
	A_V [V/V]	A_V [V/V]	A_V [V/V]	A_V [V/V]	A_V [V/V]	A_V [V/V]	G (%)	G (%)	G (%)
0,8	4535	3461	480	633	540	98	-86,4	-84,4	-79,6
0,6	5644	4510	615	854	764	150	-84,9	-83,1	-75,6
0,5	10209	8162	1094	436	391	85	-95,7	-95,2	-92,2

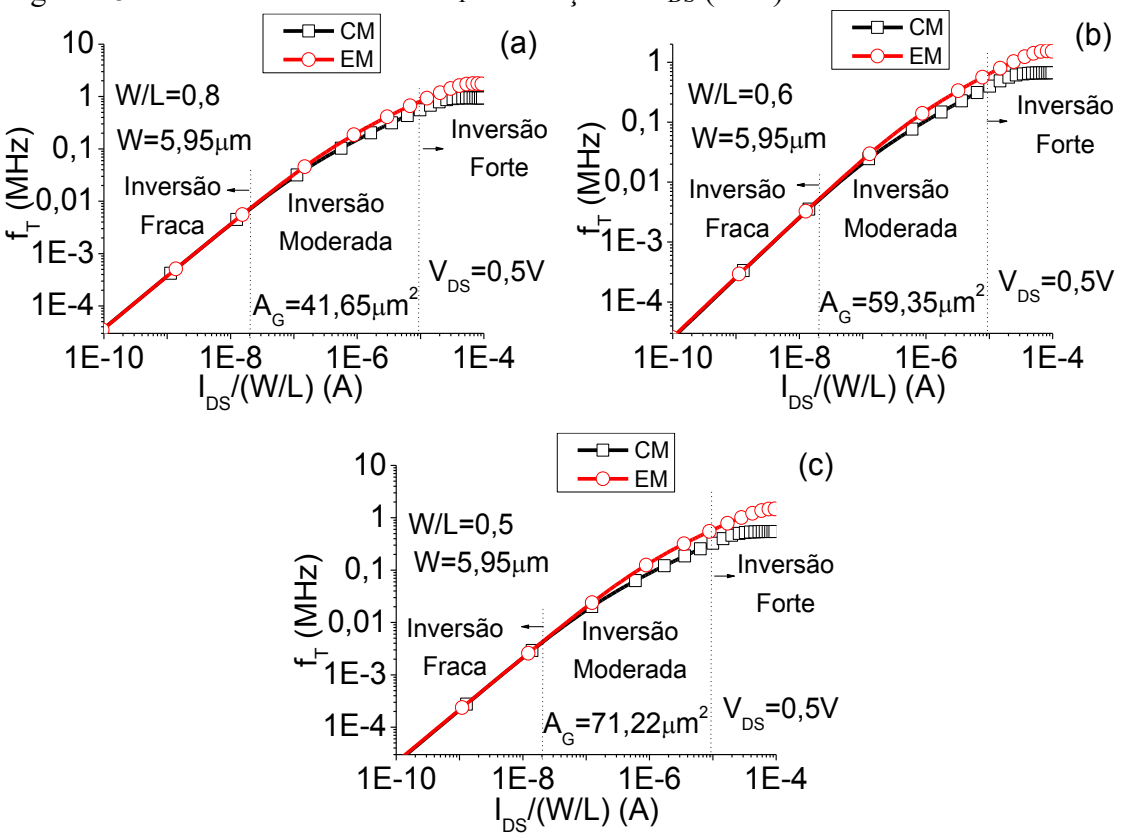
Fonte: Autor
Legenda: A_V dos EMs e dos seus CMs equivalentes, considerando-se V_{DS} igual a 0,5V e para os três regimes de inversão. A coluna G (%) significa os ganhos das A_V dos EMs em relação aos dos CMs equivalentes

A Tabela 26 mostra que os dispositivos EMs apresentam sempre menores valores de A_V quando comparado aos seus CMs equivalentes, em todas os regimes de inversão do canal dos transistores. Isto ocorreu pois como o A_V é diretamente proporcional a gm/I_{DS} e V_{EA}, e os valores de V_{EA} obtidos através das simulações numéricas tridimensionais foram fortemente afetados pelo modelo da ionização por impacto, acarretaram numa forte degradação dos A_V dos EMs. Esses resultados diferem daqueles obtidos pelos dados experimentais, ou seja, a ionização por impacto não tem forte influência para esses EMs estudados.

4.3.11 Curvas simuladas das frequências de ganho de tensão unitário

A Figura 48 apresenta as curvas simuladas das f_T em função da $I_{DS}/(W/L)$ para os EMs e seus respectivos CMs equivalentes, considerando-se um V_{DS} igual a 0,5V. Para a implementação das curvas das frequências de ganho de tensão unitária considerou-se uma capacitância de carga (C_L) de 10pF.

Figura 48 – Curvas simuladas das f_T em função de $I_{DS}/(W/L)$



Fonte: Autor

Legenda: f_T em função de $I_{DS}/(W/L)$ dos EMs e dos seus CMs equivalentes, para W/L=0,8 (a), W/L=0,6 (b) e W/L=0,5 (c), respectivamente, considerando-se um V_{DS} igual a 0,5V

A Tabela 27 apresenta as f_T dos EMs e dos seus CMs equivalentes, considerando-se uma $I_{DS}/(W/L)$ igual a 10^{-9}A (região do regime de inversão fraca: RW), uma $I_{DS}/(W/L)$ igual a 10^{-7}A (regime de inversão moderada: RM) e uma $I_{DS}/(W/L)$ igual a 2.10^{-5}A (regime de inversão forte: RS), e um V_{DS} igual a 0,5V (região de saturação).

Tabela 27 - f_T simuladas dos EMs e dos seus CMs equivalentes

Forma Geo.	W/L	CM RW	CM RM	CM RS	EM RW	EM RM	EM RS	RW Ganho	RM Ganho	RS Ganho
	W/L	f_T [Hz]	f_T [Hz]	f_T [Hz]	f_T [Hz]	f_T [Hz]	f_T [Hz]	G (%)	G (%)	G (%)
0,8	0,8	419	31728	802219	400	38140	1185293	-4,5	+20,2	+47,8
0,6	0,6	263	20948	564098	292	24324	934074	+11,0	+16,1	+65,6
0,5	0,5	216	17268	468097	236	23976	852302	+9,3	+38,8	+82,1

Fonte: Autor
Legenda: f_T simuladas dos EMs e dos seus CMs equivalentes, considerando-se V_{DS} igual a 0,5V para os três regimes de inversão. A coluna G (%)significa os ganhos das f_T dos EMs em relação aos dos CMs equivalentes

A Tabela 27 mostra que os valores das frequências de ganho de tensão unitário dos EMs apresentam sempre maiores valores em regimes de inversão moderada e forte, com exceção do EM com uma W/L de 0,8, quando ele opera no regime de inversão fraca, no qual apresenta um valor da f_T 4,5% menor em relação ao do seu CM equivalente. Além disso, observam-se ganhos de até +82,1% de g_m/I_{DS} para o EM mais pontiagudo (W/L igual a 0,5), considerando-se o regime de inversão forte.

Os resultados gerados pelas simulações numéricas tridimensionais das f_T apresentam as mesmas tendências daquelas observadas pelas análises experimentais.

4.3.12 Quadro comparativo geral dos principais parâmetros elétricos e figuras de mérito obtidos pelas simulações numéricas tridimensionais

Nesta seção é apresentado um quadro comparativo geral dos principais parâmetros e figuras de mérito resultantes das simulações numéricas 3D entre os MOSFETs implementados com as geometrias de porta elipsoidal e retangular.

A Tabela 28 mostra um quadro geral comparativo entre o desempenho dos parâmetros elétricos e figuras de mérito dos EMs em relação aos dos CMs equivalentes, obtidos por simulações numéricas 3D.

Tabela 28 - Quadro geral comparativo dos resultados das simulações numéricas 3D dos parâmetros elétricos e figuras de mérito (L_{eff}, I_{DS_Tri}, I_{DS_Sat}, R_{ON}, S, V_{EA} e $g_{m_Máx}$) dos EMs e dos CMs equivalentes

W/L	L_{eff}	I_{DS_Tri}	I_{DS_sat}	R_{ON}	S	V_{EA}	$g_{m_Máx}$
0,8	+	+	+	+	0	-	+
0,6	+	+	+	+	0	-	+
0,5	+	+	+	+	0	-	+

Fonte: Autor
Observação: Quadro geral comparativo dos resultados obtidos por simulações numéricas 3D dos parâmetros elétricos e figuras de mérito (L_{eff}, I_{DS_Tri}, I_{DS_Sat}, R_{ON}, S, V_{EA} e $g_{m_Máx}$) estudados dos EMs em relação a dos seus CMs equivalentes. Os sinais (+), (-) e (0) significam respectivamente um melhor desempenho, um pior desempenho e desempenho similar (+/- 3%) do EM em relação aos seus CMs equivalentes, respectivamente.

A Tabela 29 mostra um outro quadro geral comparativo do desempenho dos parâmetros elétricos e figuras de mérito do EM em relação aos dos CMs equivalentes, obtidos por simulações numéricas 3D.

Tabela 29 - Quadro geral comparativo dos resultados das simulações numéricas 3D dos parâmetros elétricos e figuras de mérito (I_{ON}, I_{OFF}, I_{Leak}) dos EMs e dos CMs equivalentes

W/L	I_{ON}	I_{OFF}	I_{Leak}
0,8	+	-	-

Fonte: Autor
Observação: Quadro geral comparativo dos resultados dos parâmetros elétricos e figuras de mérito (I_{ON}, I_{OFF}, I_{Leak}) obtidos por simulações numéricas 3D dos EMs e dos seus CMs equivalentes. Os sinais (+), (-) e (0) significam respectivamente um melhor desempenho, um pior desempenho e desempenho similar (+/- 3%) do EM em relação aos seus CMs equivalentes, respectivamente.

E por fim a Tabela 30 mostra o quadro geral comparativo dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T) do desempenho do EM em relação aos dos seus respectivos CM equivalentes nos três regimes de inversão do canal, obtidos por simulações numéricas 3D.

Tabela 30 - Quadro geral comparativo dos resultados dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T) obtidos por simulações numéricas 3D

W/L	g_m/I_{DS}			A_V			f_T		
	RW	RM	RS	RW	RM	RS	RW	RM	RS
0,8	0	+	+	-	-	-	-	+	+
0,6	0	+	+	-	-	-	+	+	+
0,5	0	+	+	-	-	-	+	+	+

Fonte: Autor
Observação: Quadro geral comparativo dos resultados dos parâmetros elétricos e figuras de mérito (g_m/I_{DS}, A_V e f_T) obtidos por simulações numéricas 3D, dos EMs e dos seus CMs equivalentes. Os sinais (+), (-) e (0) significam respectivamente um melhor desempenho, um pior desempenho e desempenho similar (+/- 3%) do EM em relação aos seus CMs equivalentes, respectivamente.

Os resultados obtidos por simulações numéricas 3D demonstraram novamente que a estrutura de porta em forma de elipse pode ser uma alternativa de leiaute para melhorar notavelmente o desempenho elétrico dos MOSFETs, sem causar nenhum custo adicional ao atual processo de fabricação de CIs CMOS planares, em decorrência dos efeitos LCE e PAMDLE presentes nessa inovadora estrutura de MOSFETs.

De maneira geral, sem considerar os resultados de V_{EA} e A_V, os resultados obtidos por simulações numéricas tridimensionais mostraram as mesmas tendências daqueles observados pelos estudos experimentais.

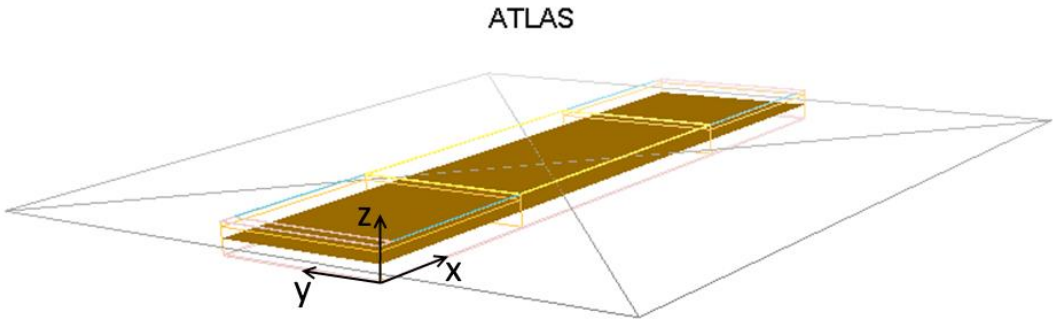
4.4 RESULTADOS OBTIDOS POR SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS PARA A DENSIDADE TOTAL DA CORRENTE DE DRENO E PARA O CAMPO ELÉTRICO LONGITUDINAL

Para uma melhor avaliação e compreensão do comportamento elétrico dos MOSFETs com estilo de leiaute do tipo elipsoidal, simulações numéricas tridimensionais foram realizadas para a densidade total da corrente de dreno e para o campo elétrico longitudinal ao longo do canal dos EMs e CMs equivalentes.

As Figuras 49 e 50 mostram as imagens tridimensionais visualizadas por meio da ferramenta computacional TONYPLOT3D de um corte no plano de corte x,y dos MOSFETs dos tipos retangular (convencional) e Elipsoidal, respectivamente. Os planos de corte x,y para esta investigação foram realizados dentro da camada de inversão no volume de silício do canal, exatamente a 1,5nm (z igual a 998,5nm) afastado da interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal.

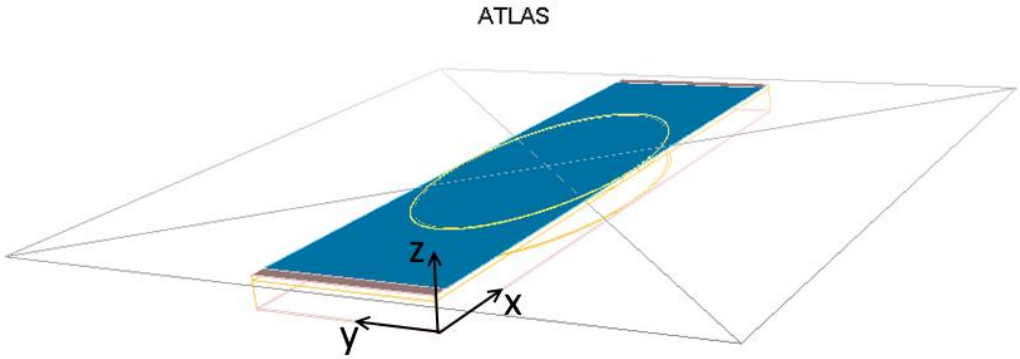
Este plano de corte x,y será exportado e visualizado por meio da ferramenta computacional TONYPLOT2D, onde serão analisados os parâmetros desejados da densidade total da corrente de dreno e do campo elétrico longitudinal.

Figura 49 - Ilustração do plano de corte x,y para o MOSFET do tipo convencional,



Fonte: Autor
Legenda: Ilustração do plano de corte x,y para o MOSFET do tipo convencional, situado a 1,5nm da interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal

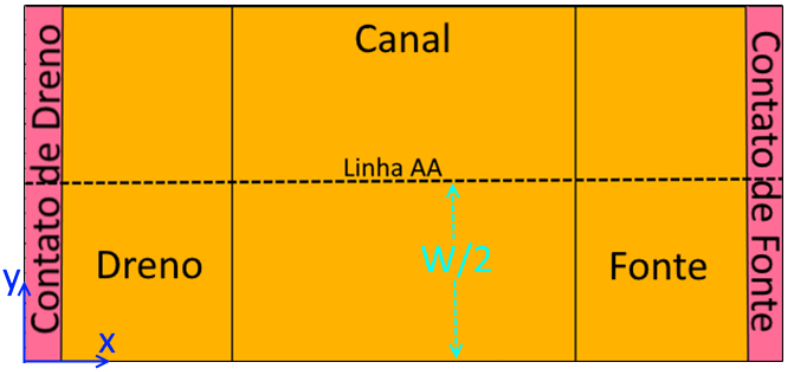
Figura 50 - Ilustração do plano de corte x,y para o MOSFET do tipo Elipsoidal



Fonte: Autor
Legenda: Ilustração do plano de corte x,y para o MOSFET do tipo Elipsoidal, situado a 1,5nm da interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal

A Figura 51 ilustra o plano de corte x,y do CM. Determinou-se a linha de corte AA que está localizada no centro do canal do CM (y igual a W/2) e se estende desde a extremidade do dreno até a extremidade da fonte. Ela será utilizada para os estudos da densidade total da corrente de dreno e do LEF dos CMs.

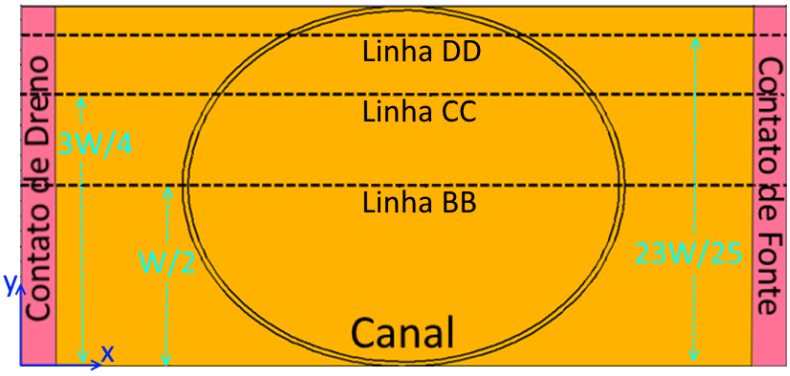
Figura 51 - Ilustração do plano de corte x,y no CM



Fonte: Autor
Legenda: Ilustração do plano de corte x,y, situado a 1,5nm da interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal, visualizado por meio da ferramenta computacional TONYPLOT2D, indicando a linha de corte AA localizada no centro da estrutura (em y=W/2) e se estende desde a extremidade do dreno até a extremidade da fonte

A Figura 52 mostra o plano de corte x,y do EM. Na ilustração do plano de corte x,y, determinou-se as linhas de corte BB, CC e DD que se estendem desde a extremidade do dreno até a extremidade da fonte e que serão utilizadas para os estudos da densidade total da corrente de dreno e do campo elétrico longitudinal dos EMs. A linha de corte BB do plano de corte x,y está posicionada no centro da estrutura, ou seja, em y igual a W/2, a linha de corte CC está posicionada em y igual a 3W/4 (da metade do canal) e a linha de corte DD está posicionada em y igual a 23W/25 (próxima a extremidade do canal), conforme a Figura 52.

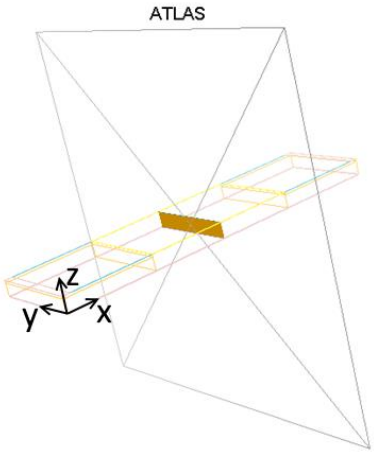
Figura 52 - Ilustração do plano de corte x,y no EM



Fonte: Autor
Legenda: Ilustração do plano de corte x,y, situado a 1,5nm da interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal, visualizado por meio da ferramenta computacional TONYPLOT2D, indicando as linhas de corte BB, CC e DD localizadas em y=W/2, y=3W/4 e y=23W/25, respectivamente. As linhas se estendem desde a extremidade do dreno até a extremidade da fonte

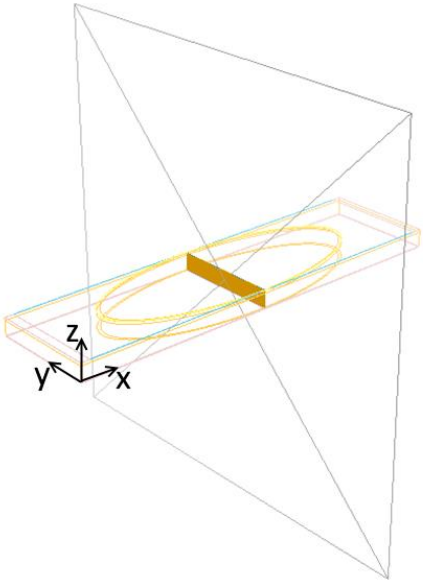
As Figuras 53 e 54 mostram as imagens tridimensionais geradas pelo TONYPLOT3D de um corte no plano y,z dos MOSFETs dos tipos retangular (convencional) e Elipsoidal equivalente (mesmas larguras de canal e áreas de porta), respectivamente. Os planos de corte y,z foram realizados exatamente a 11µm da extremidade do dreno (x igual a 11µm), no centro do dispositivo e estende-se por toda a sua largura de canal. Este plano de corte y,z será exportado e visualizado por meio da ferramenta computacional TONYPLOT2D.

Figura 53 - Ilustração do plano de corte y,z do CM, que está situado em x=11µm (centro do transistor)



Fonte: Autor

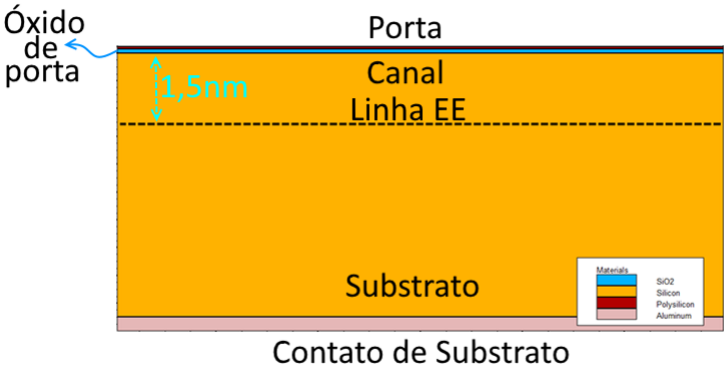
Figura 54 - Ilustração do plano de corte y,z do EM, que está localizado em x=11µm



Fonte: Autor

A Figura 55 mostra uma ilustração do plano de corte y,z para ambos os MOSFETs estudados. No plano de corte mostrado, definiu-se a linha de corte EE, que é utilizada para a investigação dos parâmetros elétricos e figuras de mérito dos EMs e dos CMs equivalentes. A linha de corte EE está exatamente a 1,5nm (z igual a 998,5nm) da interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal e estende-se por toda a largura do dispositivo.

Figura 55 - Ilustração do plano de corte y,z para o EM e para o CM equivalente



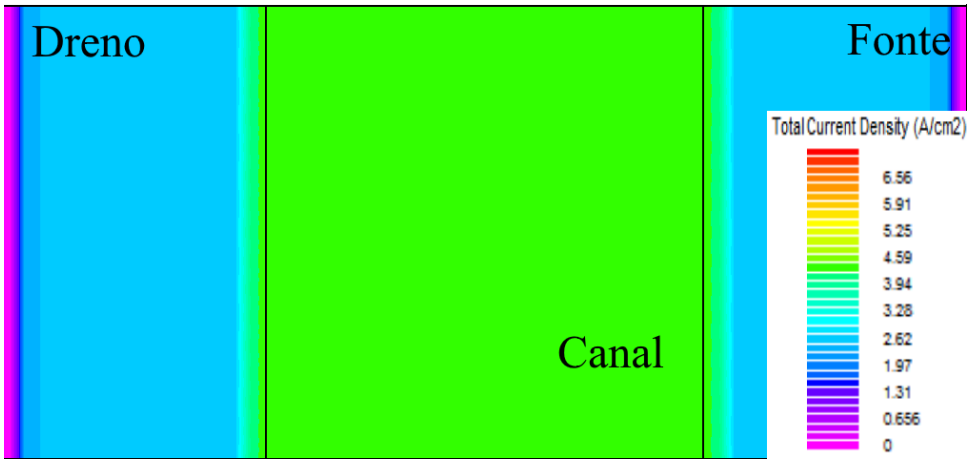
Fonte: Autor
Legenda: Ilustração do plano de corte y,z para o EM e para o CM equivalente, visualizado por meio da ferramenta computacional TONYPLOT2D, indicando a linha de corte EE localizada a 1,5nm (z=998,5nm) da interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal, e estende-se por toda a largura do dispositivo

4.4.1 Resultados obtidos por simulação numérica 3D da densidade total da corrente de dreno no plano de corte x,y dos EMs e dos seus respectivos CMs equivalentes

Nesta etapa será investigado o comportamento das densidades totais da corrente de dreno dos EMs e de seus respectivos CMs equivalentes, levando-se em conta o plano de corte x,y.

A Figura 56 apresenta a distribuição da densidade total de corrente de dreno no volume de silício do CM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, uma A_G de 59,35μm^2, um V_{GT} igual a 0,2V, um V_{DS} igual a 2,5V, e o transistor operando na região de saturação.

Figura 56 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do CM

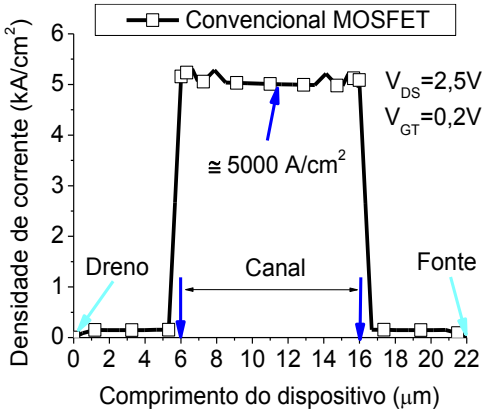


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do CM, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação. A legenda da Figura está em escala logarítmica (10^n).

Observa-se pela análise da Figura 56, que a densidade total da corrente de dreno do CM apresenta uma distribuição ao longo de todo o canal homogênea, levando-se em conta o plano de corte x,y.

A Figura 57 mostra a densidade total da corrente de dreno correspondente a Figura 56 na direção x e sobre a linha de corte AA, situada em y igual a W/2 do plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 57 - Densidade total da corrente de dreno correspondente a Figura 56

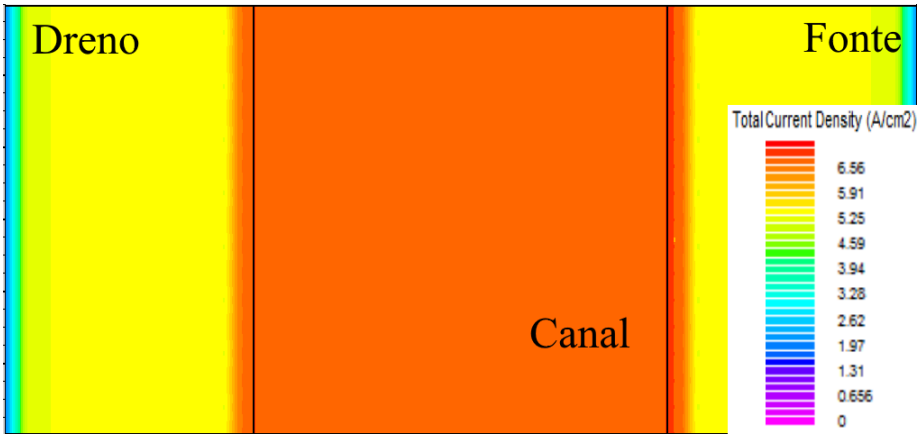


Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente a Figura 56 na direção x do plano de corte x,y do CM sobre a linha de corte AA situada em y=W/2, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação

Analisando-se a Figura 57, observa-se que a densidade total da corrente de dreno ao longo de todo o comprimento do canal é praticamente constante, cujo valor é de aproximadamente igual a 5000A/cm^2.

A Figura 58 apresenta a distribuição da densidade total da corrente de dreno no volume de silício do CM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 58 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do CM

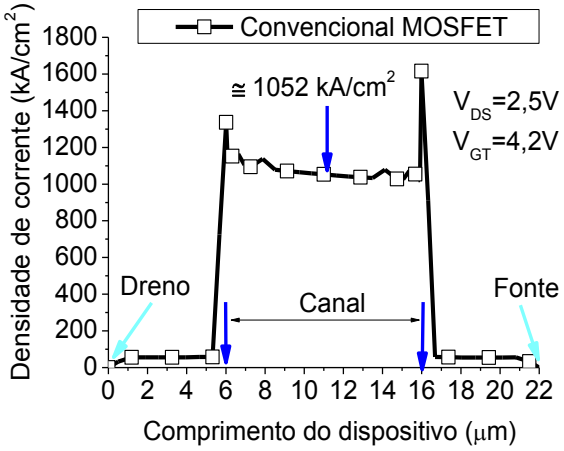


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do CM, considerando-se uma W/L=0,6, A_G=59,35µm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo. A legenda da Figura está em escala logarítmica (10^n).

Observando-se a Figura 58, observamos que a densidade total da corrente de dreno no volume de silício do plano de corte x,y, apresenta uma distribuição homogênea ao longo do canal.

A Figura 59 mostra a densidade total da corrente de dreno correspondente a Figura 58 na direção x e sobre a linha de corte AA situada em y igual a W/2 do plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 59 - Densidade total da corrente de dreno correspondente a Figura 58

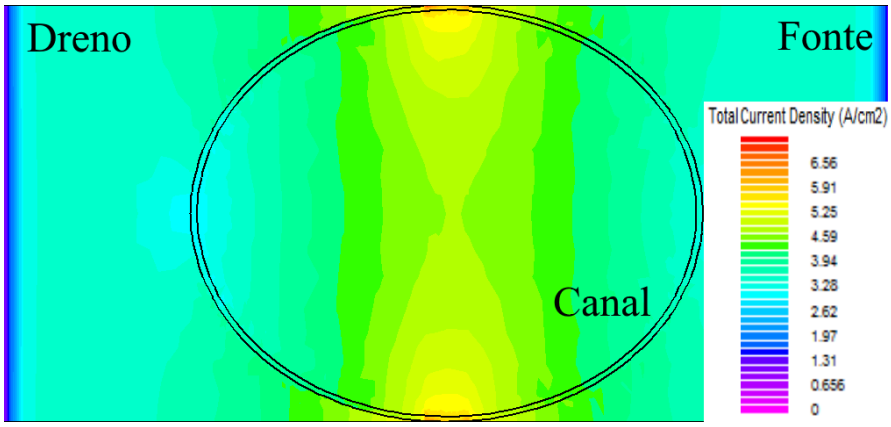


Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente a Figura 58 na direção x do plano de corte x,y do CM sobre a linha de corte AA situada em y=W/2, considerando-se uma W/L=0,6, A_G=59,35μm², V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Analisando-se a Figura 59, pode-se verificar que a densidade total da corrente de dreno ao longo de todo o comprimento do canal é praticamente constante, cujo valor é de aproximadamente igual a 1052kA/cm².

A Figura 60 apresenta a distribuição da densidade total da corrente de dreno no volume de silício do EM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm², V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 60 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do EM

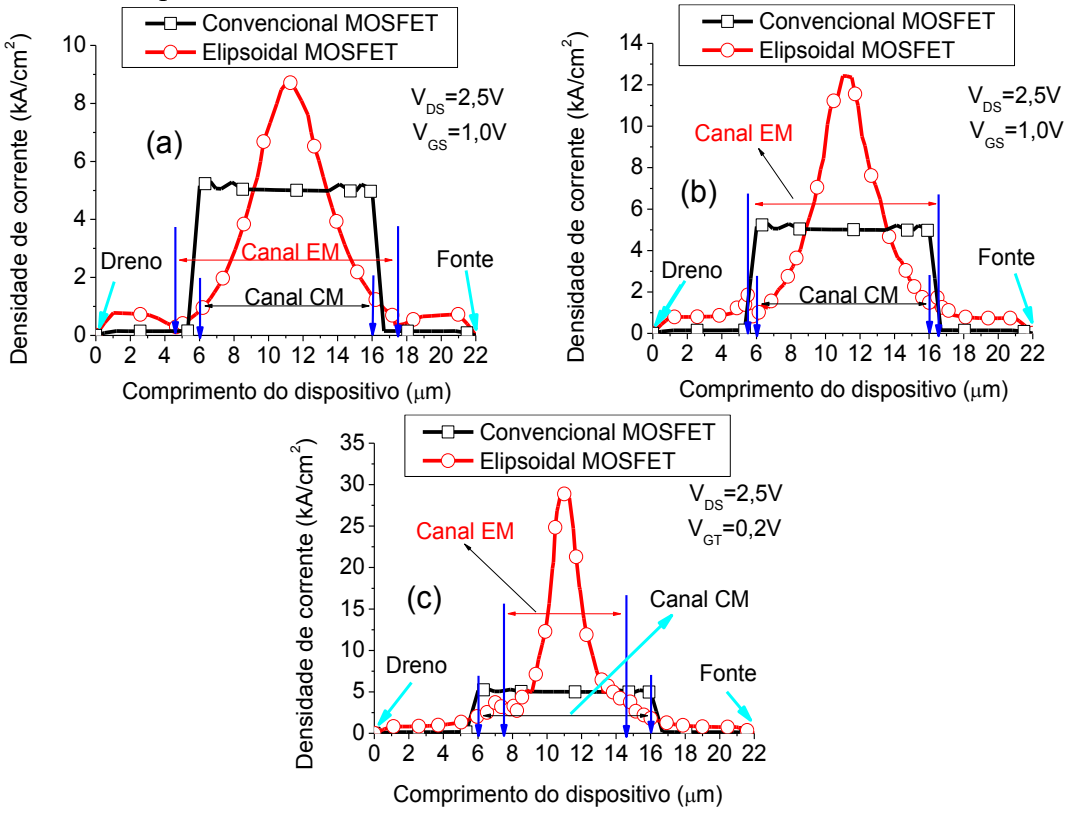


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do EM, considerando-se uma W/L=0,6, A_G=59,35μm², V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação. A legenda da Figura está em escala logarítmica (10^n).

Observa-se através da Figura 60, que a densidade total da corrente de dreno do EM no plano de corte x,y apresenta uma distribuição não homogênea ao longo de todo o comprimentos do canal, diferente daquele que foi observado no CM equivalente. Na realidade ela é mais intensa na região central ao longo de toda a largura do canal desse transistor. Além disso, observa-se que a densidade total da corrente de dreno é mais elevada nos cantos do que na região central do canal do EM, em decorrência do efeito PAMDLE. Este comportamento da densidade total da corrente de dreno no canal do EM com formato de porta elipsoidal pode ser justificado pela atividade dos efeitos PAMDLE e LCE, que estão presentes nesta estrutura.

A Figura 61 apresenta as comparações das densidades totais da corrente de dreno correspondente ao EM da Figura 60 na direção x e sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c), respectivamente, do plano de corte x,y, e do seu CM equivalente da Figura 57 (na direção x e sobre linha de corte AA situada em y igual a W/2 do plano de corte x,y), considerando-se uma W/L igual a 0,6, uma A_G igual a 59,35μm^2, um V_{GT} igual a 0,2V, e um V_{DS} igual a 2,5V e os transistores operando na região de saturação.

Figura 61 - Densidade total da corrente de dreno correspondente do EM e do seu CM equivalente

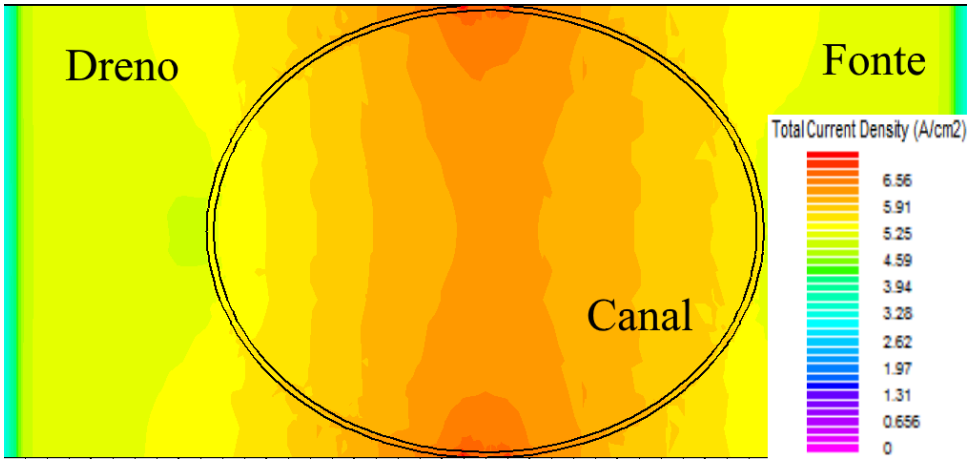


Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente ao EM da Figura 60 sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c) e do seu CM equivalente da Figura 57 (linha de corte AA situada em y=W/2 na direção x do plano de corte x,y), considerando-se uma W/L=0,6, A_G=59,35μm², V_{GT}=0,2V, V_{DS}=2,5V e os transistores operando na região de saturação.

Observa-se através da análise da Figura 61, que as densidades totais da corrente de dreno do EM apresentam menores intensidades próximos as interfaces formadas pelas regiões de dreno/fonte e o filme de silício da região do canal, considerando-se as três linhas de corte (BB, CC e DD) analisadas. Além disso, no meio do canal, o EM sempre apresenta maiores valores das densidades totais da corrente de dreno nas três linhas de corte consideradas (8600A/cm², 12400A/cm² e 29000A/cm² para as linhas BB, CC e DD, respectivamente), quando comparados com o do seu CM (5000A/cm²) equivalente, em virtude principalmente a dominância do efeito LCE. É importante notar também que, quanto mais perto da borda do canal do EM, maiores serão os valores da densidade da corrente de dreno. Isso é causado pela maior influência do efeito PAMDLE em relação aquele do efeito do LCE. Portanto, os resultados obtidos para as I_{DS} por análise dos dados experimentais são justificados pela maior densidade de corrente que ocorre no EM quando comparado ao do CM equivalente.

A Figura 62 apresenta a distribuição da densidade total da corrente de dreno no volume de silício do EM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 62 - Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do EM

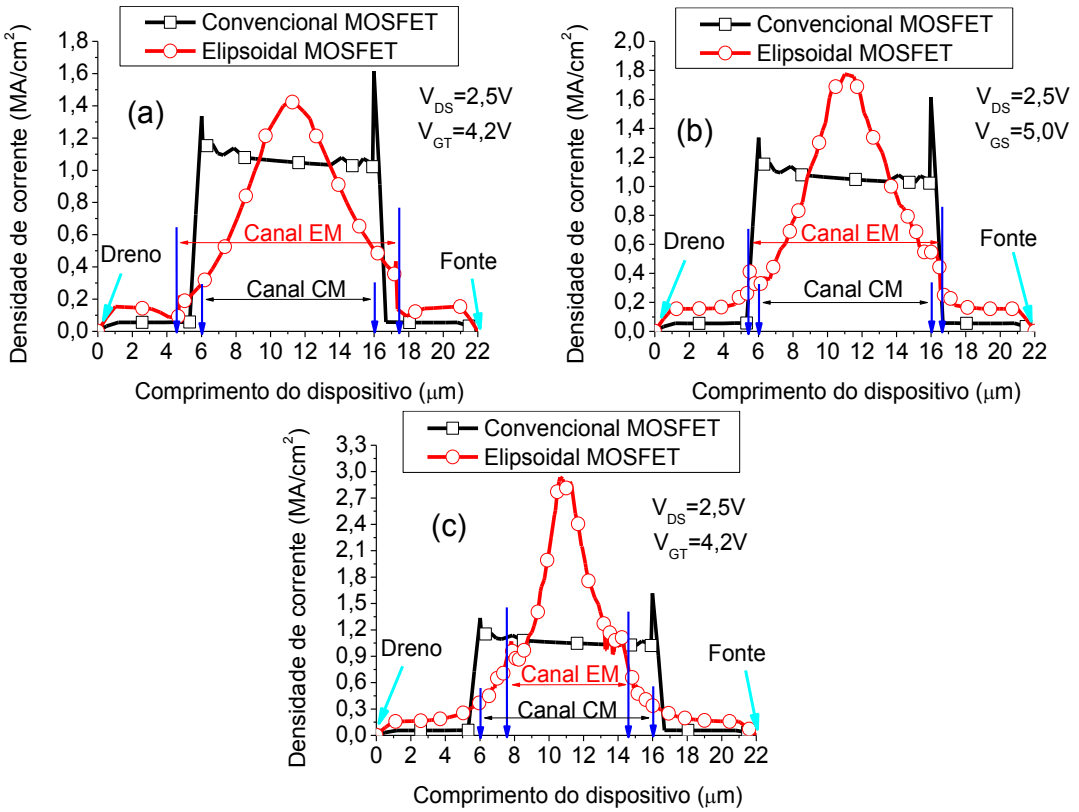


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno no plano de corte x,y do EM, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo. A legenda da Figura está em escala logarítmica (10^n).

Analisando-se a Figura 62, observa-se que a densidade total da corrente de dreno do EM no plano de corte x,y apresenta uma distribuição não homogênea ao longo de todo o comprimentos do canal, diferente daquele que foi observado no CM equivalente. Na realidade ela é mais intensa na região central ao longo de toda a largura do canal do EM (LCE é predominante que o PAMDLE) e fica mais intensa em suas bordas (efeito PAMDLE mais predominante que o LCE). Este comportamento da densidade total da corrente de dreno no canal do EM com formato de porta elipsoidal pode ser justificado pela atividade dos efeitos PAMDLE e LCE, que estão presentes nesta estrutura.

A Figura 63 apresenta as comparações das densidades totais da corrente de dreno correspondente ao EM da Figura 62 na direção x e sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c), respectivamente, do plano de corte x,y. e do seu CM equivalente da Figura 58 (direção x e sobre a linha de corte AA, situada em y=W/2 do plano de corte x,y), considerando-se uma razão W/L igual a 0,6, uma A_G de 59,35μm^2, um V_{GT} de 4,2V, um V_{DS} de 2,5V e os transistores operando na região triodo.

Figura 63 - Densidade total da corrente de dreno correspondente ao EM e do seu CM equivalente



Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente ao EM da Figura 62 sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c) e do seu CM equivalente da Figura 58 (linha de corte AA, situada em y=W/2 na direção x do plano de corte x,y), considerando-se uma W/L=0,6, A_G=59,35μm², V_{GT}=4,2V, V_{DS}=2,5V e os transistores operando na região tríodo.

Pela análise da Figura 63, verifica-se que as densidades totais da corrente de dreno do EM na região triodo apresentam o mesmo comportamento daquele observado na região de saturação.

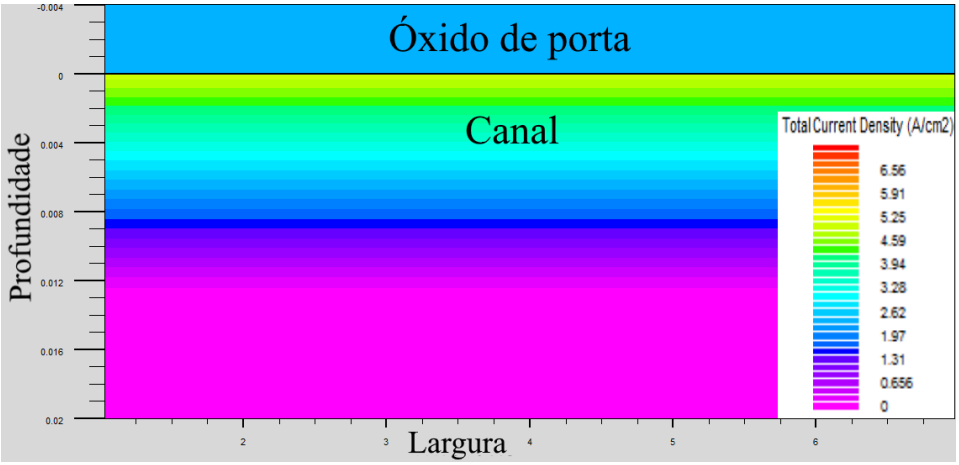
4.4.2 Resultados obtidos por simulação numérica 3D para a densidade total da corrente de dreno no plano de corte y,z das estruturas EMs e de seus respectivos CMs equivalentes

Nesta etapa será investigado o comportamento das densidades totais da corrente de dreno dos EMs e de seus respectivos CMs equivalentes, levando-se em conta o plano de corte x,z.

A Figura 64 apresenta a distribuição da densidade total da corrente de dreno no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6,

A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 64 - Ilustração da distribuição da densidade total da corrente de dreno do CM no plano y,z,

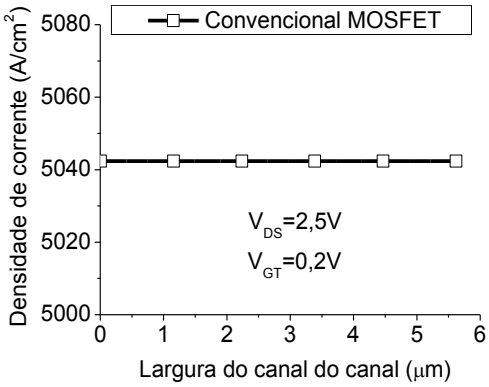


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno do CM no plano y,z, considerando-se uma W/L igual a 0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação. A legenda da Figura está em escala logarítmica (10^n).

A Figura 64 mostra que para o CM a densidade total da corrente de dreno apresenta uma distribuição mais intensa na interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal e estende-se por toda a largura do dispositivo mantendo sua intensidade constante ao longo da largura do canal.

A Figura 65 apresenta a distribuição da densidade total da corrente de dreno no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 65 - Densidade total da corrente de dreno correspondente ao CM da Figura 92 na direção y

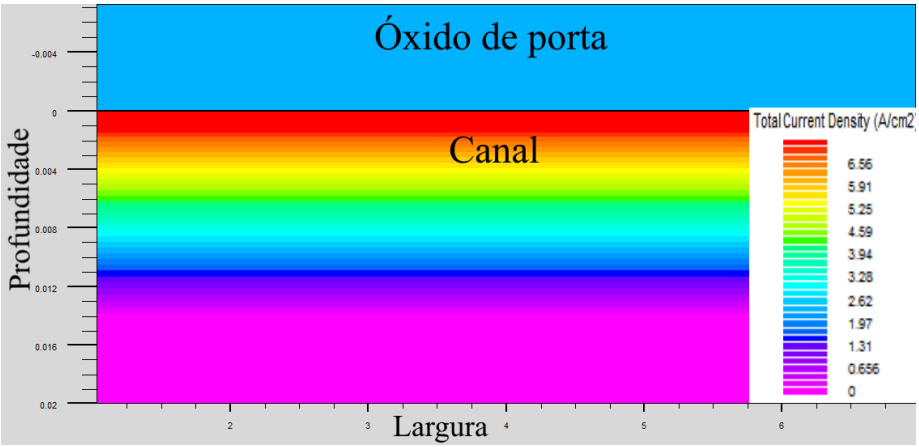


Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente ao CM da Figura 92 na direção y do plano de corte y,z sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm², V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

A análise da Figura 65 observa-se que a densidade total da corrente de dreno ao longo de toda a largura do canal é praticamente constante apresentando o valor de aproximadamente igual a 5043A/cm².

A Figura 66 mostra a distribuição da densidade total da corrente de dreno no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm², V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 66 - Ilustração da distribuição da densidade total da corrente de dreno da camada de inversão do CM no plano y,z

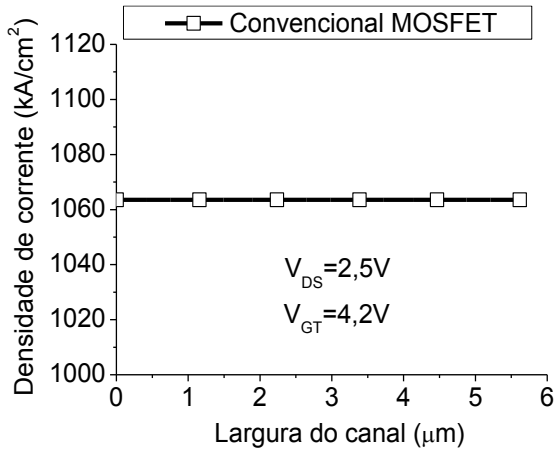


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno da camada de inversão do CM no plano y,z, considerando-se uma W/L=0,6, A_G=59,35μm², V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo. A legenda da Figura está em escala logarítmica (10^n).

A análise da Figura 66 mostra que a densidade total da corrente de dreno do CM apresenta uma distribuição mais intensa na interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal e estende-se por toda a largura do dispositivo mantendo sua intensidade constante ao longo da largura do canal. Além disso, a intensidade da densidade total da corrente de dreno torna-se menos intensa em direção a profundidade do canal.

A Figura 67 apresenta a distribuição da densidade total da corrente de dreno no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 67 - Densidade total da corrente de dreno correspondente ao CM da Figura 94 na direção y do plano de corte y,z

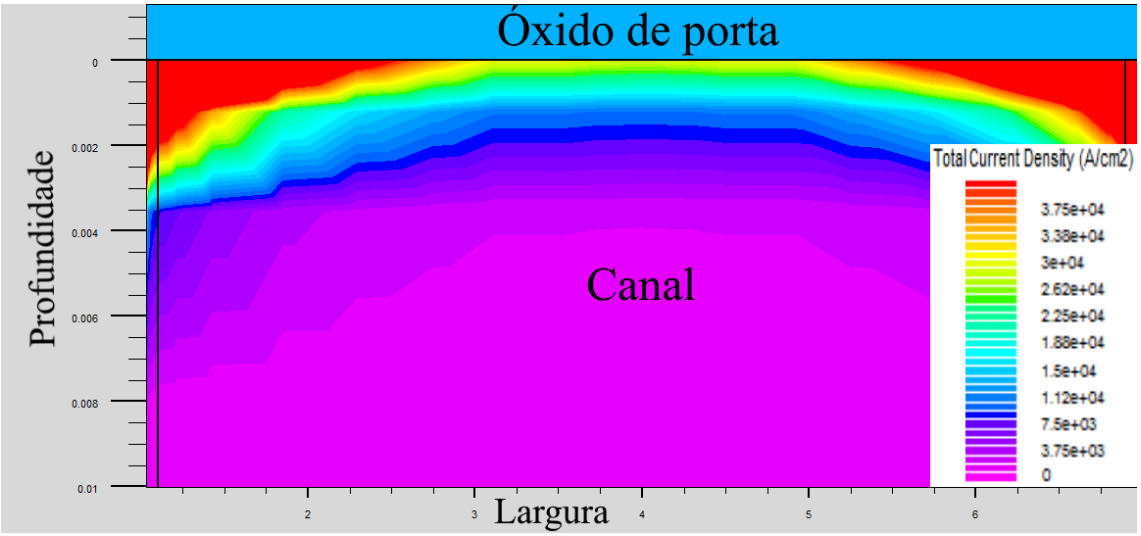


Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente ao CM da Figura 94 na direção y do plano de corte y,z sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Na Figura 67 pode-se verificar que a densidade total da corrente de dreno ao longo de todo a largura do canal é constante, cujo valor é de aproximadamente igual a 1063kA/cm^2.

A Figura 68 mostra a distribuição da densidade total da corrente de dreno no volume de silício do EM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 68 - Ilustração da distribuição da densidade total da corrente de dreno do CM no plano y,z

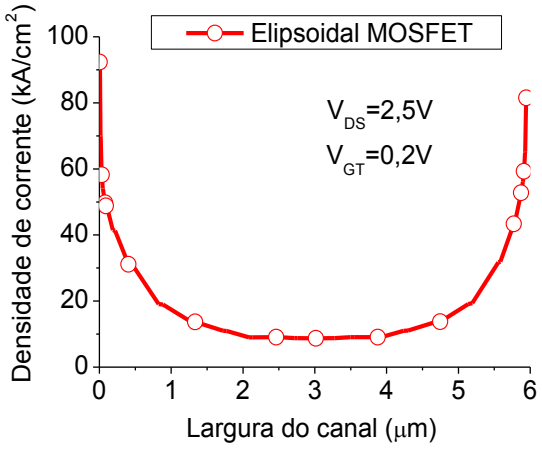


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno do CM no plano y,z, considerando-se uma W/L=0,6, A_G=59,35µm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

A análise da Figura 68 mostra que para o EM a densidade total da corrente de dreno mostra uma distribuição mais intensa nas extremidades da largura do canal com interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal, tornando-se menos intensa mais ao centro da largura do canal na camada de inversão. Além disso, a intensidade da densidade total da corrente de dreno torna-se menos intensa em direção a profundidade do canal.

A Figura 69 apresenta a densidade total da corrente de dreno correspondente ao EM da Figura 68 na direção y e sobre linha de corte EE situada em z=998,5nm do plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 69 - Curva da densidade total da corrente de dreno correspondente ao EM da Figura 68 na direção y do plano de corte y,z

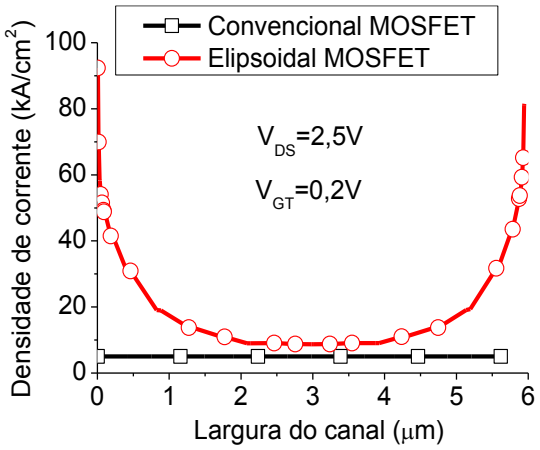


Fonte: Autor
Legenda: Curva da densidade total da corrente de dreno correspondente ao EM da Figura 68 na direção y do plano de corte y,z sobre linha de corte EE situada em z igual a 998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

A análise da Figura 69 mostra que a densidade total da corrente de dreno do EM apresenta o valor de aproximadamente 90kA/cm^2 nas extremidades da largura do canal com interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal. Além disso, mais ao centro da largura do canal a densidade total da corrente de dreno apresenta o valor de aproximadamente 10kA/cm^2.

A Figura 70 apresenta as comparações das densidades totais da corrente de dreno correspondente ao EM da Figura 69 e do seu CM equivalente da Figura 65 na direção y do plano de corte y,z e sobre a linhas EE situada em z=998,5nm, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e os transistores operando na região de saturação.

Figura 70 - Densidade total da corrente de dreno correspondente ao EM da Figura 69 e do seu CM equivalente da Figura 65 na direção y do plano de corte y,z

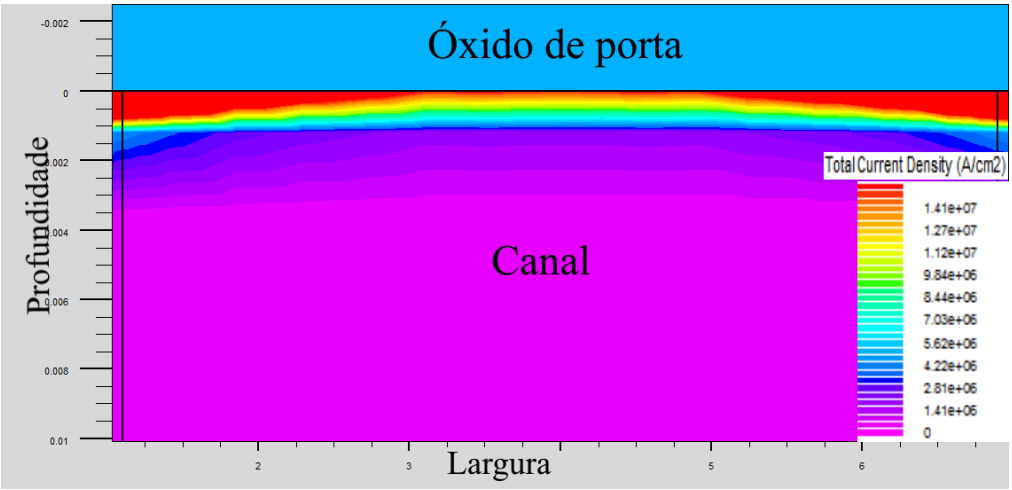


Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente ao EM da Figura 69 e do seu CM equivalente da Figura 65 na direção y do plano de corte y,z e sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e os transistores operando na região de saturação.

A análise da Figura 70 observa-se que as densidades totais da corrente de dreno do EM apresenta sempre maiores valores do que aquele apresentado pelo seu CM equivalente ao longo de toda a largura do canal. Além disso, a Figura 70 reforça ainda mais as observações realizadas nas análises experimentais, com relação a ocorrência dos efeitos PAMDLE e LCE no dispositivo EM, mostrando uma concentração maior da densidade total da corrente de dreno tendendo a fluir com mais intensidade próximo aos cantos do dispositivo EM.

A Figura 71 mostra a distribuição da densidade total da corrente de dreno no volume de silício do EM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 71 - Ilustração da distribuição da densidade total da corrente de dreno do EM no plano y,z

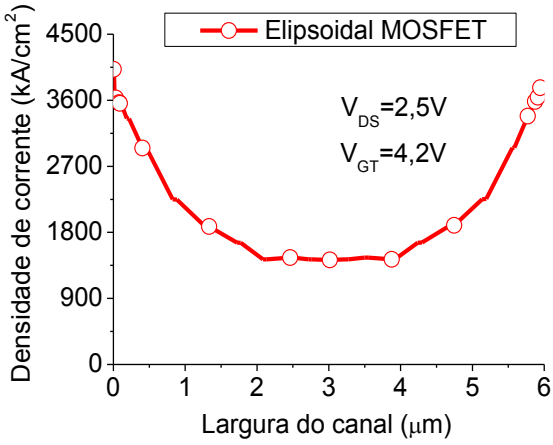


Fonte: Autor
Legenda: Ilustração da distribuição da densidade total da corrente de dreno do EM no plano y,z, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Observa-se na Figura 71 que a densidade total da corrente de dreno do EM apresenta maior intensidade nas extremidades da largura do canal com interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal, tornando-se menos intensa mais ao centro da largura do canal na camada de inversão. Além disso, a densidade total da corrente de dreno torna-se menos intensa em direção a profundidade do canal.

A Figura 72 apresenta a densidade total da corrente de dreno correspondente ao EM da Figura 71 na direção y e sobre linha de corte EE situada em z igual a 998,5nm do plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 72 - Densidade total da corrente de dreno correspondente ao EM da Figura 71 na direção y do plano de corte y,z

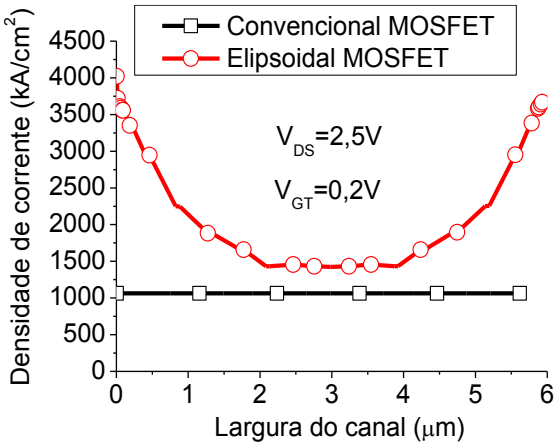


Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente ao EM da Figura 71 na direção y do plano de corte y,z sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm², V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Observando-se a Figura 72 nota-se que a densidade total da corrente de dreno do EM apresenta o valor de aproximadamente 4000kA/cm² nas extremidades da largura do canal com a interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal. Além disso, mais ao centro da largura do canal, a densidade total da corrente de dreno apresenta o valor de aproximadamente 1400kA/cm².

A Figura 73 mostra a comparação das densidades totais da corrente de dreno correspondente ao EM da Figura 72 e do seu CM equivalente da Figura 67 na direção y do plano de corte y,z e sobre a linhas EE situada em z igual a 998,5nm, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm², V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e os transistores operando na região triodo.

Figura 73 - Densidade total da corrente de dreno correspondente ao EM da Figura 72 e seu CM equivalente da Figura 67



Fonte: Autor
Legenda: Densidade total da corrente de dreno correspondente ao EM da Figura 72 e seu CM equivalente da Figura 67 na direção y do plano de corte y,z e sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V e V_{DS}=2,5V na região triodo.

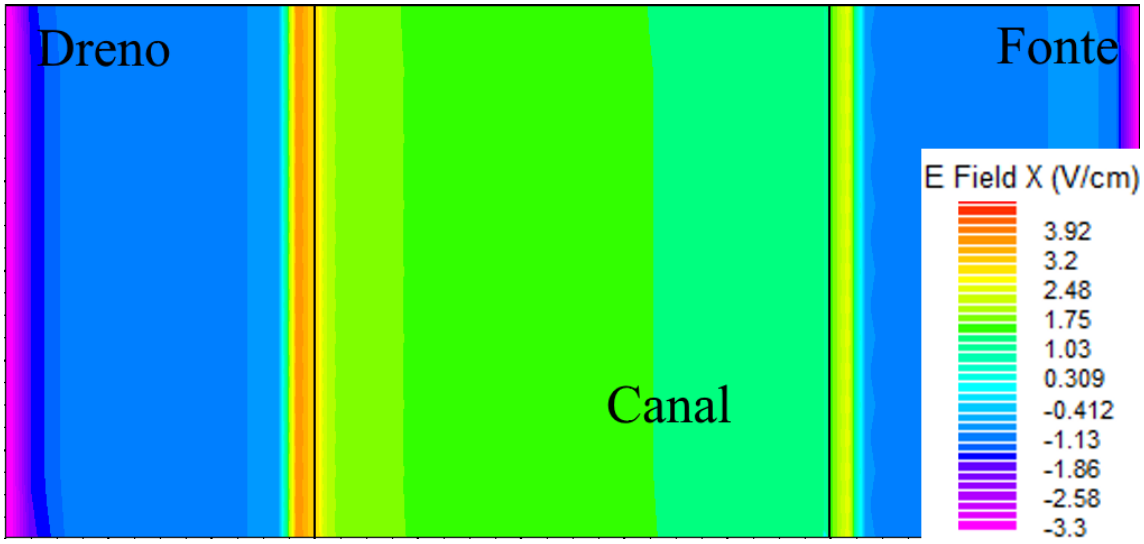
A análise da Figura 101, mostra também que na região triodo a densidade total da corrente de dreno do EM apresenta sempre maiores valores do que aquele encontrado no CM equivalente ao longo de toda a largura do canal.

4.4.3 Resultados obtidos por simulação numérica 3D para campo elétrico longitudinal no plano de corte x,y das estruturas EMs e de seus respectivos CMs equivalentes

Nesta etapa será investigado o comportamento das estruturas EMs e de seus respectivos CMs equivalentes com relação ao campo elétrico longitudinal no plano de corte x,y das estruturas.

A Figura 74 apresenta a distribuição do campo elétrico longitudinal no volume de silício do CM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 74 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do CM

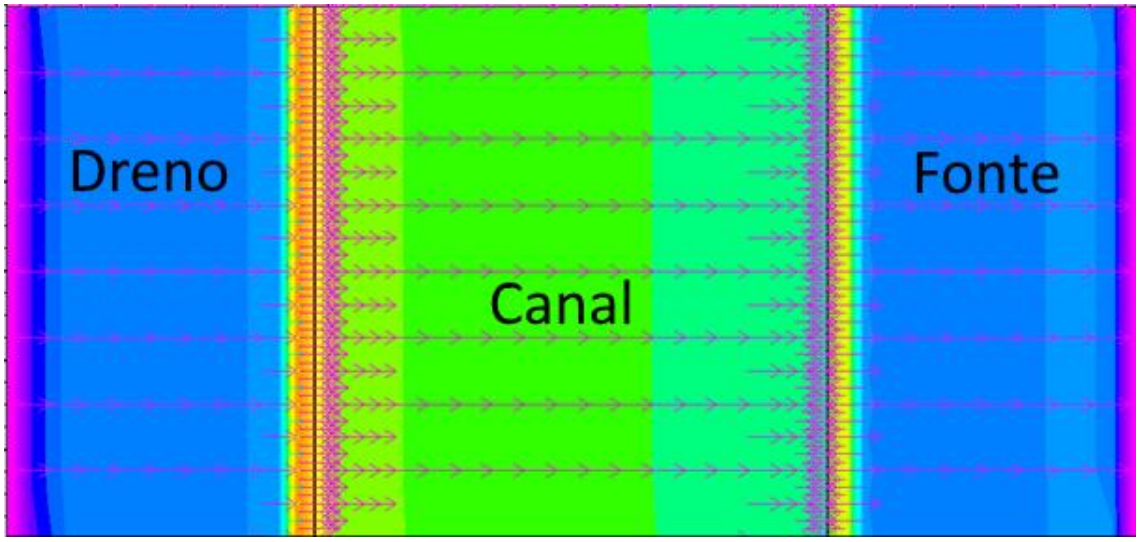


Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do CM, considerando-se uma W/L=0,6, A_G=59,35µm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação. A legenda da Figura está em escala logarítmica (10^n).

Observa-se na Figura 74 que o campo elétrico longitudinal apresenta distribuição mais intensa na interface formada pelo dreno e o semicondutor da região do canal.

A Figura 75 mostra a distribuição das linhas do campo elétrico longitudinal no volume de silício do CM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 75 - Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do CM

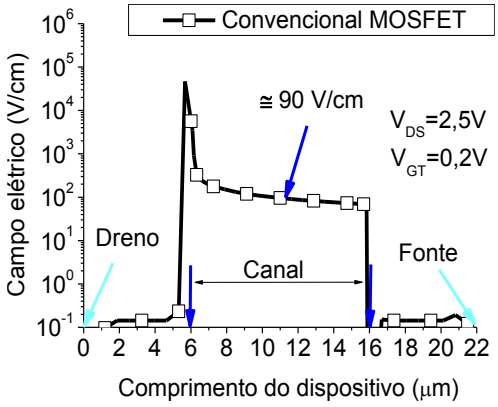


Fonte: Autor
Legenda: Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do CM, no plano de corte x,y, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

Observa-se na Figura 75 que a direção das linhas do campo elétrico longitudinal no canal, saem perpendicular à interface formada pelo dreno e o semicondutor da região do canal e dirigem-se, paralelamente e de forma reta, em direção a interface formada pelo semicondutor da região do canal e a fonte, chegando também perpendicularmente na interface formada pelo semicondutor da região do canal e a fonte. Este comportamento já era esperado devido a forma retangular da porta e a polarização do CM.

A Figura 76 apresenta o campo elétrico longitudinal correspondente a Figura 74 na direção x e sobre a linha de corte AA situada em y igual a W/2 do plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 76 - Campo elétrico longitudinal correspondente ao CM da Figura 74 na direção x do plano de corte x,y

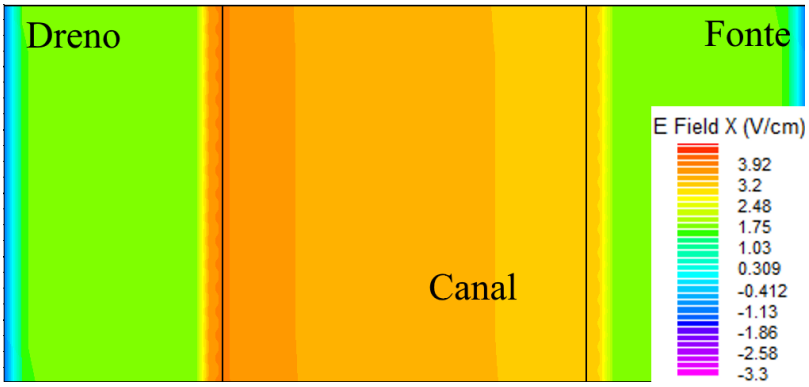


Fonte: Autor
Legenda: Campo elétrico longitudinal correspondente ao CM da Figura 74 na direção x do plano de corte x,y sobre a linha de corte AA situada em y=W/2, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

Analisando-se a Figura 76 observa-se que o campo elétrico longitudinal apresenta um pico próximo a interface do dreno e o semicondutor da região do canal. Além disso, no meio do comprimento do canal apresenta o valor aproximado de 90V/cm.

A Figura 77 apresenta a distribuição do campo elétrico longitudinal no volume de silício do CM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 77 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do CM

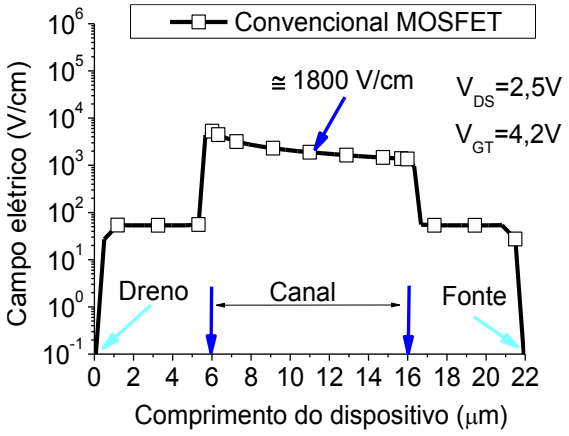


Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do CM, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo. A legenda da Figura está em escala logarítmica (10^n).

Analisando-se a Figura 77 observa-se que o campo elétrico longitudinal apresenta distribuição mais intensa na interface formada pelo dreno e o semicondutor da região do canal.

A Figura 78 mostra o campo elétrico longitudinal correspondente ao CM da Figura 77 na direção x e sobre a linha de corte AA situada em y igual a W/2 do plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V e V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 78 - Curva do campo elétrico longitudinal correspondente a Figura 77

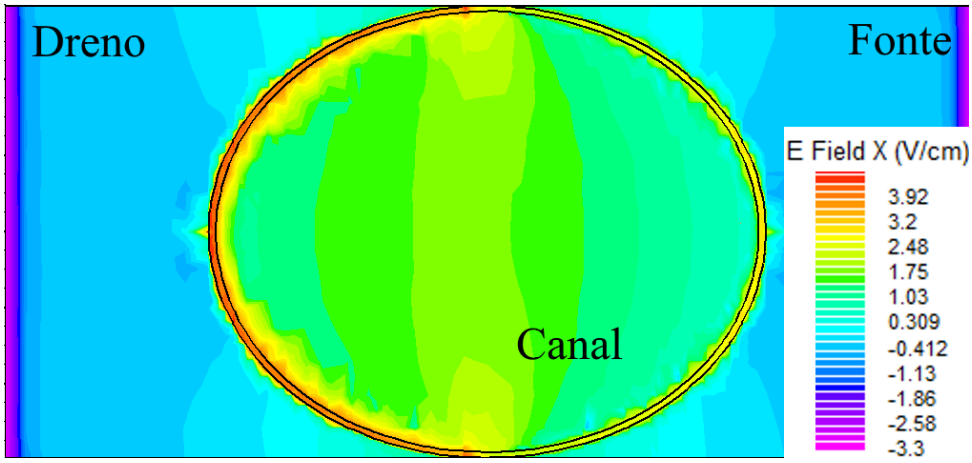


Fonte: Autor
Legenda: Curva do campo elétrico longitudinal correspondente a Figura 77 na direção x do plano de corte x,y do CM sobre a linha de corte AA situada em y=W/2, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Analisando-se a Figura 78 observa-se que o campo elétrico longitudinal apresenta maior intensidade próximo a interface do dreno e o semicondutor da região do canal. Além disso, no meio do comprimento do canal o campo elétrico longitudinal apresenta o valor aproximado de 1800V/cm.

A Figura 79 apresenta a distribuição do campo elétrico longitudinal no volume de silício do EM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 79 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do EM

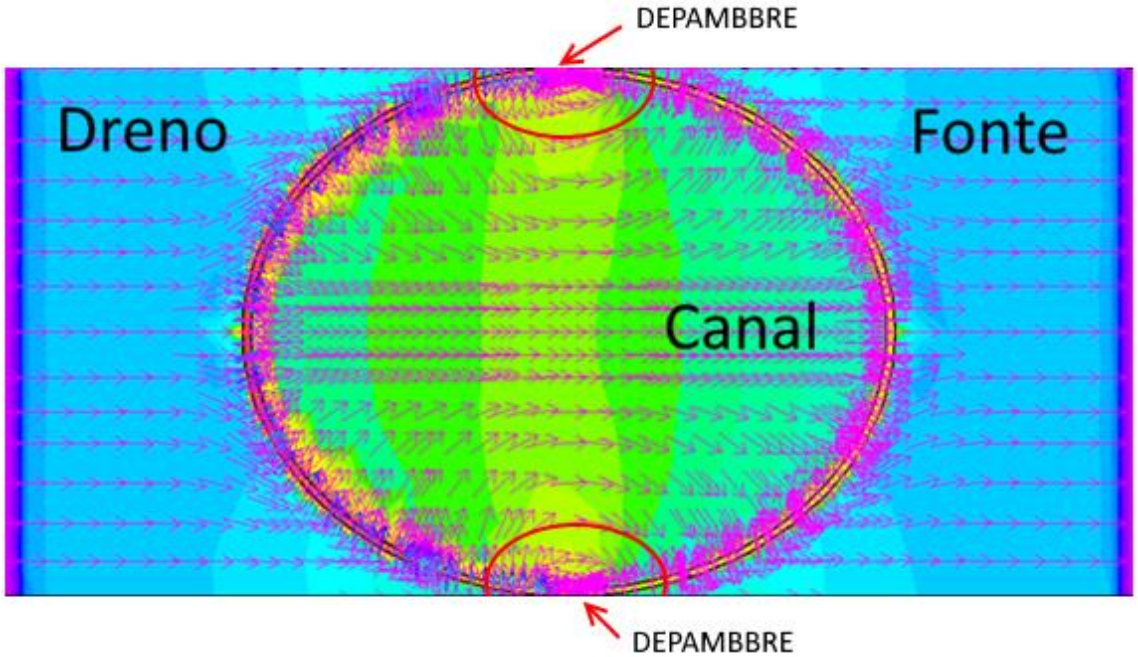


Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do EM, considerando-se uma W/L=0,6, A_G=59,35µm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação. A legenda da Figura está em escala logarítmica (10^n).

Observa-se na Figura 79 que o campo elétrico longitudinal no EM apresenta uma maior intensidade no centro do canal e na interface do dreno e a região de canal em relação as demais regiões. Este comportamento pode ser justificado devido ao efeito LCE e PAMDLE presente na estrutura elipsoidal.

A Figura 80 mostra a distribuição das linhas do campo elétrico longitudinal no volume de silício do EM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 80 - Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do EM



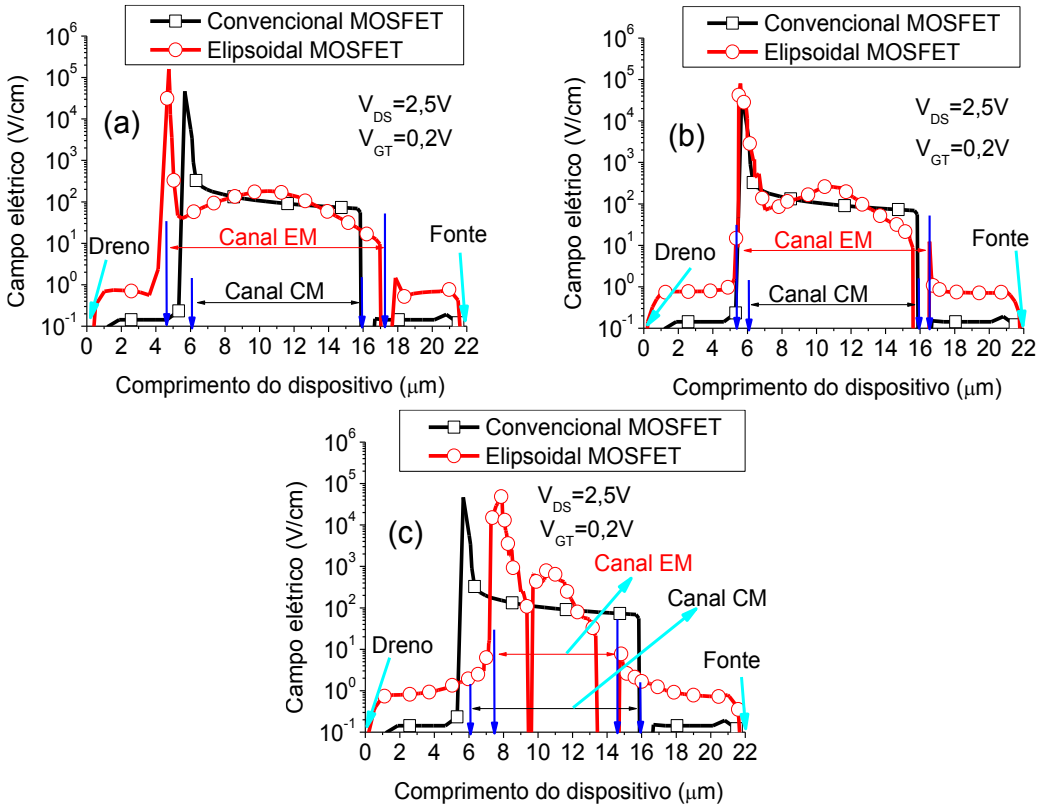
Fonte: Autor
Legenda: Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do EM, no plano de corte x,y, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

Observa-se na Figura 80 que a direção das linhas do campo elétrico longitudinal no canal, saem perpendicular à interface formada pelo dreno e o semicondutor da região do canal e se dirigem em direção a interface formada pelo semicondutor da região do canal e a fonte, chegando também perpendicularmente, mas apresentando agora uma forma característica dos MOSFETs do tipo elipsoidal. Dessa forma as linhas do campo tendem a concentrar-se mais ao centro da estrutura elipsoidal dando a nova característica ao campo elétrico longitudinal chamado de efeito LCE. Além disso, observem os pontos indicados pelas setas na Figura 80, as linhas do campo elétrico longitudinal são curvas nas regiões de bico de pássaro, assim o transistor parasitário, que tem grande influência quando o transistor opera em ambientes de radiações ionizantes, nessa região é desativado (efeito DEPAMBBRE). Assim este formato geométrico é bom para aplicações em ambientes de radiações ionizantes

A Figura 81, apresenta as comparações do campo elétrico longitudinal correspondente ao EM da Figura 79 na direção x e sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c), respectivamente, do plano de corte x,y e correspondente ao seu CM equivalente da Figura 76 na direção x sobre a linha de corte AA situada em y

igual a W/2 do plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e os transistores operando na região de saturação.

Figura 81 - Campo elétrico longitudinal correspondente ao EM da Figura 79 e do seu CM equivalente da Figura 76



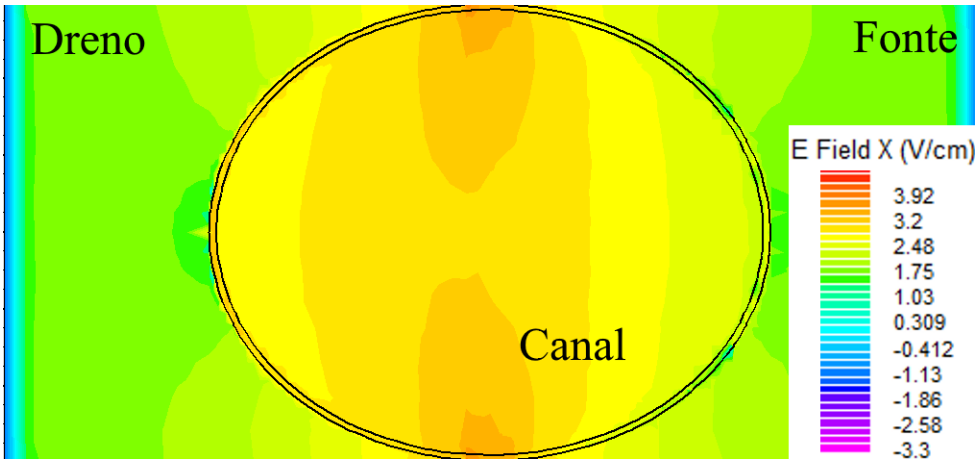
Fonte: Autor
Legenda: Campo elétrico longitudinal correspondente ao EM da Figura 79 sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c) e do seu CM equivalente da Figura 76 (linha de corte AA situada em y=W/2 na direção x do plano de corte x,y), considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e os transistores operando na região de saturação.

Observa-se na Figura 81 que o campo elétrico longitudinal do EM apresenta, sempre maiores intensidades no meio do comprimento do canal do nas demais regiões, para as três linhas de corte consideradas (180V/cm, 286V/cm e 771V/cm para as linhas de corte BB, CC e DD, respectivamente), do plano de cortes x,y definidas para o estudo da estrutura elipsoidal, quando comparado com o seu CM (90V/cm) equivalente. Estes resultados podem ser justificados devido ao efeito LCE presentes no estilo de leiaute elipsoidal. O comportamento do campo elétrico longitudinal não continuo ao longo do comprimento de canal ocorreu devido ao corte realizado na grade, que omitiu pontos

importantes dessa curva do EM da Figura 124.c (pico de redução na intensidade do LEF).

A Figura 82 apresenta a distribuição do campo elétrico longitudinal no volume de silício do EM, no plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 82 - Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do EM

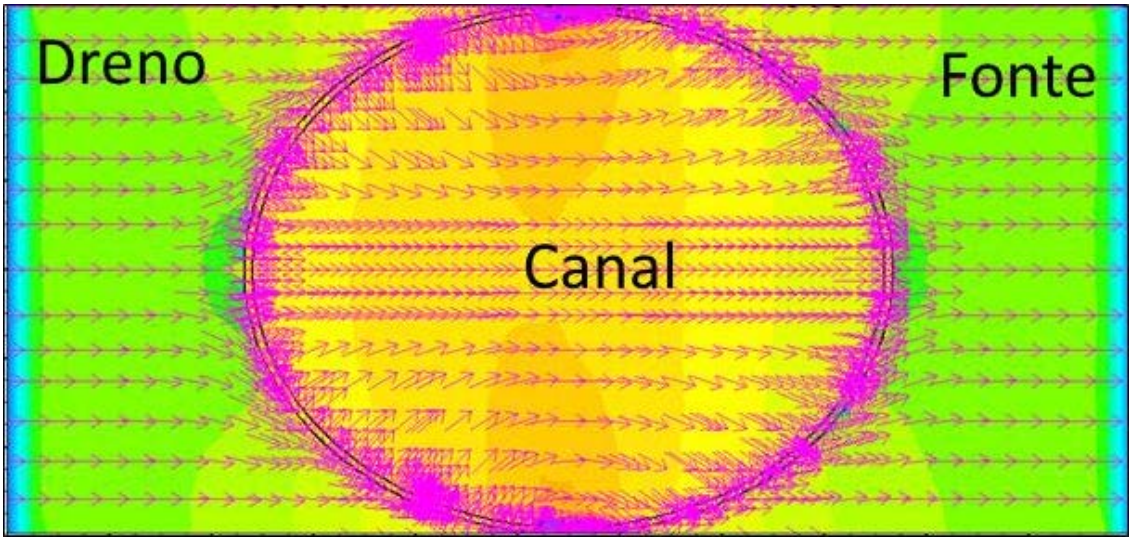


Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal no plano de corte x,y do EM, considerando-se uma W/L=0,6, A_G=59,35µm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo. A legenda da Figura está em escala logarítmica (10^n).

Observa-se na Figura 82 que o campo elétrico longitudinal apresenta maior intensidade no centro do canal do EM. Este comportamento pode ser justificado devido ao efeito LCE presente na estrutura elipsoidal.

A Figura 83 mostra a distribuição das linhas do campo elétrico longitudinal no volume de silício do EM, do plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 83 - Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do EM

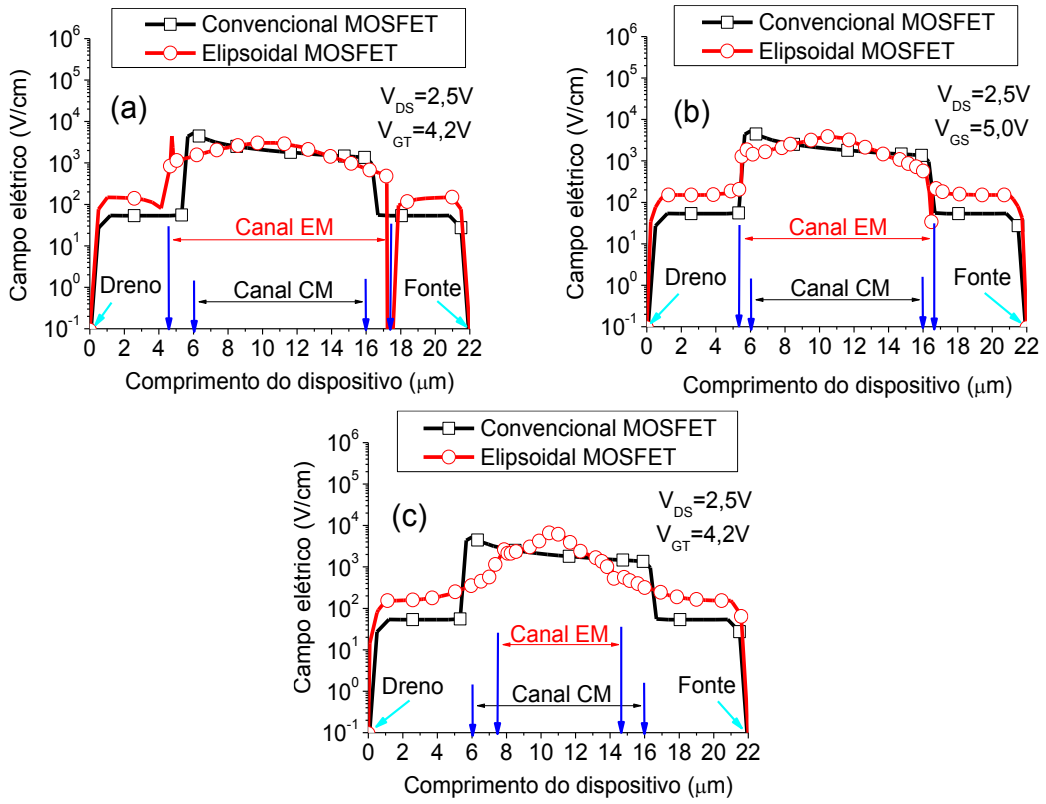


Fonte: Autor
Legenda: Ilustração da distribuição das linhas do campo elétrico longitudinal no volume de silício do EM, no plano de corte x,y, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

Analisando-se a Figura 83 observa-se que as direções das linhas do campo elétrico longitudinal no canal saem perpendicular à interface formada pelo dreno e o semicondutor da região do canal e dirigem-se em direção a interface formada pelo semicondutor da região do canal e a fonte, chegando também perpendicularmente. Desta forma, as linhas do campo tendem a concentrar-se mais ao centro da estrutura elipsoidal dando a nova característica ao campo elétrico longitudinal chamado de efeito LCE.

A Figura 84, apresenta as comparações do campo elétrico longitudinal correspondente ao EM da Figura 82 na direção x e sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c), respectivamente, do plano de corte x,y e correspondente ao seu CM equivalente da Figura 78 na direção x sobre a linha de corte AA situada em y igual a W/2 do plano de corte x,y, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e os transistores operando na região triodo.

Figura 84 - Campo elétrico longitudinal correspondente ao EM (Figura 82) e do seu CM equivalente (Figura 78)



Fonte: Autor

Legenda: Campo elétrico longitudinal correspondente ao EM da Figura 82 sobre linha de corte BB, situada em y=W/2 (a), sobre linha de corte CC, situada em y=3W/4 (b) e sobre linha de corte DD, situada em y=23W/25 (c) e do seu CM equivalente da Figura 78 (linha de corte AA situada em y=W/2 na direção x do plano de corte x,y), considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e os transistores operando na região triodo.

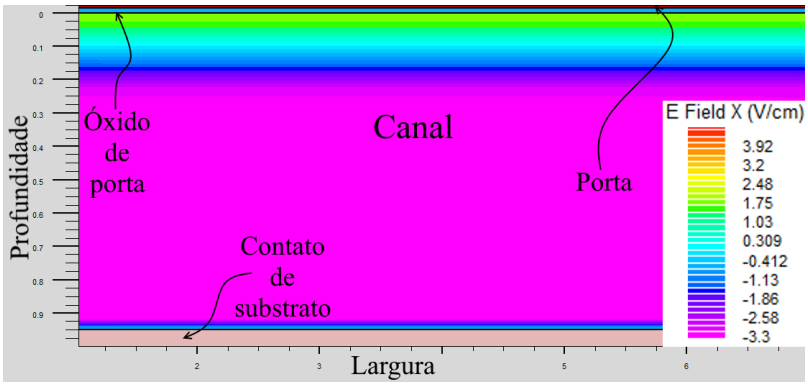
A análise da Figura 78, mostra que o campo elétrico longitudinal do EM apresenta sempre maiores intensidades no meio do comprimento do canal para as três linhas do plano de cortes x,y (3170V/cm, 4000A/cm^2 e 7000V/cm para as linhas de corte BB, CC e DD, respectivamente) do plano de cortes x,y definidas para o estudo da estrutura elipsoidal, quando comparado com o seu CM (1800V/cm) equivalente.

4.4.4 Resultados obtidos por simulação numérica 3D para campo elétrico longitudinal no plano de corte y,z das estruturas EMs e dos seus respectivos CMs equivalentes

Nesta etapa será investigado o comportamento das estruturas EMs e dos seus respectivos CMs equivalentes, considerando-se campo elétrico longitudinal no plano de corte y,z.

A Figura 85 apresenta a distribuição do campo elétrico longitudinal no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 85 - Ilustração da distribuição do campo elétrico longitudinal do CM no plano de corte y,z

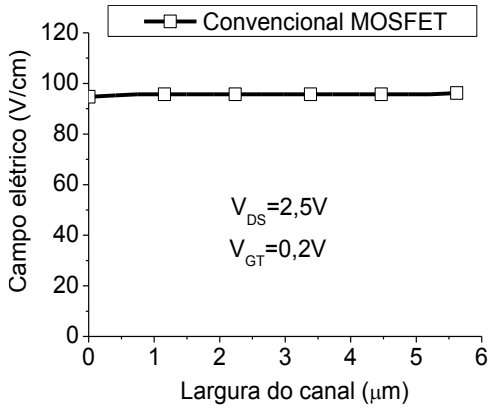


Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal do CM no plano de corte y,z, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação. A legenda da Figura está em escala logarítmica (10^n).

Analisando-se a Figura 85 observa-se que para o campo elétrico longitudinal do CM apresenta uma distribuição mais intensa na interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal e estende-se por toda a largura do dispositivo mantendo sua intensidade constante ao longo da largura do canal. Além disso, a intensidade do campo elétrico longitudinal torna-se menor em direção a profundidade do canal.

A Figura 86 apresenta a distribuição do campo elétrico longitudinal no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 86 - Campo elétrico longitudinal do CM no plano de corte y,z (Figura 85)

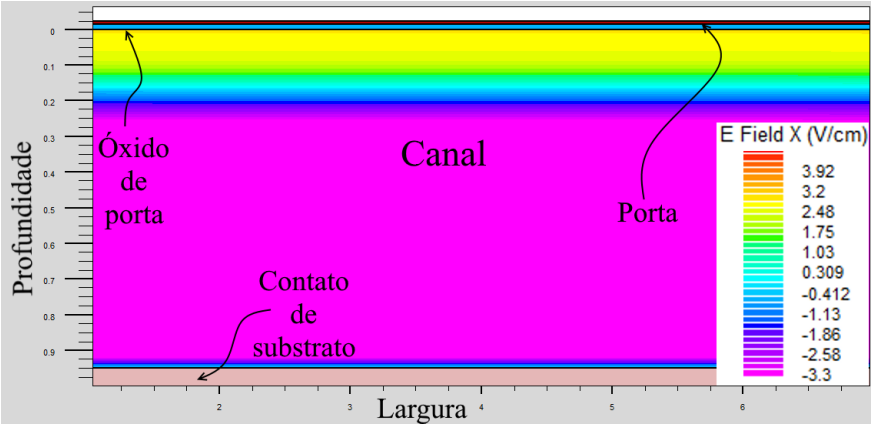


Fonte: Autor
Legenda: Campo elétrico longitudinal correspondente a Figura 85 na direção y do plano de corte y,z do CM sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

A análise da Figura 86 mostra que o campo elétrico longitudinal apresenta praticamente a mesma intensidade (95,6V/cm) ao longo da largura do canal.

A Figura 87 mostra a distribuição do campo elétrico longitudinal no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 87 - Ilustração da distribuição do campo elétrico longitudinal na camada de inversão do CM no plano y,z



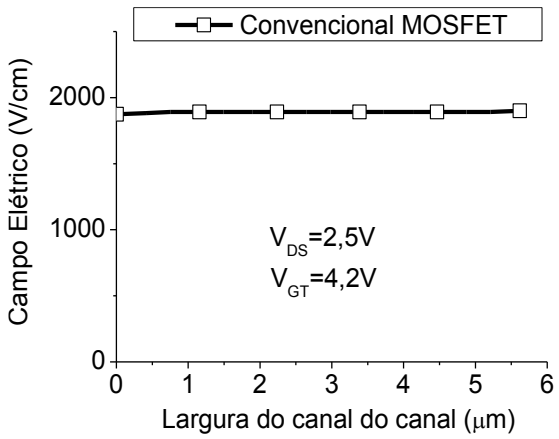
Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal da camada de inversão do CM no plano y,z, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo. A legenda da Figura está em escala logarítmica (10^n).

A análise da Figura 87 mostra que o campo elétrico longitudinal do CM apresenta uma distribuição mais intensa na interface formada pelo óxido de porta (SiO_2)

e o semicondutor da região do canal e estende-se por toda a largura do dispositivo, mantendo sua intensidade constante ao longo da largura do canal. Além disso, a intensidade do campo elétrico longitudinal torna-se menos intensa em direção a profundidade do canal.

A Figura 88 apresenta a distribuição do campo elétrico longitudinal no volume de silício do CM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 88 - Campo elétrico longitudinal do CM (Figura 87) na direção y do plano de corte y,z

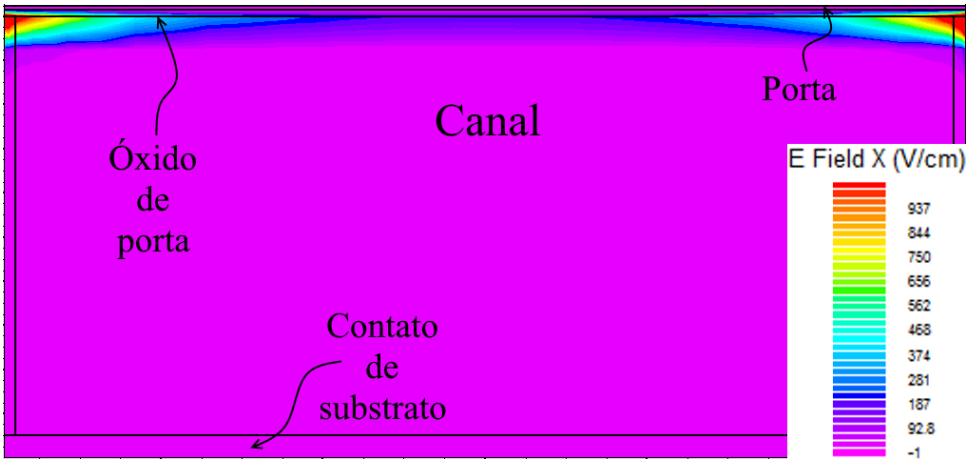


Fonte: Autor
Legenda: Campo elétrico longitudinal correspondente a Figura 87 na direção y do plano de corte y,z do CM sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Observa-se na Figura 88 que o campo elétrico longitudinal apresenta praticamente a mesma intensidade (1891V/cm), ao longo da largura do canal.

A Figura 89 mostra a distribuição do campo elétrico longitudinal no volume de silício do EM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 89 - Ilustração da distribuição do campo elétrico longitudinal da camada de inversão do EM no plano y,z

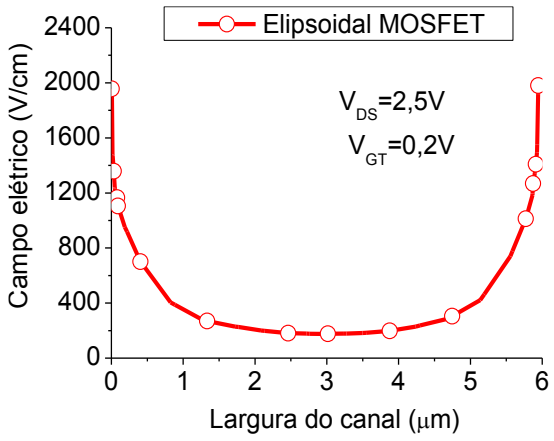


Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal da camada de inversão do EM no plano y,z, considerando-se uma W/L=0,6, A_G=59,35µm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação. A legenda da Figura está em escala logarítmica (10^n).

A análise da Figura 89 mostra que o campo elétrico longitudinal do EM apresenta maior intensidade nas extremidades da largura do canal com interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal, tornando-se menos intensa mais ao centro da largura do canal na camada de inversão. Além disso, o campo elétrico longitudinal torna-se menos intenso em direção a profundidade do canal.

A Figura 90 apresenta o campo elétrico longitudinal correspondente a Figura 89 na direção y e sobre linha de corte EE situada em z igual a 998,5nm do plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e o transistor operando na região de saturação.

Figura 90 - Curva do campo elétrico do EM (Figura 158) na direção y do plano de corte y,z

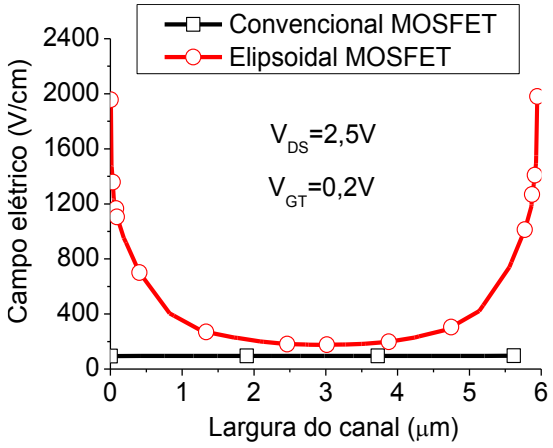


Fonte: Autor
Legenda: Curva do campo elétrico correspondente a Figura 158 na direção y do plano de corte y,z do EM sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e o transistor operando na região de saturação.

A análise da Figura 90 mostra que o campo elétrico longitudinal do EM apresenta valores aproximados de 2000V/cm nas extremidades da largura do canal com interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal. Além disso, mais ao centro da largura do canal o campo elétrico longitudinal apresenta o valor de aproximadamente 200V/cm.

A Figura 91 apresenta as comparações do campo elétrico longitudinal correspondente ao EM da Figura 89 e do seu CM equivalente da Figura 86 na direção y do plano de corte y,z, sobre a linhas EE situada em z igual a 998,5nm, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 0,2V, V_{DS} igual a 2,5V e os transistores operando na região de saturação.

Figura 91 - Campo elétrico longitudinal do EM (Figura 89) e do seu CM equivalente (Figura 86) na direção y do plano de corte y,z

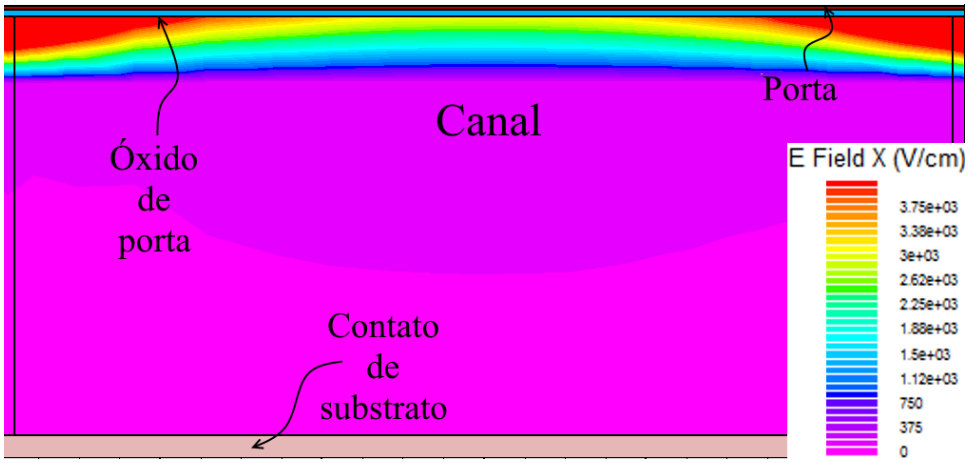


Fonte: Autor
Legenda: Campo elétrico longitudinal correspondente ao EM da Figura 89 e do seu CM equivalente da Figura 86 na direção y do plano de corte y,z e sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=0,2V, V_{DS}=2,5V e os transistores operando na região de saturação.

A análise da Figura 91 observa-se que o campo elétrico longitudinal do EM apresenta sempre maiores valores do que aquele apresentado pelo seu CM equivalente, ao longo de toda a largura do canal. Além disso, a Figura reforça ainda mais as observações realizadas nas análises experimentais, com relação a ocorrência do efeito LCE do EM, mostrando que um maior do campo elétrico longitudinal do EM tendendo a fluir com maior intensidade próximo aos cantos do dispositivo.

A Figura 92 mostra a distribuição do campo elétrico longitudinal no volume de silício do EM, no plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 92 - Ilustração da distribuição do campo elétrico longitudinal da camada de inversão do CM no plano y,z

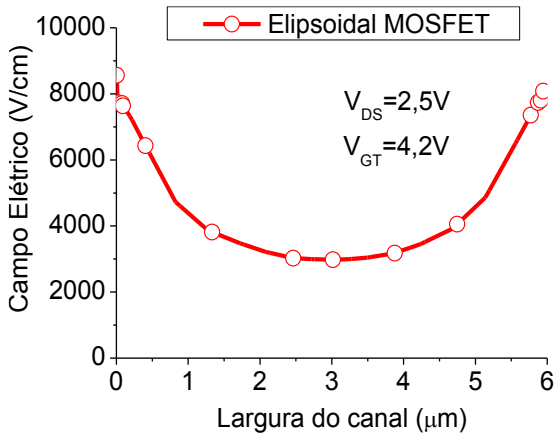


Fonte: Autor
Legenda: Ilustração da distribuição do campo elétrico longitudinal da camada de inversão do CM no plano y,z, considerando-se uma W/L=0,6, A_G=59,35µm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Analisando-se a Figura 92 observa-se que o campo elétrico longitudinal do EM apresenta maior intensidade nas extremidades da largura do canal com interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal, tornando-se menos intensa mais ao centro da largura do canal na camada de inversão. Além disso, o campo elétrico longitudinal torna-se menos intenso em direção a profundidade do canal.

A Figura 93 apresenta o campo elétrico longitudinal correspondente a Figura 161 na direção y e sobre linha de corte EE situada em z igual a 998,5nm do plano de corte y,z, considerando-se uma W/L igual a 0,6, A_G igual a 59,35µm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e o transistor operando na região triodo.

Figura 93 - Curva do campo elétrico do EM (Figura 92) na direção y do plano de corte y,z

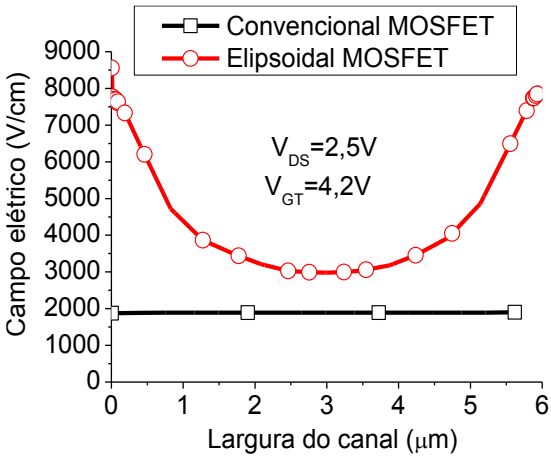


Fonte: Autor
Legenda: Curva do campo elétrico correspondente a Figura 92 na direção y do plano de corte y,z do EM sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e o transistor operando na região triodo.

Analisando-se a Figura 93 observa-se que o campo elétrico longitudinal do EM apresenta o valor de aproximadamente 8800V/cm nas extremidades da largura do canal com a interface formada pelo óxido de porta (SiO_2) e o semicondutor da região do canal. Além disso, mais ao centro da largura do canal, o campo elétrico longitudinal apresenta o valor de aproximadamente 3000V/cm.

A Figura 94 mostra a comparação do campo elétrico longitudinal correspondente ao EM da Figura 93 e do seu CM equivalente da Figura 88 na direção y do plano de corte y,z, sobre a linhas EE situada em z igual a 998,5nm, considerando-se uma W/L igual a 0,6, A_G igual a 59,35μm^2, V_{GT} igual a 4,2V, V_{DS} igual a 2,5V e os transistores operando na região triodo.

Figura 94 - Curvas do campo elétrico longitudinal correspondente ao EM (Figura 93) e do seu CM equivalente (Figura 88)



Fonte: Autor
Legenda: Curvas do campo elétrico longitudinal correspondente ao EM da Figura 93 e do seu CM equivalente a Figura 88 na direção y do plano de corte y,z e sobre linha de corte EE situada em z=998,5nm, considerando-se uma W/L=0,6, A_G=59,35μm^2, V_{GT}=4,2V, V_{DS}=2,5V e os transistores operando na região triodo.

A análise da Figura 94, mostra também que na região triodo o campo elétrico longitudinal do EM apresenta sempre maiores valores do que aquele apresentado pelo seu CM equivalente, ao longo de toda a largura do canal.

5 CONCLUSÃO

Este trabalho apresentou um novo estilo de leiaute para estruturas MOSFETs que pode ser aplicado na produção de circuitos integrados analógicos e digitais com previsíveis melhorias em suas características elétricas em relação a estrutura MOSFET do tipo retangular (convencional).

Este trabalho demonstrou que MOSFETs com geometria de porta do tipo Elipsoidal oferecem dois novos efeitos elétricos que estão presentes em algumas estruturas não convencionais, o efeito LCE e o efeito PAMDLE, que são capazes de diminuir o comprimento efetivo de canal em relação ao de um convencional equivalente com a mesma largura de canal e a mesma área de porta, potencializar a corrente de dreno, diminuir a resistência entre o dreno e a fonte em estado ligado, melhorar a tensão Early, a transcondutância máxima, o ganho de tensão e da frequência de ganho unitário dos MOSFETs.

Os resultadas experimentais mostraram que ao comparar o MOSFET do tipo Elipsoidal com o MOSFET do tipo retangular equivalente, considerando-se as mesmas razões de aspecto, mesmas larguras de canal, áreas de porta e condições de polarização, consideradas por este trabalho, observou-se que o MOSFETs dos tipos elipsoidais mais pontiagudas, ou seja, com W/L menores que 1, podem aumentar significativamente a corrente de dreno na região triodo (127%), a corrente de dreno de saturação (126%), a resistência entre o dreno e a fonte de estado ligado (55,68%), a transcondutância máxima (2,4 vezes maior), a razão de transcondutância sobre a corrente de dreno (76%), o ganho de tensão intrínseco (%), e a frequência de ganho de tensão unitário (88%) quando comparado com o CM equivalente, ambos operando em regime de inversão forte do canal.

Também foi proposto neste trabalho um modelo analítico de primeira ordem para o MOSFET do tipo Elipsoidal. Esse modelo mostrou-se adequado (com erros menores que 2% para os transistores operando na região de saturação, quando comparados com os resultados experimentais e, portanto, ele pode ser utilizado para predizer os valores das correntes de dreno do MOSFET do tipo elipsoidal a partir dos valores das correntes de dreno do MOSFET do tipo convencional equivalente, considerando-se que eles possuam as mesmas razões de aspecto, larguras de canal, áreas de porta e condições de polarização.

Simulações numéricas tridimensionais foram realizadas para EM e o CM equivalente, e na grande maioria dos casos observou-se as mesmas tendências daquelas obtidas pelos resultados experimentais, com exceção dos parâmetros V_{EA} e A_V, que ficaram fortemente degradados pelo uso dos modelos da ionização por impacto. No entanto, o impacto da ionização por impacto não foi observado para os resultados experimentais dos EM estudados.

As simulações numéricas tridimensionais foram utilizadas para entender o impacto dos efeitos LCE e PAMDLE sobre as distribuições da densidade total da corrente de dreno e do campo elétrico longitudinal resultante dentro do volume de silício do canal dos MOSFETs. Observando-se o comportamento da densidade total da corrente de dreno dentro do volume de silício do canal, verificou-se que ela flui com maior intensidade nas bordas do canal, onde o efeito predominante é o PAMDLE, e com menor intensidade no centro do canal, onde predomina o efeito LCE.

Portanto, com o estudo realizado por esse projeto de pesquisa, podemos concluir que o estilo de leiaute elipsoidal pode ser considerado uma técnica de leiaute alternativa para potencializar os principais parâmetros analógicos e digitais dos MOSFETs, sem acarretar qualquer custo adicional para o atual processo de fabricação de CIs CMOS planares. Além disso, como os MOSFETs do tipo elipsoidal são capazes de gerar correntes de dreno significativamente maiores que a dos CMs equivalentes, é possível reduzir significativamente a área de silício de CIs CMOS analógicos, quando se faz uso dessa técnica.

Como trabalhos futuros sugerimos:

a) estudo desses dispositivos em ambientes de altas e baixas temperaturas;

b) estudo experimental e por simulações numéricas tridimensionais dos EMs em ambientes de radiações ionizantes;

c) estudo dos MOSFETs do tipo Elipsoidal fabricados com a tecnologia SOI;

d) estudo da redução da área para obter a mesma corrente;

e) estudo dos EMs com mais de uma porta;

PUBLICAÇÕES

Artigos completos publicados em periódicos

GIMENEZ, SALVADOR P.; CORREIA, MARCELLO M.; NETO, ENRICO D.; SILVA, CRISTINA R.; *An Innovative Ellipsoidal Layout Style to Further Boost the Electrical Performance of MOSFETs. IEEE Electron Device Letters*, v. 36, p. 705-707, 2015.

Trabalhos completos publicados em anais de congressos

CORREIA, M. M.; GIMENEZ, S. P.; *Boosting the Electrical Performance of MOSFET Switches by Applying Ellipsoidal Layout Style. In: SBMicro 2015, 2015, Bahia. 30th Symposium on Microelectronics Technology and Devices* (SBMicro 2015). Bahia: Sociedade Brasileira de Microeletrônica, 2015. v. 1. p. 1-8

Resumos expandidos publicados em anais de congressos

CORREIA, M. M.; GIMENEZ, S. P.; SILVA, C. R.; *Experimental Comparative Study Between The Ellipsoidal MOSFET and The Conventional Counterpart*. In: Seminatec 2014, 2014, Sao Paulo. Seminatec 2014, 2014. v. 1.

CORREIA, M. M.; GIMENEZ, S. P.; SILVA, C. R.; Mosfet Elipsoidal: inovação na estrutura geométrica da porta. In: III Simpósio de Pesquisa do Grande ABC, 2013, São Bernardo do Campo.. Anais do Simpósio de Pesquisa do Grande ABC, 2013, 2013.

REFERÊNCIAS

ATLAS; **Device Simulation User's Manual**. v. 5.10.0.R, Silvaco International, Santa Clara, CA, USA: 2008.

AUBERTON-HERVÉ, A. J.; COLINGE, J. P.; FLANDRE, D. **High-Temperature Applications of SIMOX Technology**. Japanese Solid-State Technology, p.12, Dec. 1993.

AUTH C. P.; PLUMMER, J. D. **Scaling theory for cylindrical, fullydepleted, surrounding-gate MOSFET's**. IEEE Electron Device Letters. vol. 18, n. 2, p. 74–76, Feb. 1997.

BAILEY, K.; GURUMURTHY, K.S. **Modeling and Performance evaluation of UTB SGOI Devices scalable to 22 nm Technology node**. WSEAS Transactions on Circuits and Systems, Volume 9 Issue 10, October 2010.

BAKER, R. J. **CMOS: Circuit Design, Layout, and Simulation**. 3rd. ed. IEEE Press Editorial Board, 2010.

BALESTRA, F.; NAZAROV, A.; LYSENKO, V.S. **Progress in SOI Structures and Devices Operating at Extreme Conditions; Boston**. Kluwer Academic Publishers, p. 131-135, 2002.

BANGSARUNTIP, S.; COHEN, G. M.; MAJUMDAR, A.; ZHANG, Y.; ENGELMANN, S. U.; FULLER, N.; GIGNAC, L. M.; MITTAL, S.; NEWBURY, J. S.; GUILLORN, M.; BARWICZ, T.; SEKARIC, L.; FRANK, M. M.; SLEIGHT, J. W. **High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling**. IEDM, Tech. Dig, pp. 297–300, 2009.

BREWS, J. R. **Subthreshold behavior of uniformly and nouniformly doped long channel MOSFET**. IEEE Transactions on Electron Devices, v. 26, n. 9, p. 1282-1291, 1979.

CLASER, R.; ALATI, D. M.; GIMENEZ, S. P. **Layout, Manufacture and Experimental Characterization of the Octo MOSFET**. Microelectronics Student Forum (SForum), São Paulo: 2010.

COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. New York: Springer, 2002.

COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed. Boston: Kluwer Academic Publishers, 2004.

COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors.** New York: ed. Springer, 2008.

CONDE, A. O. **A Review of Recent MOSFET Threshold Voltage Extraction Methods**. Microelectronics Reliability, v. 42, p. 583-596, 2002.

CORREIA, M. M.; GIMENEZ, S. P. **Boosting the Electrical Performance of MOSFET Switches by Applying Ellipsoidal Layout Style**. In: SBMicro 2015, Bahia. 30th Symposium on Microelectronics Technology and Devices. Bahia: Sociedade Brasileira de Microeletrônica, v. 1. p. 1-8, 2015.

CORREIA, M. M.; GIMENEZ, S. P; SILVA, C. R. **MOSFET Elipsoidal: inovação na estrutura geométrica da porta**. In: III Simpósio de Pesquisa do Grande ABC, São Bernardo do Campo: 2013.

CORREIA, M. M.; GIMENEZ, S. P; SILVA, C. R. **Experimental Comparative Study Between The Ellipsoidal MOSFET and The Conventional Counterpart**. São Paulo: SP, Seminatec, 2014.

EL-MANSY, Y. **MOS Device and technology constraints in VLSI**. IEEE Transactions on Electron Devices, vol. 29, no. 4, pp. 567-573, Apr 1982.

ENDO, K.; ISHIKAWA, Y.; LIU, Y.; MATSUKAWA, T.; O'UCHI, S.; TSUKADA, J.; MIGITA, S.; MIZUBAYASHI, W.; MORITA, Y.; OTA, H.; YAMAUCHI, H.; MASAHARA, M. **Analysis of Vth flexibility in ultrathin-BOX SOI FinFETs**. SOI-3D-Subthreshold Microelectronics Technology Unified Conference, IEEE, Oct. 2013.

FASARAKIS, N.; KARATSORI, T.A.; TSORMPATZOGLOU, A.; TASSIS, D.H.; PAPATHANASIOU, K.; BUCHER, M.; GHIBAUDO, G.; DIMITRIADIS, C.A. **Compact Modeling of Nanoscale Trapezoidal FinFETs**. Electron Devices, IEEE Transactions on, vol. 61, no. 2, pp. 324, 332, Feb. 2014.

FINO,L. N. S.; SILVEIRA,M. A. G; RENAUX, C.;FLANDRE,D.;GIMENEZ,S. P. **Comparative Experimental Study of X-Ray Radiation Effects in the Threshold Voltage between the OCTO and Conventional SOI nMOSFETs**. Seminatec, São Paulo: SP, 2013.

FLANDRE, D. **Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits**. Solid-State Electronics, v. 39, n. 4, p. 455-460, 1996.

GIMENEZ, S. P. **The Wave SOI MOSFET: A New Accuracy Transistor Layout to Improve Drain Current and Reduce Die Area for Current Drivers Applications**. *ECS Trans*, Volume 19, Issue 4, Pages 153-158, 2009.

GIMENEZ, S. P. **Diamond MOSFET: An innovative layout to improve performance of ICs**. Solid-State Electronics, v. 54, p. 1690-1699, 2010.

GIMENEZ, S. P.; ALATI, D. M. **Comparative Experimental Study between Diamond and Conventional MOSFET**. ECS Transactions: SiGe, Ge, and Related Compounds 4: Materials, Processing, and Devices, Las Vegas: 2010.

GIMENEZ, S. P.; ALATI, D. M. **Fish SOI MOSFET: An Evolution of the Diamond SOI Transistor for Digital ICs Applications**. ECS Transactions, v. 35, pp. 163-168, 2011.

GIMENEZ, S. P.; ALATI, D. M.; SIMOEN, E.; CLAEYS, C. **FISH SOI MOSFET: Modeling, Characterization and Its Application to Improve the Performance of Analog ICs**. Journal of the Electrochemical Society, issue 12, v. 158, 2011.

GIMENEZ, S. P.; CORREIA, M. M.; ENRICO D. N.; SILVA, C. R. **An innovative Ellipsoidal layout style to further boost the electrical performance of MOSFETs**. IEEE Electron Device Letters (Print), v. 36, p. 1-1, 2015.

GIMENEZ, S. P; FERREIRA, R. M. G.; MARTINO, J. A. **Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 um Partially-Depleted SOI CMOS Technology**. ECS Transactions, August 2006.

GROVE, A. S. **Physics and technology of semiconductor devices**. New York: J. Wiley & Sons, p. 326, 1967.

JIANG, Y.; LIOW, T. Y.; SINGH, N.; TAN, L. H.; LO, G. Q.; CHAN, D. S. H.; KWONG, D. L. **Performance breakthrough in 8 nm gate length gate-allaround nanowire transistor using metallic nanowire contacts**. In: VLSI Symp. Tech. Dig., p. 34–35, 2008.

JIMENEZ, D.; INIGUEZ, B.; SUNE, J.; MARSAL, L. F.; PALLARES, J.; ROIG, J.; FLORES, D. **Continuous analytic I–V model for surrounding-gate MOSFETs**. IEEE Electron Device Letters, vol. 25, no. 8, p. 571–573, Aug. 2004.

JOHNS, D.; MARTIN, K.W. **Analog Integrated Circuit Design**, USA: Wiley, 1997.

KONGUETSOF, L**. Cálculo diferencial e integral**. Editora McGRAW-HILL do Brasil, p. 417, 1974.

KOSUGE, Y.; MATSUZAKI, T. **The optimum gate shape and threshold for target tracking**. SICE Annual Conf. vol.2, p. 2152, 2157, Aug. 2003.

KUMAR S.; JHA S. **Impact of elliptical cross-section on the propagation delay of multi-channel gate-all-around MOSFET based inverters**. Microelectronics Journal, vol. 44, no. 9, p. 844, 851, Sep. 2013.

KUMARI, V.; SAXENA, M.; GUPTA, R.S.; GUPTA, M. **Analytical Modeling of Dielectric Pocket Double-Gate MOSFET Incorporating Hot-Carrier-Induced Interface Charges**. Device and Materials Reliability, IEEE Transactions on, vol.14, no.1, p. 390 - 399, March 2014

LI, Y.; HWANG, C-H. **The effect of the geometry aspect ratio on the silicon ellipse-shaped surrounding-gate field-effect transistor and circuit**. Semiconductor. Sci. Technol, vol. 24, p. 1, 8, Jul. 2009.

LILIENFIELD, J.E. U.S. Patent 1,745,175, 1930.

LIM, H. K.; FOSSUM, J. G. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's**. IEEE Transactions on Electron Devices, v.30; n.10; p.1244-1251, 1983.

LIMA, J. A. D.; GIMENEZ, S. P.; CIRNE, K. H. **Modeling and Characterization of Overlapping Circular-Gate MOSFET and Its Application to Power Devices**. IEEE Transactions on Power Electronics, p. 99, 22, February 2011.

MARTINO, J. A.; PAVANELLO, M. A.; VERDONOCK, P. B. **Caracterização Elétrica e Dispositivos MOS**. São Paulo: Pioneira Thomson Learning, 2003.

MEAD, C. A.; CONWAY, L. A. **Introduction to VLSI Systems**. Boston, USA: Addison-Wesley, 1979.

MENTOR GRAPHICS, Disponível em: < https://www.mentor.com >. Acesso em: 08 ago. 2016.

MUNATA, T. **Control of threshold-voltage and short-channel effects in ultrathin strained-SOI CMOS devices**. IEEE Transactions on Electron Devices, v. 52, n. 8, p. 1780 - 1786, 2005.

NETO, E. D. ; GIMENEZ, S. P.; SIMOEN, E.; CLAEYS, C. **Applying the Diamond Layout Style to Improve Current Drive in SOI FinFETs.** Ninth Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits, Paris: EUROSOI, 2013.

NG, R. M. Y.; WANG, T.; LIU, F.; ZUO, X.; HE, J.; CHAN, M. **Vertically stacked silicon nanowire transistors fabricated by inductive plasma etching and stress-limited oxidation**. IEEE Electron Device Letters, vol. 30, no. 5, p. 520–522, May 2009.

PARK, J. T.; COLINGE, J. P. **Multiple-Gate SOI MOSFETs: Device Design Guidelines**. IEEE Trans. Electron Devices, vol. 49 , p. 2222-2228, Dec. 2002.

PERUZZI,V. V; RENAUX, C.; FLANDRE, D.; GIMENEZ,S. P. **Experimental Validation of the Drain Current Analytical Model of the Fully Depleted Diamond SOI nMOSFETs by Using Paired T-test Statistical Evaluation**. ECS Trans., p. 169-176, 2012.

RAVAZI, B. **Design of Analog CMOS Integrated Circuits**. New York: McGraw Hill, 2001.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 4. ed., São Paulo: Pearson, 2000.

SILVEIRA, F.; FLANDRE, D. ; **JESPERS, P.G.A. A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA**. IEEE Journal of Solid-State Circuits, v. 31, n. 9, September 1996.

SOLARO, Y.; FONTENEAU, P.; LEGRAND, C.A.; MARIN-CUDRAZ, D.; PASSIEUX, J.; GUYADER, P.; CLEMENT, L.R.; FENOUILLET-BERANGER, C.; FERRARI, P.; CRISTOLOVEANU, S. **Innovative ESD protections for UTBB FD-SOI technology**. IEEE International Electron Devices Meeting, Washington: DC, Dec. 2013.

SOLOMON, P. M. **Two Gates are Better Than One - A Planar Self-Aligned Double-Gate MOSFET Technology To Achieve the Best On/Off Switching Ratios as Gate Lengths Shrink**. IEEE Circuits & Device Magazine, p.48-62, Jan. 2003.

SUBRAMANIAN, V. et al. **Device and circuit-level analog performance trade-offs: a comparative study of planar bulk FETs versus FinFETs**. IEEE Transactions on Electron Devices meeting IEDM, p. 898-901, 2005.

SZE, S. M. **Physics of Semiconductor Devices**. 2nd.; New York: John Wiley, p. 868, 1981.

SZE, S. M.; NG, K. K. **Physics of Semiconductor Devices**. 3rd. New York: John Wiley & Sons, 2007.

THE MOSIS SERVICE, Disponível em: < http://www.mosis.com >. Acesso em: 08 ago. 2016.

VENTURI, J. J. **Cônicas e Quádrica**, 5ª ed., São Paulo: Artes Gráficas e Editora Unificado, 1949.

VIRTUOSO LAYOUT EDITOR, Disponível em: < http://www.cadence.com >. Acesso em: 17 dez. 2016.

VITTOZ, E. A. **Low Power design: ways to approach the limits**. IEEE International Solid State Circuits Conference Digest of Technical Papers, p. 14-18, 1994.

ZHANG, L. **Modeling Short-Channel Effect of Elliptical Gate-All-Around MOSFET by Effective Radius.** Electron Device Letters, IEEE, vol.32, no.9, pp.1188 - 1190, Sept. 2011.

YOUNG, K. K. **Short-channel effect in fully depleted SOI MOSFETs**. IEEE Transactions on Electron Devices, v. 36, n. 2, p. 399-402, 1989.

YU, B.; SONG, J.; YUAN, Y.; LU, W.; TAUR, Y. **A unified analytic drain-current model for multiple-gate MOSFETs**. IEEE Trans. Electron Devices, vol. 55, no. 8, p. 2157–2163, Aug. 2008.

YU, B.; YUAN, Y.; SONG, J.; TAUR, Y. **A two-dimensional analytical solution for short-channel effects in nanowire MOSFETs**. IEEE Trans. Electron Devices, vol. 56, no. 10, p. 2357–2362, Oct. 2009.

WHITEHEAD A. N. **An Introduction to Mathematics**. USA: BiblioBazaar LLC, 2009.

APÊNDICE A - ARQUIVOS DAS SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS ATLAS

```
go atlas simflags="-p 32"
TITLE Transistor Elipsoidal 0.5935


#####################################################################
# Arquivo para curvas IdsxVg nMOSFET
#####################################################################

MESH INF=EM285_1811.str


interf qf=3e10 region=1

CONTACT NAME=gate N.POLY
CONTACT NAME=substrate neutral


save outf=EM285_concentração.str master

model shi kla srh bgn print temp=300
method gummel newton autonr bicgst trap maxtrap=10
impact selb

solve init

save outf=EM285_vg0_vd0.str master

solve vgate=0
solve vdrain=0

solve vdrain=0 vfinal=0.5 vstep=0.01 name=drain

save outf=EM285_vg0_vd05.str master

solve vgate=0 vfinal=-2.5 vstep=-0.01 name=gate

save outf=EM285_vg_-25V.str master

log outf=EM285_vd25V.log master

solve vgate=-2.5 vfinal=3 vstep=0.01 name=gate

save outf=EM285_vg25_vd05.str master

exit




go atlas simflags="-p 32"
TITLE Transistor Elipsoidal 0.5935um

#####################################################################
# Arquivo para estudo do LCE e PAMDLE nMOSFET
#####################################################################

MESH INF=EM285_1811.str

interf qf=3e10 region=1

CONTACT NAME=gate N.POLY
CONTACT NAME=substrate neutral

save outf=EM285_concentração.str master

model shi kla srh bgn print temp=300
method gummel newton autonr bicgst trap maxtrap=10
impact selb
```

```
solve init

solve vgate=0
solve vdrain=0

solve vdrain=0 vfinal=2.5 vstep=0.05 name=drain

save outf=EM285_vg0_vd25.str master

log outf=EM285_vd25V.log master

solve vgate=0 vfinal=1 vstep=0.01 name=gate

save outf=EM285_vg1_vd25.str master

solve vgate=1.1 vfinal=2 vstep=0.01 name=gate

save outf=EM285_vg2_vd25.str master

solve vgate=2.1 vfinal=3 vstep=0.01 name=gate

save outf=EM285_vg3_vd25.str master

solve vgate=3.1 vfinal=4 vstep=0.01 name=gate

save outf=EM285_vg4_vd25.str master

solve vgate=4.1 vfinal=5 vstep=0.01 name=gate

save outf=EM285_vg5_vd25.str master

exit



go atlas simflags="-p 32"
TITLE Transistor Elipsoidal 0.5935

#######################################################################
# Arquivo para curvas IdsxVd nMOSFET
#######################################################################

MESH INF=EM285_1811.str

interf qf=3e10 region=1

CONTACT NAME=gate N.POLY
contact name=substrate neutral

save outf=EM285_concentração.str master

model shi kla srh bgn print temp=300
method gummel newton autonr bicgst trap maxtrap=10
impact selb

solve init

solve vgate=0
solve vdrain=0

solve vgate=0 vfinal=1.30 vstep=0.01 name=gate

save outf=EM285_vg0_vd05.str master

solve vdrain=0 vfinal=-2.5 vstep=-0.01 name=drain
```

```
save outf=EM285_vg_-25V.str master

log outf=EM285_vd25V.log master

solve vdrain=-2.50 vfinal=3 vstep=0.01 name=drain

save outf=EM285_vg25_vd3.str master

exit
```