УДК 621.377.2

Т.И. Данилина, И.А. Чистоедова, А.Д. Заречнев

Время задержки сигнала в сверхбольших интегральных схемах

Предложена методика расчета времени задержки сигнала, позволяющая на основе результатов моделирования сопротивления, емкости и индуктивности металлизации в среде COMSOL Multiphysics прогнозировать величину задержки сигнала с учетом паразитных составляющих индуктивности и емкости металлизации. Установлено, что при уменьшении топологической нормы сверхбольших интегральных схем от 90 до 7 нм вклад индуктивной составляющей можно не учитывать.

Ключевые слова: металлизация СБИС, время задержки, модель, COMSOL.

doi: 10.21293/1818-0442-2019-22-1-20-24

Развитие современного производства сверхбольших интегральных схем (СБИС) в основном направлено на увеличение степени интеграции элементов на кристалле и повышение быстродействия схем. Для продвижения данных направлений необходимо уменьшать все размеры элементов схемы и увеличивать число уровней металлизации, что приводит к возрастанию влияния паразитных емкостей и индуктивностей на время задержки сигнала [1–3].

С целью решения данной задачи было проведено моделирование сопротивления, емкости и индуктивности металлизации СБИС в среде COMSOL Multiphysics [4]. На основе результатов моделирования предложена методика расчета времени задержки сигнала в сверхбольших интегральных схемах.

С уменьшением размеров логических элементов их быстродействие возрастает, а быстродействие системы металлизации (глобальной и локальной) снижается из-за увеличения времени задержки сигнала.

Уменьшение размеров элементов СБИС подразумевает под собой одновременное уменьшение параметров металлизации: толщины, ширины и расстояние между элементами. Таким образом, необходим некоторый конструктивно-технологический параметр, который позволит учитывать эти изменения.

В качестве такого параметра выбрана топологическая норма, которая показывает минимальное расстояние между элементами схемы. При оценке металлизации топологическая норма диктует размеры металлизации.

На сегодня минимальные размеры первого (локального) уровня металлизации для СБИС представлены в международной технологической дорожной карте ITRS (International Technology Roadmap for Semiconductors) [5].

В таблице представлены геометрические размеры только первого уровня металлизации и прогнозируемые для него значения задержки сигнала, согласно дорожной карте ITRS [1].

Параметры первого уровня металлизации по ITRS-2015

Топологическая норма, нм		90	65	45	32	22	16	10	7
Число уровней		10	11	12	12	12	13	14	14
Задержка сигнала, пс		370	409	626	966	2364	3864	8731	10938
Первый уровень металлизации (M1)	Толщина (d), нм	170	150	125	95	65	50	40	30
	Ширина (w), нм	110	95	80	55	35	25	20	15
	Расстояние между проводниками (t_{ox}), нм	220	210	160	115	75	45	35	25
	Диэлектрик	Толщина (h_{ox}), нм	320	205	130	85	55	35	20

Из таблицы следует, что при уменьшении топологической нормы СБИС от 90 до 22 нм толщина металлизации, ширина и расстояние между металлизацией уменьшаются в два-три раза.

Современные интегральные схемы имеют многоуровневую систему металлизации. Уровень металлизации, который прилегает к полупроводниковой подложке, считается первым уровнем металлизации (локальный уровень), далее следуют межуровневая металлизация и глобальная разводка (рис. 1) [2].

Первый уровень металлизации, как видно из рис. 1, имеет наименьшие размеры, а далее поперечное сечение металлизации возрастает, что в свою очередь способствует уменьшению сопротивления металлизации и увеличению механической прочности СБИС. Все уровни металлизации разделены ди-

электрическими слоями. Самую малую толщину имеет диэлектрический слой первого уровня. В соответствии с таблицей при уменьшении топологической нормы толщина диэлектрического слоя уменьшается с 320 до 55 нм.

Для многоуровневых систем металлизации в дорожных картах ITRS с 2004 по 2015 г. прописаны параметры металлизации в зависимости от их уровня. Для топологической нормы 90 нм при переходе с первого по седьмой уровень толщина металлизации возрастает в 5,7 раза, а ширина и расстояние между проводниками увеличиваются в 5 раз, что в свою очередь приводит к уменьшению задержки сигнала в пределах отдельно взятого уровня, а суммарная задержка сигнала на глобальной металлизации увеличивается за счет роста числа уровней [6, 7].

Рис. 1. Поперечное сечение СБИС с многоуровневой металлизацией на основе меди

Объект и методика расчетов

Обычно при моделировании и проектировании системы металлизации СБИС считается, что металлизация представляет собой идеальные проводники, т.е. элементы, на которых не происходит задержки сигнала. Однако при рассмотрении реальной системы металлизации (см. рис. 1) необходимо учитывать вклад сопротивления, емкости и индуктивности элементов СБИС, а также их паразитные составляющие.

В качестве модели для расчета задержки сигнала выбрана трехмерная модель металлизации, представленная на рис. 2. Модель многоуровневой металлизации СБИС строилась в интегрированной среде моделирования COMSOL Multiphysics, которая включает в себя все этапы от создания геометрии, определения свойств материалов и описания физических явлений до настройки процессов решения и постобработки.

Основными компонентами емкостной составляющей задержки сигнала, как следует из рис. 2, являются: C_B — боковая емкость металлизации, т.е. емкость проводников, расположенных на расстоянии t_{OX} ; C_{II} — емкость между подложкой и первым уровнем металлизации и C_{MY} — емкость между уровнями, т.е. емкость между проводниками, расположенными на расстоянии h_{OX} .

Рис. 2. 3D-структура многоуровневой металлизации СБИС и ее основные компоненты

Для моделирования емкости в COMSOL Multiphysics использовался модуль «Electrostatics». В основе методики расчета лежит закон Гаусса для электрического поля, при этом в качестве зависимой переменной используется скалярный электрический потенциал. Для проведения моделирования емкости металлизации необходимо задать два любых параллельных проводника, а также величину подаваемого электрического потенциала.

Емкость металлизации определяется как [8]

$$C = \frac{Q}{\iint_S \vec{E} \cdot d\vec{S}}, \quad (1)$$

где Q — заряд, Кл; $\vec{E}$ — вектор электрического потенциала, В/м; $d\vec{S}$ — замкнутая поверхность интегрирования, м².

Замкнутая поверхность интегрирования $d\vec{S}$ зависит от ширины и толщины металлизации.

На основе результатов моделирования суммарная емкость отдельно взятого уровня металлизации определялась по выражению

$$C_{\Sigma} = C_{II} + C_{MY} + 2 \cdot C_B. \quad (2)$$

В качестве исходных данных для моделирования емкости металлизации задавалась геометрия металлизации, т.е. толщина и ширина (см. таблицу), а также в зависимости от вида емкости C_B , C_{II} или C_{MY} выбиралось расстояние между проводниками h_{OX} или t_{OX} . При моделировании длина металлизации составляла 1 мм, а величина подаваемого потенциала — 1 В.

Сопротивление металлизации моделировалось на основе модуля «Electric Currents», в решателе которого заложены уравнения сохранения заряда и закон Ома, при этом в качестве зависимой переменной используется скалярный электрический потенциал. Для работы модуля необходимо задать две параллельные грани металлизации, которые в свою очередь задают направление протекания тока величиной в 1 мкА и сечение (площадь) металлизации. При моделировании длина металлизации составляла 1 мм.

Для расчета сопротивления используется выражение

$$R = \frac{\rho_v}{d} \cdot \frac{l}{w} = \rho_s \cdot \frac{l}{w}, \quad (3)$$

где ρ_v — удельное объемное сопротивление массивного материала, Ом·м; ρ_s — удельное поверхностное сопротивление металлизации, Ом/□.

При моделировании индуктивности применяется модуль «Charge Conservation». В основе решателя лежат уравнения Максвелла, а в качестве зависимой переменной выступают магнитно-векторный потенциал и вспомогательный скалярный электрический потенциал. Для моделирования индуктивности металлизации задавалась величина тока, равная 1 мкА, и определялись две параллельные грани металлизации, которые определяют сечение и направление

протекания тока. При моделировании индуктивности длина металлизации составляла 1 мм.

Индуктивность металлизации определяется по выражению [9]

$$L = \frac{\Phi_B}{I} = \frac{\iint \vec{B} \cdot d\vec{S}}{I} \quad (4)$$

где Φ_B – поток магнитной индукции, Вб; I – сила тока, А; $\vec{B}$ – вектор магнитной индукции, Тл.

При рассмотрении металлизации СБИС в виде элементов LC -цепи, т.е. в случае, когда на металлизации нет потерь энергии, так как нет активного сопротивления, задержка сигнала определяется как [10]

$$\tau_{LC} = \sqrt{L \cdot C}, \quad (5)$$

где L – индуктивность, Гн; C – емкость металлизации, Ф.

Задержка сигнала на металлизации СБИС при рассмотрении RC -цепи рассчитывается по выражению [11]

$$\tau_{RC} = R \cdot C, \quad (6)$$

где R – сопротивление металлизации, Ом.

При рассмотрении реальной структуры многоуровневой металлизации СБИС необходимо одновременно учитывать вклад в задержку сигнала как LC -цепи, так и RC -цепи, в таком случае необходимо рассматривать RLC -цепь.

В первом приближении задержку сигнала на RLC -цепи возможно определить по выражению

$$\tau_{RLC} = \tau_{LC} + \tau_{RC}. \quad (7)$$

Более точное решение, согласно работам [12, 13], дает выражение

$$\tau_{RLC} = 1,047 \cdot \tau_{LC} + 1,4 \cdot \tau_{RC}. \quad (8)$$

Поправочные коэффициенты в выражении (8), получены методом подгонки теоретических кривых к практическим зависимостям задержки сигнала.

Из приведенной методики следует, что емкость, сопротивление и индуктивность металлизации фактически зависят от одних и тех же геометрических размеров металлизации.

Обсуждение результатов моделирования

В данной работе проводилось моделирование сопротивления, емкости и индуктивности металлизации в отдельности в зависимости от геометрических размеров металлизации, т.е. толщины, ширины, расстояния между проводниками и толщиной диэлектрического слоя.

Результаты моделирования сопротивления локального уровня металлизации от толщины представлены на рис. 3, который показывает, что при уменьшении толщины до 30 нм и менее наблюдается резкий рост сопротивления металлизации. В работах [14, 15] установлено, что в диапазоне толщин более 50 нм сопротивление медной металлизации слабо изменяется и составляет ~ 3 мкОм·см. Результаты моделирования для этих же пленок практически совпадают с экспериментальными данными и позволяют установить значения критической толщины металлизации порядка 30 нм.

Рис. 3. Зависимость сопротивления локальной металлизации при ширине, равной 110 нм: 1 – моделирование; 2 – эксперимент

Моделирование емкости и индуктивности локальной металлизации проводилось при условии, что ширина металлизации равна 110 нм, расстояние между проводниками составляет 220 нм, а толщина диэлектрика – 320 нм, что соответствует топологической норме 90 нм. При фиксированных параметрах металлизации емкость между уровнями $C_{МУ}$ и емкость между подложкой и первым уровнем металлизации $C_{П}$ постоянна и равна 68 фФ.

Рис. 4. Зависимость емкости и индуктивности локальной металлизации СБИС: 1 – суммарная емкость; 2 – индуктивность; 3 – боковая емкость

Рисунок 4 демонстрирует, что при уменьшении толщины металлизации от 170 до 30 нм индуктивность локальной металлизации увеличивается на 7%, боковая емкость уменьшается в 6 раз, а суммарная емкость уменьшается в 2 раза. Уменьшение индуктивной составляющей задержки сигнала связано с тем, что поперечное сечение проводника уменьшается и уменьшается величина магнитного потока, что приводит к уменьшению индуктивности.

С использованием результатов моделирования был выполнен расчет времени задержки сигнала от толщины металлизации (рис. 5).

Результаты моделирования показали, что при уменьшении толщины металлизации и фиксированной ширине наблюдается различие между задержками сигнала RC - и RLC -цепи за счет индуктивной составляющей в 2 раза.

Для учета влияния изменения всех размеров металлизации на задержку сигнала, необходимо рассматривать зависимости RC - и RLC -цепей от топологической нормы (рис. 6).

Рис. 5. Зависимость задержки сигнала на локальной металлизации от толщины: 1 – RLC-цепь; 2 – RC-цепь

Рис. 6. Зависимость задержки сигнала на локальной металлизации от топологической нормы: ● – RC-цепь; × – RLC-цепь

При рассмотрении рис. 6 следует, что время задержки сигнала RC- и RLC-цепей на локальной металлизации обладает одинаковыми значениями. Таким образом, индуктивная составляющая задержки сигнала RLC-цепей мала и ее можно не учитывать, что позволяет прогнозировать время задержки сигнала по более простой модели RC-цепи.

Заключение

При моделировании времени задержки сигнала на сверхбольших интегральных схемах было установлено, что при рассмотрении зависимостей задержки сигнала от топологической нормы, т.е. от совокупности всех геометрических размеров металлизации, влияние индуктивной составляющей в задержку сигнала мало и для прогнозирования величин задержки сигнала в сверхбольших интегральных схемах в первом приближении рекомендуется использовать модель RC-цепи.

Литература

1. Saraswat K. Interconnect Scaling. – USA: Stanford. Dept. Elect. Eng., Stanford University, 2009. – 32 p.
2. Friedman G. On-Chip Interconnect: The Past, Present, and Future. – USA: Rochester NY. Dept. Elect. and Computer Eng., Rochester University, 2006. – 68 p.
3. Jaing Y. Modeling and Optimization of VLSI Interconnects. – USA: Nevada Las Vegas. Dep. Elect. and Computer Eng., University of Nevada Las Vegas, 2006. – 100 p.
4. COMSOL Multiphysics. – URL: <https://www.comsol.ru> (дата обращения: 20.07.2018).
5. The International Technology Roadmap for Semiconductors. – URL: <http://www.itrs2.net> (дата обращения: 20.07.2018).

6. Xhou G. A Delay Model for Interconnect Trees Based on ABCD Matrix / G. Xhou, L. Su, D. Jin. – China: Beijing. Dep. Elect. Eng., Tsinghua University, 2010. – 18 p.

7. Uma R. New modified Elmore delay model for resistance – capacitance – conductance (RCG) interconnect network scheme / R. Uma, I. Krishnappriya // Journal of Theoretical and Applied Information Technology. – 2013. – Vol. 54, No. 3. – P. 361–371.

8. Kumar A. Study the performance analysis of carbon nanotube as a VLSI interconnect. – Patiala: Thapar University, 2012 – 101 p. – URL: <http://hdl.handle.net/10266/1898> (дата обращения: 29.06.2018).

9. Ismail I. Effects of Inductance on the Propagation Delay and Repeater Insertion in VLSI Circuits: A Summary / I. Ismail, Eby G. Friedman // Circuits and Systems Society Outstanding Young Author Award. – 2002. – Vol. 8, No. 2. – P. 195–206.

10. Murgan T. Accurate Capture of Timing Parameters in Inductively – Coupled On-Chip Interconnects / T. Murgan, C. Schlachta, M. Petrov // SBCCI'04. – 2004. – P. 117–122.

11. Accurate A Priori Signal Integrity Estimation Using A Multilevel Dynamic Interconnect Model for Deep Submicron VLSI Design // Solid-State Circuits Conference, 2000. – URL: https://www.researchgate.net/publication/4157861_Accurate_a_priori_signal_integrity_estimation_using_a_multilevel_dynamic_interconnect_model_for_deep_submicron_VLSI_design (accessed: July 15, 2018).

12. Abinash R. Effects of Coupling Capacitance and Inductance on Delay Uncertainty and Clock Skew / R. Abinash, M. Noha. – USA: Illinois Chicago. Dep. Elect. and Computer Eng., University of Illinois at Chicago, 2007. – P. 184–187.

13. Ramadass U. A Novel Interconnect Structure for Elmore Delay Model with Resistance – Capacitance – Conductance Scheme / U. Ramadass, Krishnappriya, J. Ponnian // American Journal of Applied Sciences 10 (8). – 2013. – P. 881–892. – doi: 10.3844/ajassp.2013.881.892.

14. Данилина Т.И. Выбор толщины проводящих пленок для субмикронной металлизации / Т.И. Данилина, И.А. Чистоедова // Электронные средства и системы управления. – 2017. – №1 (1). – С. 95–97.

15. Danilina T.I. Selection of conductive film thickness for submicron metallization / T.I. Danilina, I.A. Chistoyedova // MEPhI's Section of the Scientific Session on «Breakthrough directions of scientific research at MEPhI: Development prospects within the Strategic Academic Units». – 2018. – P. 261–265. – doi: 10.18502/keg.v3i6.3002

Данилина Тамара Ивановна

Канд. техн. наук, профессор каф. физической электроники (ФЭ) Томского государственного ун-та систем управления и радиоэлектроники (ТУСУР)
Ленина пр-т, 40, г. Томск, Россия, 634050
Тел.: +7-960-971-27-43
Эл. почта: danti123@mail.ru

Чистоедова Инна Анатольевна

Канд. техн. наук, доцент каф. ФЭ ТУСУРа
Ленина пр-т, 40, г. Томск, Россия, 634050
Тел.: +7-913-810-44-25
Эл. почта: innachist@mail.ru

Заречнев Антон Дмитриевич

Магистрант каф. ФЭ ТУСУРа

Ленина пр-т, 40, г. Томск, Россия, 634050

Тел.: +7-952-808-47-78

Эл. почта: Zzarechnev.a@yandex.ru

Danilina T.I., Chistoyedova I.A., Zarechnev A.D.

Delay time of the signal in very-large integrated circuits

The method to calculate the delay time of a signal is proposed that allows to predict the magnitude of the signal delay taking into account parasitic components of inductance and capacitance of the metallization. The method is based on the results of modeling resistance, capacitance and inductance metallization in COMSOL Multiphysics. It is established that the contribution of the inductive component can be disregarded when the topological norm of ultra-large integrated circuits is reduced from 90 to 7 nm.

Keywords: VLSI metallization, submicron metallization, delay time, COMSOL.

doi: 10.21293/1818-0442-2019-22-1-20-24

References

1. Saraswat K. *Interconnect Scaling*. USA, Stanford. Dept. Elect. Eng., Stanford University, 2009, 32 p.
2. Friedman G. *On-Chip Interconnect: The Past, Present, and Future*. USA, Rochester, NY. Dept. Elect. and Computer Eng., Rochester University, 2006, 68 p.
3. Jaing Y. *Modeling and Optimization of VLSI Interconnects*. USA, Nevada, Las Vegas. Dep. Elect. and Computer Eng., University of Nevada Las Vegas, 2006, 100 p.
4. COMSOL Multiphysics. URL: <https://www.comsol.ru> (accessed: July 20, 2018).
5. The International Technology Roadmap for Semiconductors. URL: <http://www.itrs2.net> (accessed: July 20, 2018).
6. Xhou G., Su L., Jin D. *A Delay Model for Interconnect Trees Based on ABCD Matrix*. China, Beijing, Dep. Elect. Eng., Tsinghua University, 2010, 18 p.
7. Uma R., Krishnappriya I. New modified Elmore delay model for resistance – capacitance – conductance (RCG) interconnect network scheme. *Journal of Theoretical and Applied Information Technology*, vol. 54, no. 3, 2013, pp. 361–371.
8. Kumar A. Study the performance analysis of carbon nanotube as a VLSI interconnect. - Patiala: Thapar University, 2012. 101 p. URL: <http://hdl.handle.net/10266/1898> (accessed: June 28, 2018).
9. Ismail I., Friedman Eby G. Effects of Inductance on the Propagation Delay and Repeater Insertion in VLSI Circuits: a Summary. *Circuits and Systems Society Outstanding Young Author Award*. 2002, vol.8, no. 2, pp. 195–206.
10. Murgan T., Schlachta C., Petrov M. Accurate Capture of Timing Parameters in Inductively. *Coupled On-Chip Interconnects SBCCI'04*, 2004, pp. 117–122.

11. Accurate A Priori Signal Integrity Estimation Using A Multilevel Dynamic Interconnect Model for Deep Submicron VLSI Design // Solid-State Circuits Conference, 2000. URL: https://www.researchgate.net/publication/4157861_Accurate_a_priori_signal_integrity_estimation_using_a_multilevel_dynamic_interconnect_model_for_deep_submicron_VLSI_design (accessed: 15 July 18).

12. Abinash R., Noha M. Effects of Coupling Capacitance and Inductance on Delay Uncertainty and Clock Skew. USA, Illinois Chicago, Dep. Elect. and Computer Eng., University of Illinois at Chicago, 2007, pp. 184–187.

13. Ramadass U., Krishnappriya, Ponnian J. A Novel Interconnect Structure for Elmore Delay Model with Resistance – Capacitance – Conductance Scheme. *American Journal of Applied Sciences*, 2013, 10 (8), pp. 881–892. doi: 10.3844/ajassp.2013.881.892.

14. Danilina T.I., Chistoyedova I.A. Selection of conductive film thickness for submicron metallization. *International Scientific Conference Electronic Devices and Control Systems*, 2017, № 1 (1), pp. 95–97 (in Russ.).

15. Danilina T.I., Chistoyedova I.A. Selection of conductive film thickness for submicron metallization. *MEPhI's Section of the Scientific Session on «Breakthrough directions of scientific research at MEPhI: Development prospects within the Strategic Academic Units»*, 2018, pp. 261–265. doi: 10.18502/keg.v3i6.3002.

Tamara I. Danilina

Doctor of Engineering, Professor Department of Physical Electronics Tomsk State University of Control Systems and Radioelectronics (TUSUR)
40, Lenin pr., Tomsk, Russia, 634050
Phone: +7-960-971-27-43
Email: tamara.i.danilina@tusur.ru

Inna A. Chistoyedova

Doctor of Engineering Sciences, Associate Professor Department of Physical Electronics Tomsk State University of Control Systems and Radioelectronics (TUSUR)
40, Lenin pr., Tomsk, Russia, 634050
Phone: +7-913-810-44-25
Email: innachist@mail.ru

Anton D. Zarechnev

Master student, Department of Physical Electronics Tomsk State University of Control Systems and Radioelectronics (TUSUR)
40, Lenin pr., Tomsk, Russia, 634050
Phone: +7-952-808-47-78
Email: Zzarechnev.a@yandex.ru