doi:10.18411/spub-4-2018-02

idsp: 000001: spub-4-2018-02

ЛЕВИН И.И.¹, ДУДКО С.А.¹, БОВКУН А.В.²
ОПТИМИЗАЦИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ ДЛЯ СОКРАЩЕНИЯ ЗАНИ-
МАЕМОГО АППАРАТНОГО РЕСУРСА ПЛИС

¹*Институт компьютерных технологий и информационной безопасности Южного Фе-*
дерального Университета

²*Научно исследовательский центр «супер-ЭВМ и нейрокомпьютеров»*
(Россия, Таганрог)

АННОТАЦИЯ

В данной статье рассмотрены вопросы повышения производительности реконфигурируемых вычислительных систем за счет оптимизации вычислительной структуры решаемой прикладной задачи. В статье предложен метод оптимизации логических функций, приводящий к сокращению занимаемого аппаратного ресурса ПЛИС, описана его структура. Приведены результаты экспериментальных исследований доказывающие эффективность разработанного метода оптимизации логических функций.

Ключевые слова: реконфигурируемые вычислительные системы, ПЛИС, оптимизация логических функций.

LEVIN I.I.¹, DUDKO S.A.¹, BOVKUN A.V.²
OPTIMIZATION OF LOGICAL FUNCTIONS TO REDUCE THE OCCUPIED
HARDWARE RESOURCE OF FPGAS

¹*Institute of Computer Technologies and Information Security, Southern Federal University*

²*Scientific Research Centre of Supercomputers and Neurocomputers (LLC)*
(Russia, Taganrog)

ABSTRACT

In the paper, we consider the issues of performance improvement of reconfigurable computer systems by optimization of the computational structure of the application task. We suggest a method of logical functions optimization, which provides reduction of the occupied resource of FPGAs and describe its structure. In addition, we present results of experimental research which prove efficiency of the developed method for logical functions optimization.

Keywords: reconfigurable computing systems, FPGA, optimization of logic functions

ВВЕДЕНИЕ

Рост вычислительной сложности задач требует повышения производительности вычислительных систем (ВС). Как правило вычислительно сложные задачи решаются на многопроцессорных вычислительных системах (МВС) или реконфигурируемых вычислительных системах (РВС) [1], построенных на основе программируемых логических интегральных схем (ПЛИС) [2]. РВС обладают существенным преимуществом по сравнению с МВС, имея практически линейный рост производительности при увеличении вычислительного ресурса. [3]

Для эффективного использования РВС на основе ПЛИС необходимо достигать высокой реальной производительности. Одним из способов достижения высокой

производительности РВС является минимизация (сокращение) вычислительной структуры решаемой прикладной задачи, приводящая к освобождению части аппаратных ресурсов РВС. Освободившиеся аппаратные ресурсы могут быть использованы для реализации дополнительных функциональных узлов, что приводит к увеличению производительности РВС.

ЦЕЛЬ ИССЛЕДОВАНИЯ

Целью исследования являлась разработка метода оптимизации логических функции для сокращения используемых аппаратных ресурсов ПЛИС.

РЕЗУЛЬТАТЫ И ИХ ОБСУЖДЕНИЕ

Логические функции на РВС реализуются при помощи LUT (Look-UpTable) элементов, способных за один такт реализовать логическую функцию от n переменных, при условии, что количество входов LUT элемента не меньше числа n . LUT элементы еще называют таблицей преобразования, поскольку предварительно вычисленные значения логической функции хранятся в ячейках памяти самого LUT элемента. Таким образом, LUT элемент можно представить в виде памяти SRAM, где адрес – это аргумент, а содержимое ячейки – значение. Таким образом, для того, чтобы описать логическую функцию от 4 переменных достаточно памяти на 16 ячеек (рис. 1). Требуемая таблица истинности хранится в виде маски (LUT-mask). С помощью мультиплексоров выбирается нужное значение. Мультиплексорами управляют сигналы входных портов для построения k -входовой LUT (k -LUT), которая реализует любую логическую функцию от k переменных, требуется $2k$ бит SRAM и $2k-1$ мультиплексоров.

Рис.1 Архитектура LUT-4

В прикладных задачах зачастую используются логические функции, разрядность которых превосходит разрядность одного блока LUT. Из-за чего возникает необходимость реализации таких функций, используя несколько элементов LUT. Данное размещение производится синтезатором САПР и может быть не оптимальным, т.е. может занимать большой аппаратный ресурс, что приводит к неэффективному

использованию аппаратных ресурсов и, как следствие, к снижению производительности РВС.

Разработанный метод оптимизации логической функции на LUT элементах предназначен для сокращения аппаратных ресурсов РВС, необходимых для реализации логических функций. Для достижения данной цели был разработан программный компонент, который проводит предварительную минимизацию логической функции методом Квайна – Мак – Класки, а затем формирует VHDL-описания аппаратной реализации логической функции на LUT элементах.

В предлагаемом методе в зависимости от количества входных параметров булевой функции (N – максимально возможное количество параметров логической функции, которая может быть реализована при помощи одного базового логического элемента) — размещение булевой функции на LUT элементах выглядит следующим образом:

- 1) если необходимо реализовать логическую функцию от $N+1$ параметра, то два LUT, разрядностью N , объединяются с помощью мультиплексора, управляющим входом которого является старший бит логической функции (рис. 2-а);

а)
б)
Рис. 2 Схема реализации логической функции от $N+1$ и $N+2$ переменных

- 2) если необходимо реализовать логическую функцию от $N+2$ параметров, то четыре LUT, разрядностью N , объединяются с помощью трех мультиплексоров, управляющими входами которого являются два старших бита логической функции (рис. 2-б).

Были проведены экспериментальные исследования сравнения полученных результатов с результатами наиболее распространенных САПР для кристаллов ПЛИС фирмы Xilinx (ISE 14.7, Vivado 2012.4, Vivado 2015.4). Результаты экспериментальных исследований приведены в таблицах 1-3.

Таблица 1

Количество использованных LUT при реализации логических функций в среде разработки ISE 14.7

Количество логических функций	Реализация средствами САПР, количество использованных LUT	Реализация с применением разработанного метода со средствами САПР, количество использованных LUT	Сокращение, %
20	105	92	12,4
50	253	217	14,2
100	493	425	13,8
200	975	842	13,7

Таблица 2

Количество использованных LUT при реализации логических функций в среде разработки Vivado 2012.4

Количество логических функций	Реализация средствами САПР, количество использованных LUT	Реализация с применением разработанного метода со средствами САПР, количество использованных LUT	Сокращение, %
20	113	95	16
50	271	223	17,3
100	531	436	17,9
200	1051	867	17,5

Таблица 3

Количество использованных LUT при реализации логических функций в среде разработки Vivado 2015.4

Количество логических функций	Реализация средствами САПР, количество использованных LUT	Реализация с применением разработанного метода со средствами САПР, количество использованных LUT	Сокращение, %
20	104	90	13,5
50	253	220	13,1
100	501	439	13,4
200	995	870	12,6

ЗАКЛЮЧЕНИЕ

Как видно по результатам проведенных экспериментов, разработанный метод позволяет сократить аппаратные ресурсы ПЛИС в среднем на 13%, используемые для реализации логических функций от N+1 и N+2 параметров (переменных). Результаты проведенных исследований были изложены на XIV Ежегодной молодежной научной конференции студентов, аспирантов и молодых ученых «Достижения и перспективы молодых ученых в интересах развития Юга России»: по городу Таганрогу.

1. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультиконвейерные вычислительные структуры. - Ростов н/Д: Изд-во ЮНЦ РАН, 2008. - 320 с.
2. Каляев А.В., Каляев И.А., Левин И.И. Многопроцессорные вычислительные системы с программируемой архитектурой на основе ПЛИС – Вестник ЮНЦ РАН, 2004. – с. 24-33.
3. Каляев А.В. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений [Текст]: монография / А.В. Каляев, И.И. Левин; под ред. А.В. Каляева. - М.: Янус-К, 2003. - 380 с.

1. I.A. Kalyaev, I.I. Levin, E.A. Semernicov, V.I. Shmoilov Rekonfiguriruyemye mul'tikonveyernye vychislitel'niyestrukturny [Reconfigurable Multipipeline Computing Structures]. Rostov – on – Don: SSC RAS Publ., 2008, 320 p. (in Russian)

2. A.V. Kalyaev, I.A. Kalyaev, I.I. Levin *Mnogoprotsessorniyevichislitel'nyesistemy s programmiru-
emoyarkhitekturoynaosnove PLIS* [FPGA – based multiprocessor computing systems with programmable
architecture]. – Vestnik SSC RAS, 2004, pp. 24-33. (in Russian)
3. A.V. Kalyaev *Modul'no-narashchivayemyemnogoprotsessornyesistemy so strukturno-
protseduroorganizatsieyvichisleniy* [Modular-scalable multiprocessor systems with structural-procedural
organization of calculations]. Moscow: Janus-K Publ., 2003, 380p. (in Russian)