DOI: 10.17117/na.2016.04.03.209

Поступила (Received): 01.04.2016

<http://ucom.ru/doc/na.2016.04.03.209.pdf>

Царинжапов А.А., Кошевенко А.В.
Разработка модели микропроцессора
на базе архитектуры MIPS

Tsarinzhapov A.A., Koshevenko A.V.
The development microprocessor model,
based on MIPS architecture

Разработка модели микропроцессора MIPS на языке описания аппаратуры VHDL. Спроектирована модель микропроцессора с использованием конвейерной микроархитектуры и создан процессор с расширенной системой команд для достижения высокой производительности и возможности применения в вычислительных системах различного уровня

Ключевые слова: микропроцессор, mips, vhdl, конвейерная архитектура

Кошевенко Александр Владимирович

Кандидат технических наук, доцент
Дальневосточный федеральный университет
г. Владивосток, о. Русский, поселок Аякс 10

Царинжапов Андрей Анатольевич

Бакалавр, магистрант
Дальневосточный федеральный университет
г. Владивосток, о. Русский, поселок Аякс 10

The developing a model MIPS microprocessor hardware in the language model VHDL. The work is designed by microprocessor model using pipelined microarchitecture and designed processor with an expanded instruction set for high performance and applications in computer systems at various levels

Key words: microprocessor, mips, vhdl, pipelined microarchitecture

Koshevenko Aleksander Vladimirovich

Candidate of Engineering Sciences, Associate Professor
Far Eastern federal university
Vladivostok, Russky Island, Ajax vill. 10

Tsarinzhapov Andrey Anatolevich

Bachelor
Far Eastern federal university
Vladivostok, Russky Island, Ajax vill. 10

Основой при проектировании и разработки микропроцессора архитектуры MIPS на языке описания аппаратуры VHDL послужила информация из учебного пособия [1], содержащего принципы проектирования микроархитектур данной архитектуры в виде теоретических сведений как для одноктактной, так и конвейерной реализации.

Разработку процессора для одноктактной архитектуры начали с архитектурного состояния, и в дальнейшем создали структурную схему для одноктактной модели микропроцессора, главным отличием которой от учебной является то, что в ней реализованы дополнительные логические блоки для выполнения расширенного набора команд. Структурная схема была в дальнейшем описана на языке описания аппаратуры VHDL.

Для достижения поставленных целей и самой разработки, использовался САПР Quartus Prime 15.1 Standard Edition со встроенным программным обеспечением Modelsim-Altera для симуляции разработанного проекта.

После отладки разработанной одноктактной модели микропроцессора с расширенным набором команд, спроектирована модель конвейерного процессора. Разработка начинается аналогично с архитектурного состояния. Так как основой служит одноктактная микроархитектура MIPS и в ней используется одноктактный тракт данных, его необходимо разбить для конвейеризации на пять стадий, делается это путем разделения конвейерными регистрами, добавляя их между стадиями.

Конвейерный процессор использует те же управляющие сигналы, что и одноктактный процессор, поэтому использует такое же устройство управления. Управляющие сигналы в режиме дешифрации должны быть конвейеризированы точно так же, как и тракт данных, чтобы оставаться синхронными с командой, перемещающейся из одной стадии в другую.

В итоге был написан доработанный код под новую архитектуру согласно изменённым условиям в архитектурном состоянии и добавлен блок устранения конфликтов.

После завершения разработки микропроцессоров, проведен сравнительный эксперимент для двух разработанных моделей путем выполнения тестовой программы, которая загружается в память данных при проведении тестирования.

Для автоматизации тестирования была написана модель теста, включающего в себе тестируемое устройство в виде компонента, в нашем случае для первой модели процессора компонентом будет модуль MIPSNO.VHD, а для второй MIPSYES.VHD и соответственно сам тест, назначающий сигналы на выходы выбранного нами компонента.

В дальнейшем сигналы с выходов устройства, полученные в результате симуляции могут сравниваться с ожидаемыми выходными сигналами. После проведения тестов в Modelsim, проведен анализ результатов, который показал почти двукратное преимущество конвейерной реализации микроархитектуры на тестовом примере программы над одноктактной микроархитектурой, что соответствует рассчитанной теоретической оценки производительности.

Благодаря тестированию доказана работоспособность процессоров с использованием одноктактной и конвейерной микроархитектуры, что доказало правильность сборки структурной схемы на языке VHDL и ее симуляции в Modelsim-Altera.

Список используемых источников:

1. Harris D., Harris S. *Digital Design and Computer Architecture*. 2012. P. 712.